

Arquitetura de Computadores I

IA 32

Edson Moreno

edson.moreno@pucrs.br

<http://www.inf.pucrs.br/~emoreno>

Sumário

- *Histórico*
- Avanços arquiteturais
- Hyper pipeline



Histórico da arquitetura IA 32

- 1979 – Intel 8086/8088
 - Características
 - Registradores de 16-bit de uso dedicado (diferente do MIPS)
 - Barramento compartilhado para dado e endereçamento
 - Barramento de dados
 - 8086: 16 bit e 8088: 8 bits
 - Barramento de endereço de 20 bits
 - Espaço físico de endereçamento = 2^{20} bytes = 1 Mbyte
 - 8087 Co-processador de ponto flutuante
 - Anunciado em 1980 (Acrescentou 60 instruções ao 8086)
 - Usam **segmentação** e **modo de endereçamento real** da memória
 - Segmentos apontados por um registrador de 16bits (Até 64 KB de espaço)
 - Programas podem acessar qualquer parte da memória principal

Intel 8086/8088
1978
Initial clock speed
5 MHz
Number of transistors
29,000
Manufacturing technology
3 μ

Histórico da arquitetura IA 32



Intel 80286
1982
Initial clock speed
6 MHz
Number of transistors
134,000
Manufacturing technology
1.5μ

- 1982 – Intel 80286

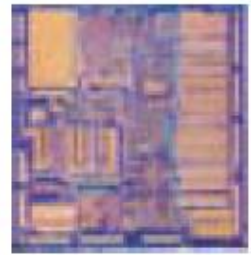
- Características

- Barramento de dados: 16 bits
 - Barramento de endereço: 24bits
 - Permite endereçar até 16MBytes de memória

- Introduz o modo protegido de operação com a memória:

- Modo nativo empregado por SOs tal como windows e linux
 - Facilidades para multi-programação.
 - Mais de um processo em execução
 - Prove proteção para a memória principal
 - Verificação de limites dos segmentos de cada processo
 - Opções de apenas leitura ou execução

Histórico da arquitetura IA 32



- 1985 – Intel 80386
 - Primeiro **processador de 32-bit**
 - Dados e endereço em 32-bit
 - 2^{32} bytes $\Rightarrow$ 4 GB de espaço de endereçamento
 - Provê modo virtual 8086
 - Permite execução eficiente de programas legados (8086/8088)
 - Processador roda em modo protegido
 - Cria uma máquina virtual 8086
 - Cada processo tem 1MB de espaço para ser executado
 - Introduz **modelo de memória flat**
 - Elimina a necessidade de segmentação
 - Emprega o conceito de espaço virtual de endereçamento linear
 - Apoiado pela técnica de paginação

Intel 80386
1985
Initial clock speed
16 MHz
Number of transistors
275,000
Manufacturing technology
1.5 μ

Histórico da arquitetura IA 32

- 1989 – Intel 30486
 - Embarcou **unidade de ponto flutuante** (versões DX)
 - FPU x87 integrada
 - Usa **Pipelining**
 - Pode executar uma instrução por ciclo de relógio
 - Embarcou **cache de instruções/Dados** unificada (8 e 16KB)
 - Cache L1 de 8 KB para aumentar % instruções executadas



Intel 80486

1989

Initial clock speed

25 MHz

Number of transistors

1,200,000

Manufacturing technology

1μ

Histórico da arquitetura IA 32



- 1993 – Intel Pentium (80586)
 - Barramento de dados de 64-bit, barramento de endereço de 32 bits
 - Duas vias de execução de operações de inteiros
 - U-pipe and V-pipe
 - **Desempenho super escalar**
 - Pode executar 2 instruções por ciclo de relógio
 - Uma via para operação de ponto flutuante
 - Predição de desvio com tabela de desvio embarcado no chip
 - Caches separadas
 - L1 cache duplicada – 8 KB dados e 8 KB instruções.
 - **Instruções MMX** (nos últimos modelos)
 - Visando aplicações multimídia
 - Modelo execução SIMD (regs. SIMD de 64 bits).

**Pentium
1993**
Initial clock speed
66 MHz
Number of transistors
3,100,000
Manufacturing technology
0.8μ

Histórico da arquitetura IA 32

- 1995 – 1999 Processadores P6

- Família P6: Pentium Pro, Pentium II and III

- Pentium Pro (1995):

- Superscalar 3 de vias
 - Pode executar até 3 instruções por ciclo
 - 10-12 estágios de pipeline
- Barramento de endereço de 36-bits
 - Até 64 GB de espaço de endereçamento físico
- Introduz execução dinâmica:
 - Execução fora de ordem e especulativa.
- Cache L1 equivalente ao Pentium: 2 x 8 KB cache L1 (instr. e dados).
 - Adiciona cache L2 256 KB



Pentium Pro
1995
Initial clock speed
200 MHz
Number of transistors
5,500,000
Manufacturing technology
0.6μ



Pentium II
1997
Initial clock speed
300 MHz
Number of transistors
7,500,000
Manufacturing technology
0.25μ



Pentium III
1999
Initial clock speed
500 MHz
Number of transistors
9,500,000
Manufacturing technology
0.18μ

Histórico da arquitetura IA 32

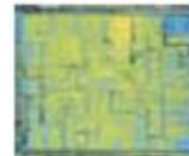
- 1995 – 1999 Processadores P6
 - Família P6: Pentium Pro, Pentium II and III
 - Pentium II (1997):
 - Adiciona tecnologia MMX.
 - Caches
 - L1 de 16 KB
 - L2 de 256 KB, 512 KB, ou 1 MB.



Pentium Pro
1995
Initial clock speed
200 MHz
Number of transistors
5,500,000
Manufacturing technology
0.6μ



Pentium II
1997
Initial clock speed
300 MHz
Number of transistors
7,500,000
Manufacturing technology
0.25μ



Pentium III
1999
Initial clock speed
500 MHz
Number of transistors
9,500,000
Manufacturing technology
0.18μ

Histórico da arquitetura IA 32

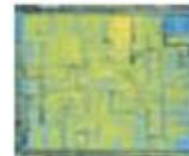
- 1995 – 1999 Processadores P6
 - Família P6: Pentium Pro, Pentium II and III
 - Pentium III:
 - Adiciona instruções para SIMD
 - SSE – Streaming SIMD Extensions
 - 8 registradores de 128 bits XMM.
 - SSE lançado como resposta ao 3DNow da AMD



Pentium Pro
1995
Initial clock speed
200 MHz
Number of transistors
5,500,000
Manufacturing technology
0.6μ

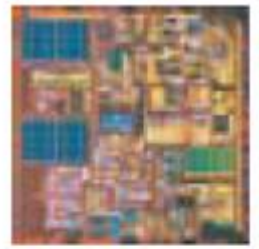


Pentium II
1997
Initial clock speed
300 MHz
Number of transistors
7,500,000
Manufacturing technology
0.25μ



Pentium III
1999
Initial clock speed
500 MHz
Number of transistors
9,500,000
Manufacturing technology
0.18μ

Histórico da arquitetura IA 32



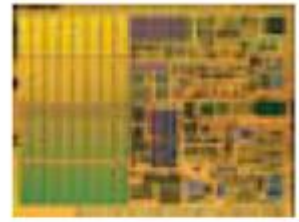
- 2000 – Pentium 4
 - Implementa novo projeto de micro arquitetura
 - Intel Netburst
 - Pipeline bastante profundo
 - 20 Estágios
 - Introduz o conjunto de instruções SSE2 (estende SSE)
 - “Ajustado” para multimídia e operação sobre registradores 128-bit XMM
 - Projetado para substituir em definitivo a tecnologia MMX

**Pentium IV
2000**
Initial clock speed
1.5 GHz
Number of transistors
42,000,000
Manufacturing technology
0.18μ

Histórico da arquitetura IA 32

- 2001 – Intel Xeon
 - Voltado para classe de servidores
 - Normalmente tem mais cache
 - Dão suporte a configurações de multiprocessador
 - Em 2002, Intel introduz a tecnologia Hyper-Threading
 - Permite 2 programas executando concorrentemente, compartilhando recursos

Histórico da arquitetura IA 32



- 2003 – Intel Pentium M
 - Projetado para laptops
 - Objetivo principal é a redução do consumo de energia
 - Versão modificado do Pentium III
 - Cache L2 maior (2 MB nos últimos modelos)
 - Executa com velocidade menor quando comparado ao Pentium 4
 - Execução dinâmica
 - Remove dependência de execução sequencial, pela combinação de técnicas:
 - *Multiple branch prediction* – Tenta adivinhar o fluxo do programa gerando os diversos possíveis caminhos
 - *Dataflow analysis* – Escalona instruções para execução quando prontas, sem levar em consideração a ordem no programa
 - *Speculative execution* – Executa instruções que provavelmente serão necessárias, olhando além do IP (instruction pointer)

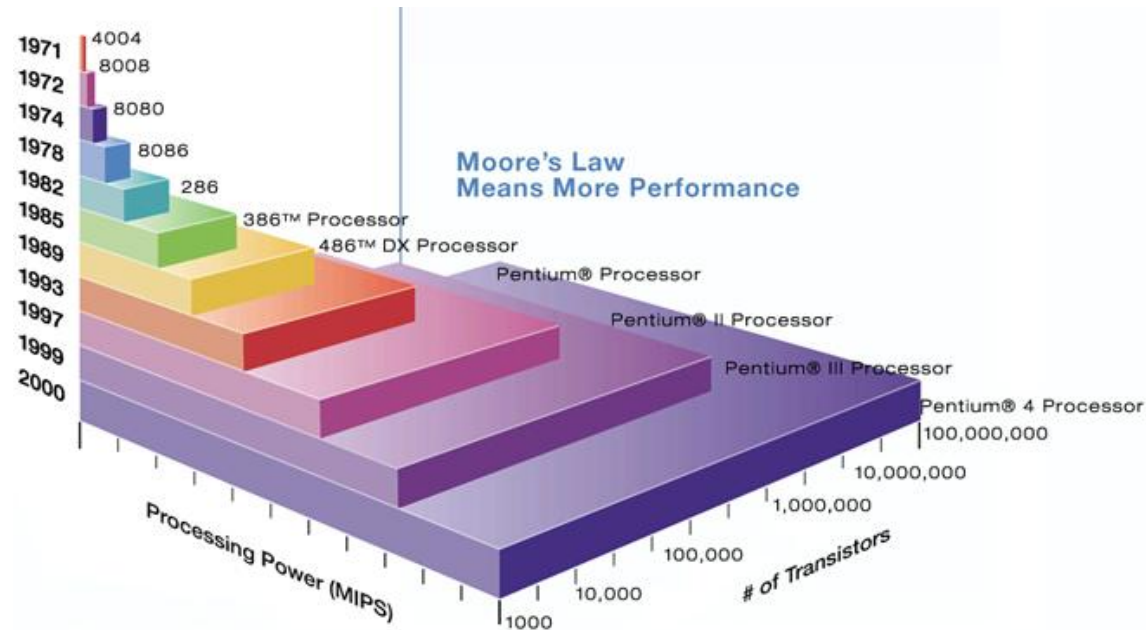
Pentium M
2002
Initial Clock Speed
1.7 GHz
Number of transistors
55,000,000
Manufacturing technology
90nm

Histórico da arquitetura IA 32

- 2005 – Intel Pentium Processor Extreme Edition
 - Micro arquitetura Intel NetBurst
 - Tecnologia dual-core
 - HW para suporte multi-thread
 - SSE, SSE2, SSE3
 - Hyper-threading
- Tecnologia Intel Extended Memory 64
 - Introduzida em 2004
 - Superconjunto da arquitetura IA-32 para 64-bit
 - Registradores de propósito geral de 64-bitt
 - Aumento de 8 a 16 registradores de propósito geral
 - Maior espaço de endereçamento físico: até $2^{40} = 1$ Terabytes

x86 PROCESSORS (from Intel)							
CPU		Clock Speeds (approximate range)	Bus Size (bits)	Max RAM	Floppy Disk	Hard Disk Range	Operating Systems
64-Bit CPUs	Core i5, i7	2.6 - 3.3GHz	64	64GB	3.5" 1.44MB	30GB- 1TB	Win Vista Win XP Win 2000 Win NT Win 95/98 Win 3.x Linux SCO Unix Solaris DOS DR DOS OS/2 Misc DOS Multiuser
	Core 2 Duo	1.8 - 2.6GHz					
	Pentium 4	3 - 3.8GHz					
	Xeon	2.2 - 3.6GHz					
	Pentium D	2.8 - 3.4GHz					
32-Bit CPUs	Core Duo	1.6 - 2.2GHz		4GB	3.5" 1.44MB	500MB- 60GB	
	Pentium 4	1.4 - 2.8GHz					
	Xeon	400MHz - 3.2GHz					
	Celeron	266MHz - 2.4GHz					
	Pentium III	450MHz - 1.2GHz		64GB			
	Pentium II	233 - 450MHz					
	Pentium Pro	150 - 233MHz					
	Pentium	60 - 200MHz					
	486DX	25 - 100MHz	32	4GB	5.25" 1.2MB	200 - 500MB 60 - 200MB	
	486SX	20 - 40MHz					
386DX	16 - 40MHz						
386SX	16 - 33MHz						
	386SL	20 - 25MHz					
16-Bit CPUs	286	6 - 12MHz	16	16MB	5.25" 1.2MB	20- 80MB	DOS DR DOS Win 3.x OS/2 1.x
	8086 8088	5 - 10MHz 5MHz		1MB	5.25" 360KB	10- 20MB	DOS DR DOS

Histórico da arquitetura IA 32



1950s

Silicon Transistor



1 Transistor

1960s

TTL Quad Gate



16 Transistores

1970s

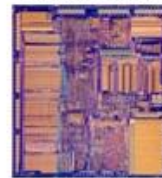
8-bit Microprocessor



4.500 Transistores

1980s

32-bit Microprocessor



275.000 Transistores

1990s

32-bit Microprocessor



3.100.000 Transistores

2000s

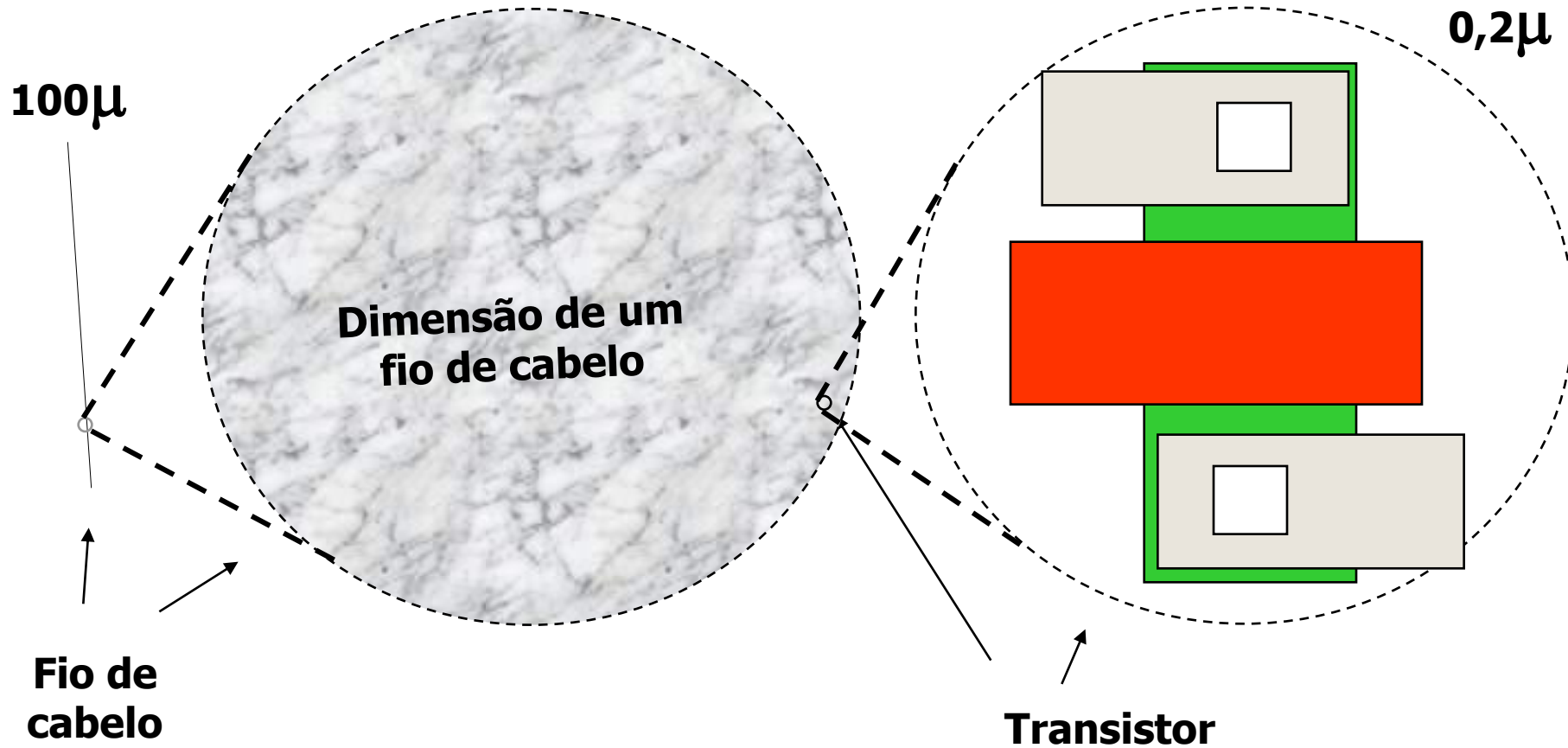
64-bit Microprocessor



592.000.000 Transistores

Dimensões do transistor

Comparando a um fio de cabelo...



Sumário

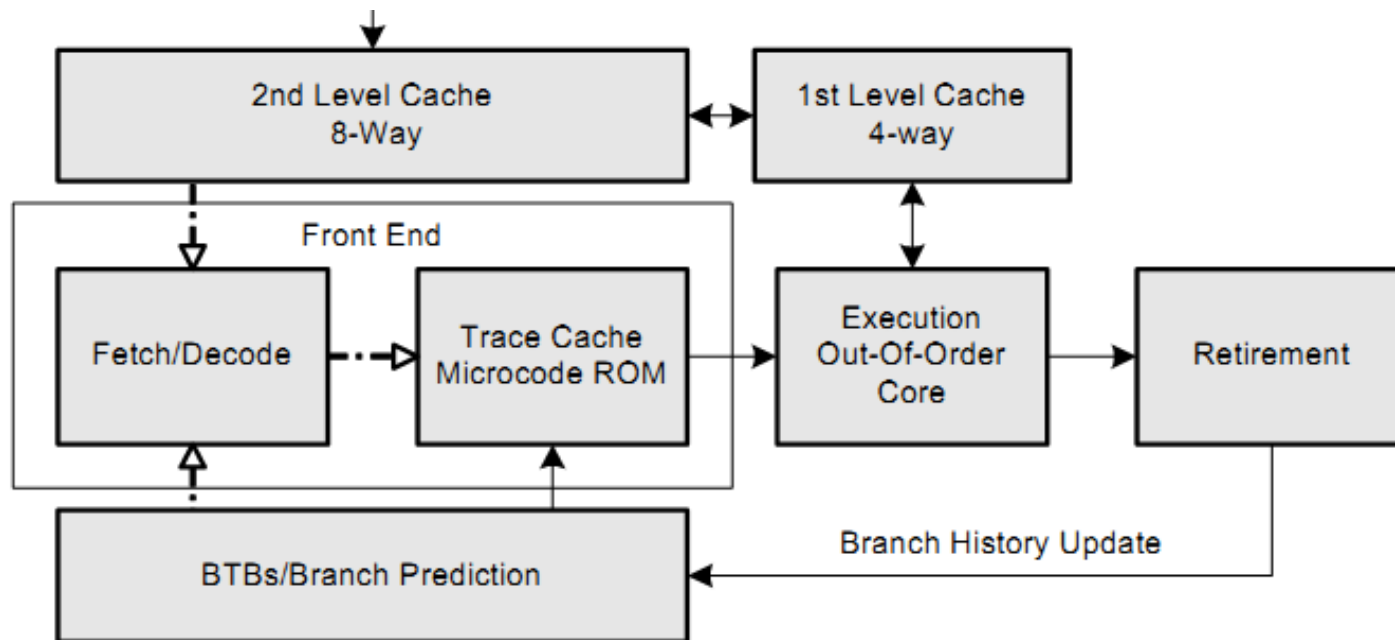
- Histórico
- *Avanços arquiteturais*
- Hyper pipeline

RISC vs CISC

- RISC – Reduced Instruction Set Computer
 - Conjunto de instruções pequenas e simples
 - Todas instruções tem o mesmo tamanho
 - Formato de instruções e modos de endereçamento mais simples
 - Diretamente decodificado e executado em hardware
 - Exemplos: ARM, MIPS, PowerPC, SPARC, etc.
- CISC – Complex Instruction Set Computer
 - Conjunto de instruções maiores e completas
 - Instruções de tamanho variável
 - Requer interpretador de microcódigo
 - Cada instrução é decodificada em uma sequência de operações
 - Exemplo: Família Intel x86

Avanços na arquitetura

- Microarquitetura Intel NetBurst pipeline
 - Três módulos principais
 - Pipeline front-end
 - Módulo de execução fora de ordem
 - Unidade de aposentadoria

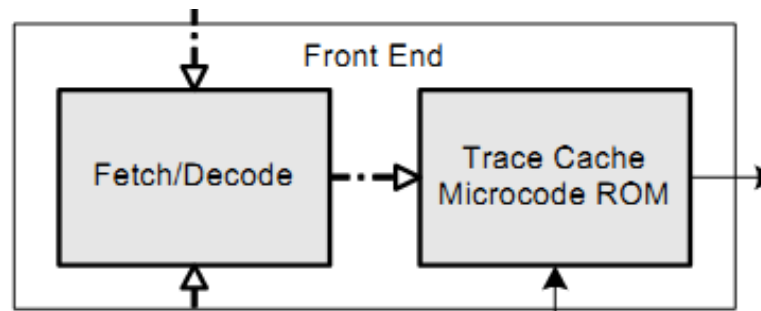


Avanços na arquitetura

- Microarquitetura Intel NetBurst pipeline
 - **Pipeline front-end:**
 - Pré-busca instruções que tendem a ser executadas
 - Decodifica instruções em micro-operações
 - Instruções variam tamanho de 1 a 17 bytes
 - Traduz instruções CISC em uOperações
 - Até três instruções podem ser traduzidas por ciclo
 - Alimenta unidade de execução fora de ordem com uOperação ordenadas
 - Principais problemas em pipelines de alta velocidade
 - Tempo para decodificar instruções buscadas
 - Instruções simples requerem até 3 uOperações
 - Instruções complexas que requerem mais de 3 uOperações
 - Se apoia em ROM de microcódigo
 - Desperdício na decodificação devido a instruções de desvio na cache
 - A “*trace cache*” explora a solução desses problema

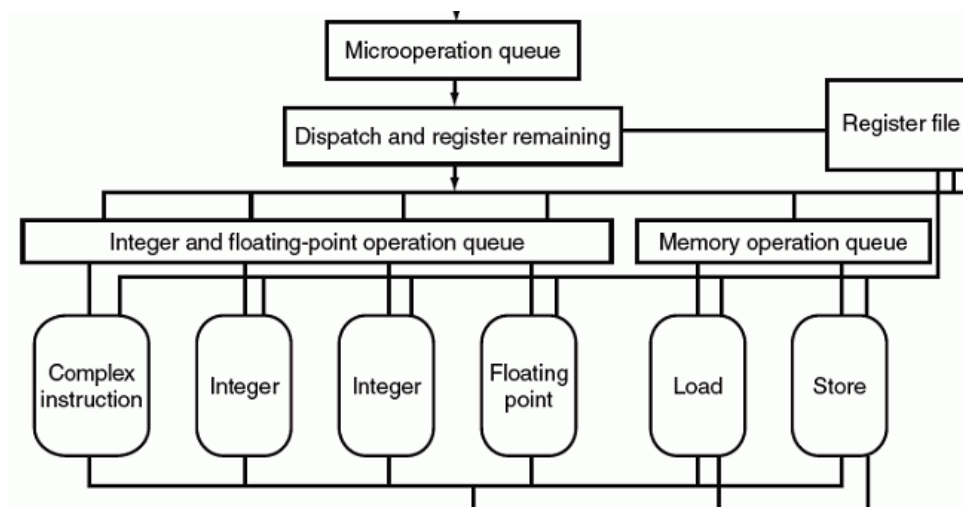
Avanços na arquitetura

- Microarquitetura Intel NetBurst pipeline
 - **Pipeline front-end:**
 - Cache de sequência de execução (*Trace Cache Execution*)
 - Usada para a geração de fluxo de uInstruções
 - Mantém uma sequência de uInstruções a serem executadas
 - Instruções armazenadas não necessariamente adjacentes (Desvios)
 - Caso instrução a ser decodificada não esteja na cache
 - Busca na memória
 - Decodifica Instrução em uInstruções
 - Armazena na trace cache



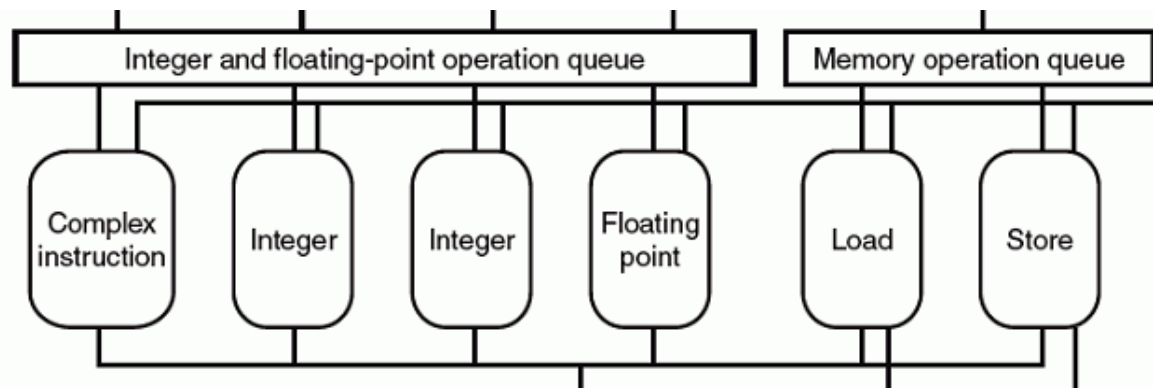
Avanços na arquitetura

- Microarquitetura Intel NetBurst pipeline
 - **Módulo de execução fora de ordem:**
 - Preenchimento do pipeline baseado na trace cache
 - μ Instruções armazenadas de forma sequencial
 - μ operação podem ser atrasadas e outras μ operações continuarem
 - Processador com poder de reordenação
 - Atraso pode ocorrer por indisponibilidade de um recurso
 - Escalonamento feito de forma dinamica



Avanços na arquitetura

- Microarquitetura Intel NetBurst pipeline
 - **Módulo de execução fora de ordem:**
 - Capacidade para execução de instruções fora da ordem
 - Habilita a exploração de paralelismo
 - Requer a exploração de recurso de renomeação de registradores
 - Até 3 uOperações por ciclo de relógio podem ser
 - Renomeadas e encaminhadas para filas de unidades funcionais
 - 2 ULA simples 2x, 1 ULA complexa, 1 Carga, 1armazenamento, 1 aritmética de PF, 1move de PF



Avanços na arquitetura

- Microarquitetura Intel NetBurst pipeline
 - **Módulo de execução fora de ordem:**
 - Preenchimento do pipeline baseado na trace cache
 - uInstruções armazenadas de forma sequencial
 - μ Operação podem ser atrasadas e outras μ Ops continuarem
 - Processador com poder de reordenação
 - Atraso pode ocorrer por indisponibilidade de um recurso
 - Escalonamento feito de forma dinamica
 - Permite enfileirar até 126 uOps
 - Estágios de pipeline
 - Não segue estágio estático simples
 - Estágios com número variável de ciclos de relógio
 - Execução de instruções simples (busca → retirada)
 - Ao menos 20 ciclos no willamette core (180nm)
 - Ao menos 31 ciclos no Prescott core (90nm)

Avanços na arquitetura

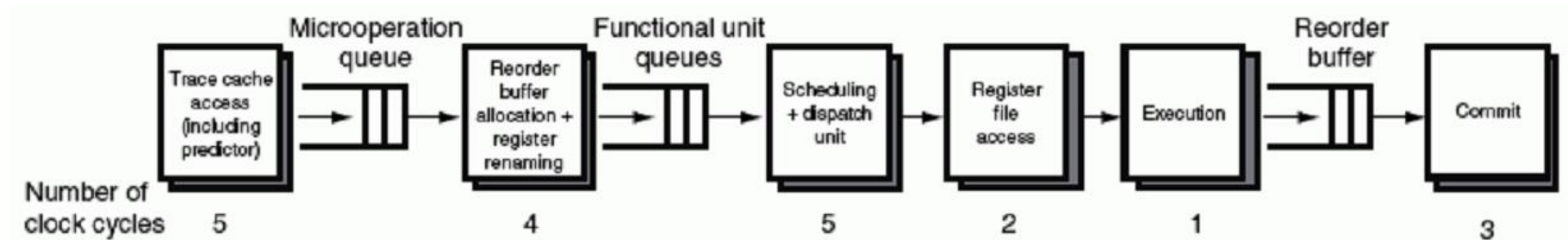
- Microarquitetura Intel NetBurst pipeline
 - **Unidade de aposentadoria:**
 - Recebe resultados de μ operações executadas
 - Origem das μ operações é da unidade de execução fora de ordem.
 - Processa os resultados
 - Garante que estados na arquitetura correspondam a ordem original
 - Semântica é mantida
 - Quando uma μ operação completa
 - Resultado é salvo e a instrução é aposentada
 - A unidade “buffer de reordenacao” (ROB)
 - Armazena μ operações completadas
 - Atualiza o estado da arquitetura de forma ordenada
 - Gerencia excessões.
 - Unidade mantém registro dos desvios
 - Informa os branch target buffers (BTBs)

Avanços na arquitetura

- Microarquitetura Intel NetBurst pipeline

- **Fluxo do pipeline de uma instrução típica**

- 5 ciclos para acesso a trace cache
 - 4 ciclos para reordenação e alocação de recursos
 - 5 ciclos para escalonamento e despacho
 - 2 ciclos para acesso ao banco de registradores
 - 1 ciclo para execução
 - 3 ciclos para conclusão



Avanços na arquitetura

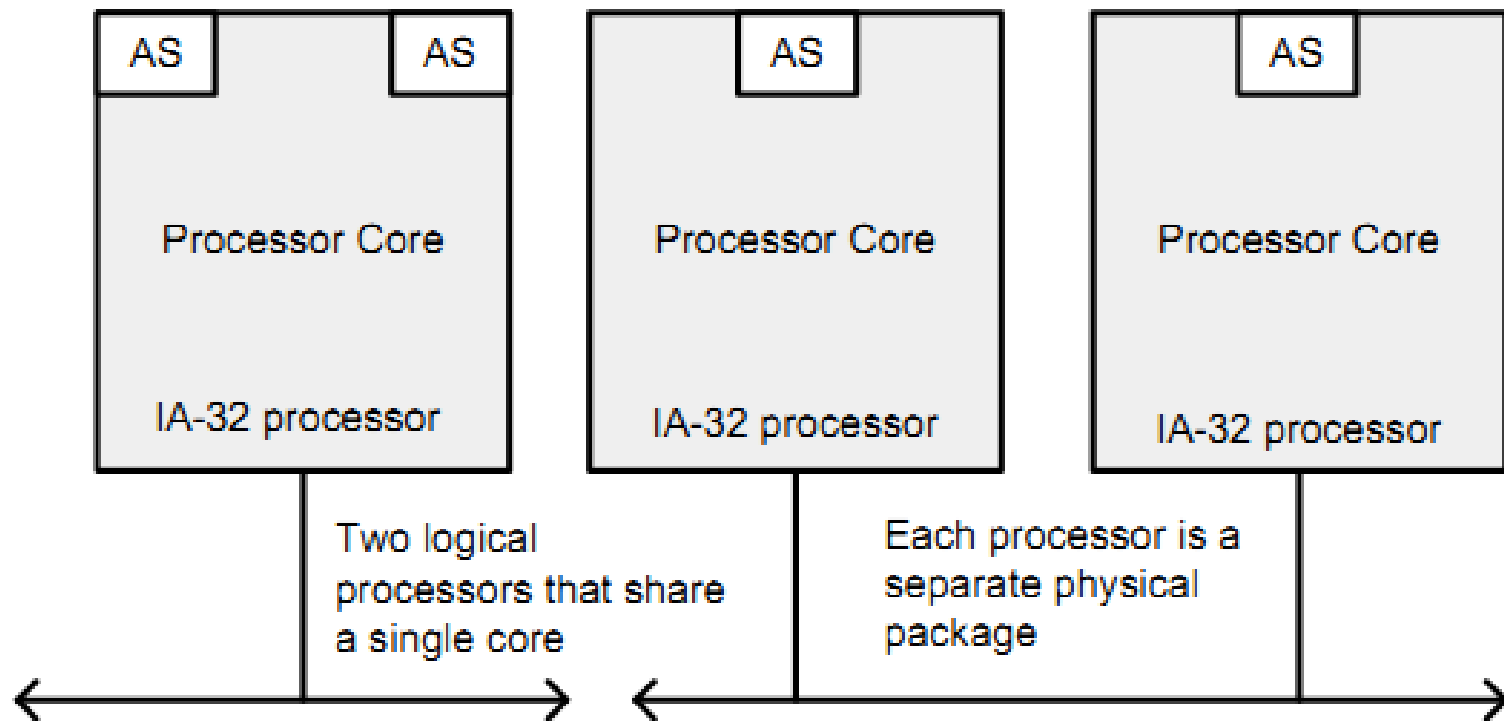
- Tecnologia Hyper-Threading (HT)
 - Objetivo
 - Melhorar o desempenho de SOs multi-thread
 - Explora o bom uso dos recursos disponíveis
 - Característica de funcionamento em hardware
 - Possibilita, em hardware, que um único processador execute duas ou mais threads concorrentemente, compartilhando recursos.
 - Consiste de
 - Dois ou mais processadores lógicos
 - Emprega estado arquitetural (Architectural State, AS) por proc. lógico
 - Registradores IA-32 de dados; Segmento; controle e debug
 - HT vs MC vs MP
 - HT utiliza um mesmo processador
 - MC mais de um processador no mesmo die
 - MP usa mais de um chip em *sockets* diferentes

Avanços na arquitetura

Comparação entre Hyper-Threading (HT) e Multiprocessador

IA-32 Processor Supporting
Hyper-Threading Technology

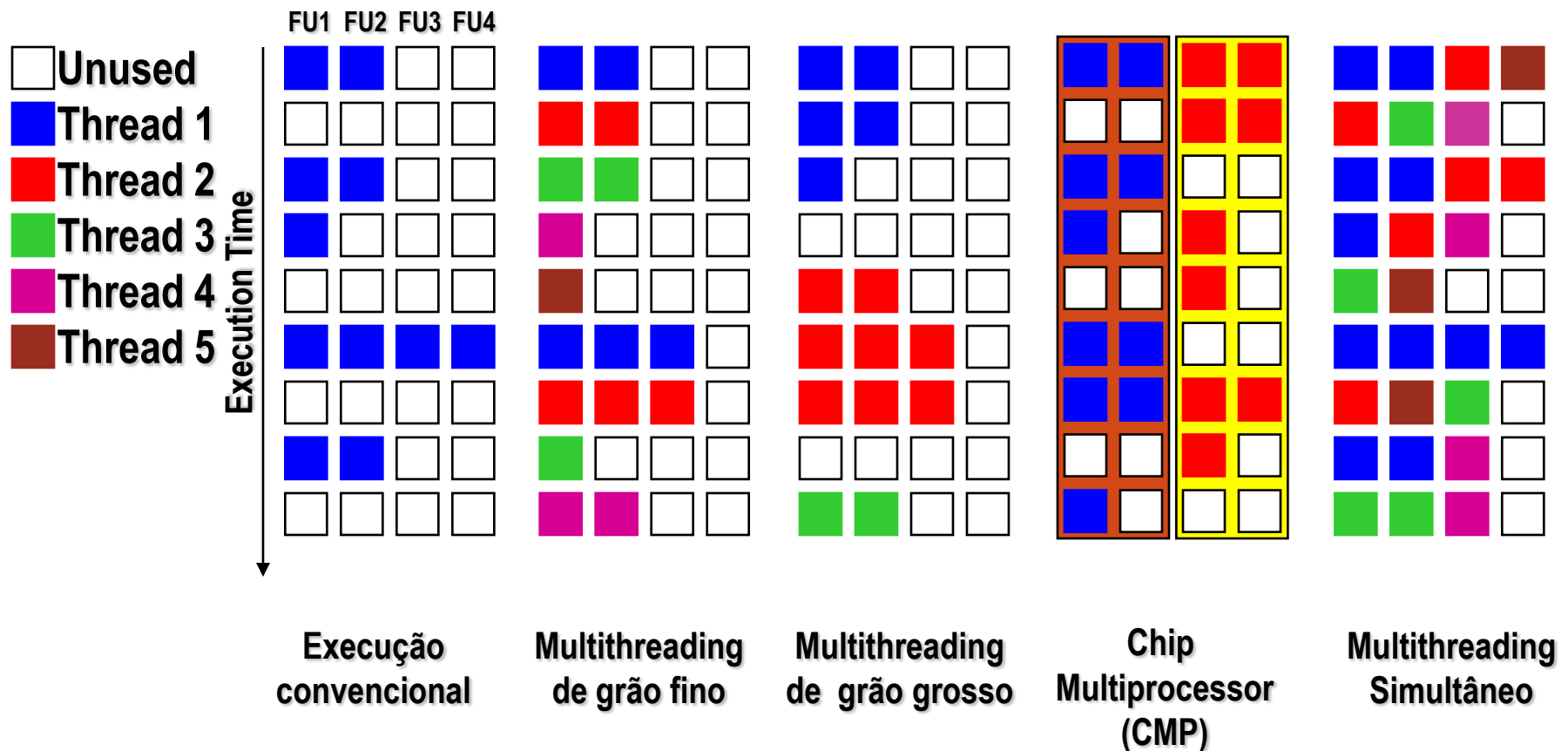
Traditional Multiple Processor (MP) System



AS = IA-32 Architectural State

Avanços na arquitetura

- Tecnologia Hyper-Threading (HT)

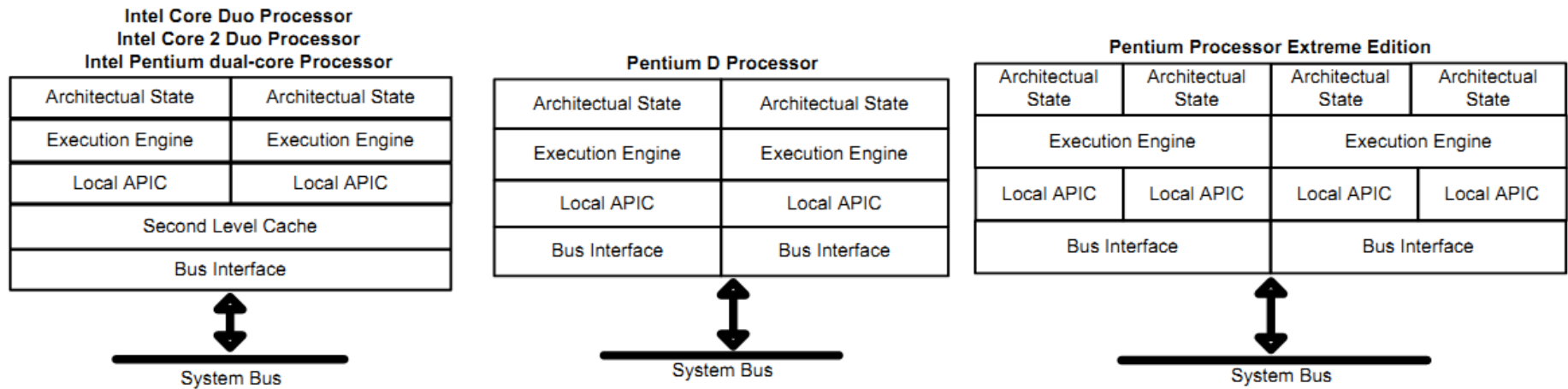


Avanços na arquitetura

- Tecnologia Hyper-Threading (HT)
 - Funcionamento depende de outros níveis
 - HT precisa de suporte a tecnologia em nível de processador, chipset e BIOS, e otimizações no sistema operacional.
 - Em nível de BIOS, deve ser realizada a inicialização dos processadores lógicos, de forma semelhante ao que ocorre em plataformas MP.
 - Um SO projetado para rodar em plataformas MP pode usar a instrução CPUID para identificar a presença de hardware para suporte HT, e o número de processadores lógicos disponibilizados

Avanços na arquitetura

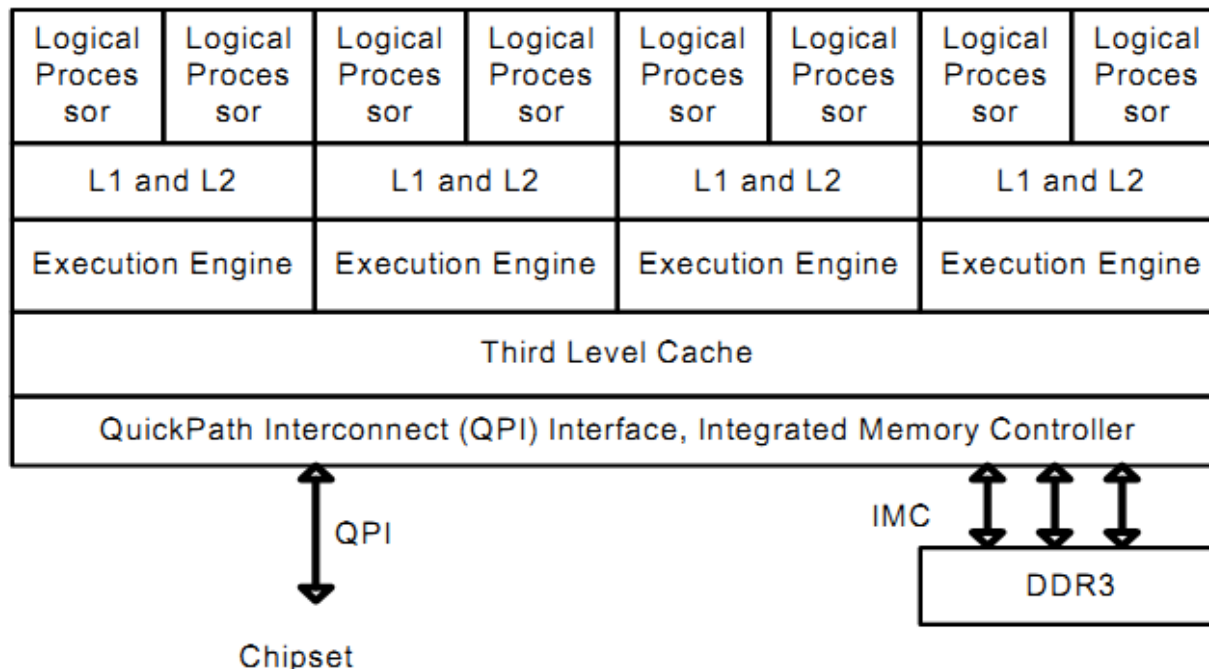
- Tecnologia Multicore
 - Outra forma de dar suporte a multi threading
 - Fornecendo dois ou mais cores físicos no mesmo encapsulamento
 - Pentium Extreme Edition
 - Primeiro IA-32 a introduzir multi-core, com dois cores físicos e Hyper Threading (dois processadores lógicos em cada core físico)



Avanços na arquitetura

- Tecnologia Multicore
 - Processadores Intel Core i7
 - Dão suporte a tecnologia Intel quad-core, Intel HyperThreading
 - Oito processadores lógicos

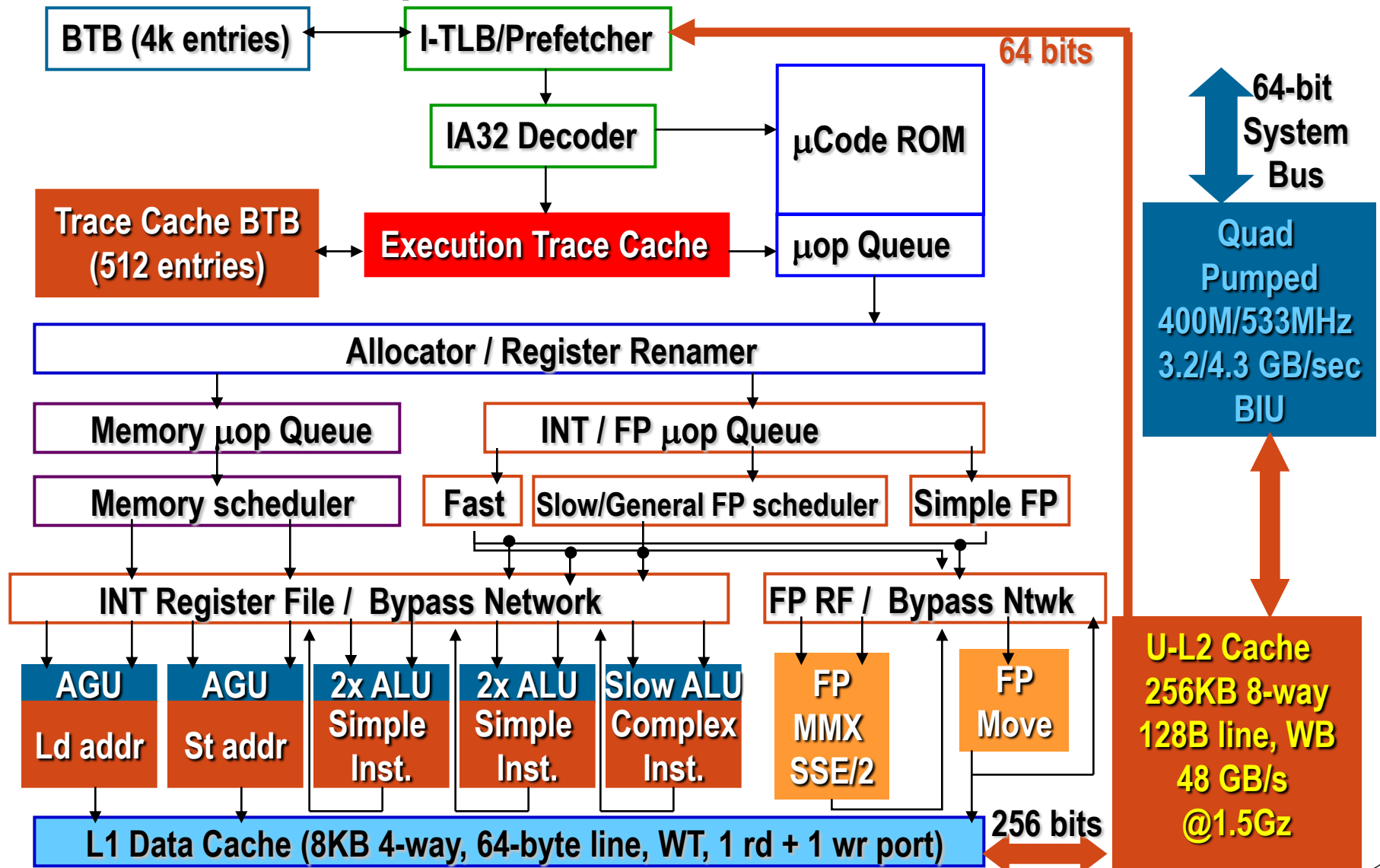
Intel Core i7 Processor



Sumário

- Histórico
- Avanços arquiteturais
- *Hyper pipeline*

Microarquitetura P4



Tecnologia hyper Pipelined

- Característica da tecnologia?
 - Pipeline profundo
 - “Poucas portas lógicas” por estágio de pipeline



Microarquitetura P5



Microarquitetura P6



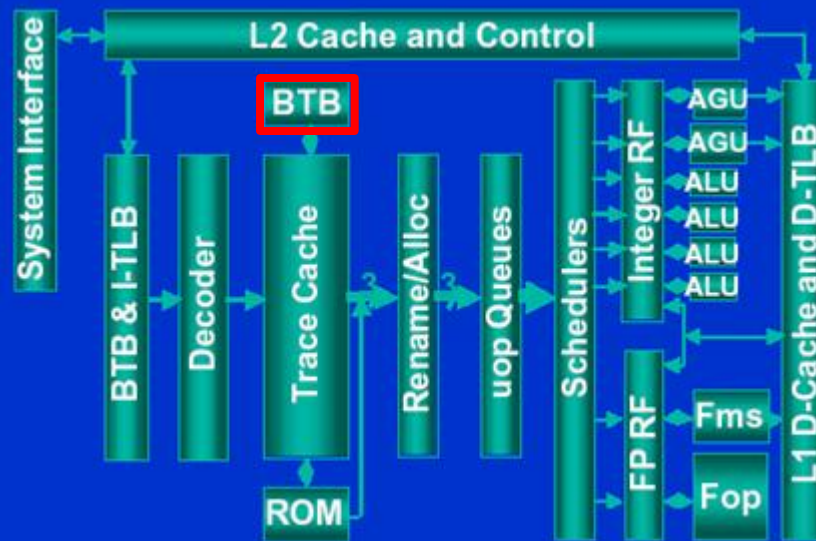
Microarquitetura NetBurst

- Benefícios da tecnologia hyper pipelined?
 - Aumento da frequência de relógio
 - Aumento de desempenho do processador

Tecnologia hyper Pipeline

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC	Nxt IP	TC Fetch	Drive	Alloc	Rename	Que	Sch	Sch	Sch	Disp	Disp	RF	RF	Ex	Flgs	Br Ck	Drive		

TC Nxt IP: “Trace Cache Next Instruction Pointer”
Ponteiro do *Branch Target Buffer* indica a localização da próxima *uOP* (já transformada p/ RISC)



Intel

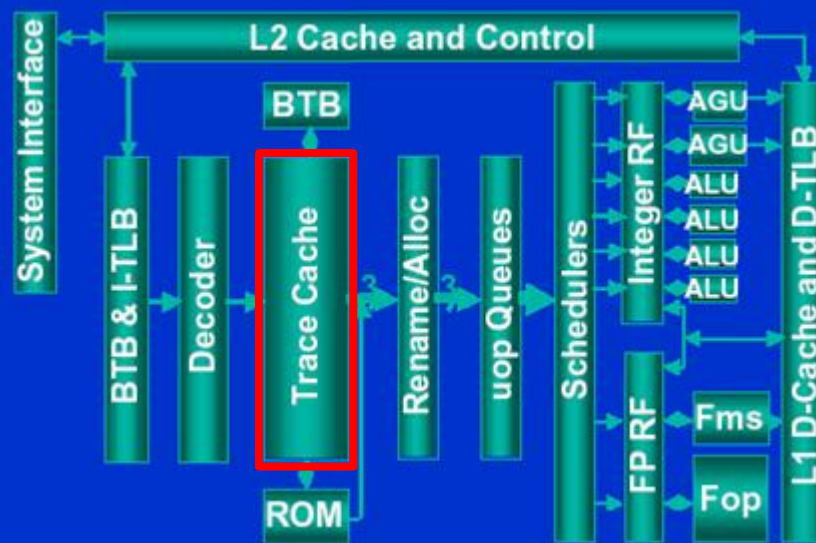
PDX

Tecnologia hyper Pipeline

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC Nxt IP		TC Fetch		Drive	Alloc	Rename	Que	Sch	Sch	Sch	Disp	Disp	RF	RF	Ex	Flgs	Br Ck	Drive	

TC Fetch: “Trace Cache Fetch”

Realiza leitura da uOP RISC na Execution Trace Cache

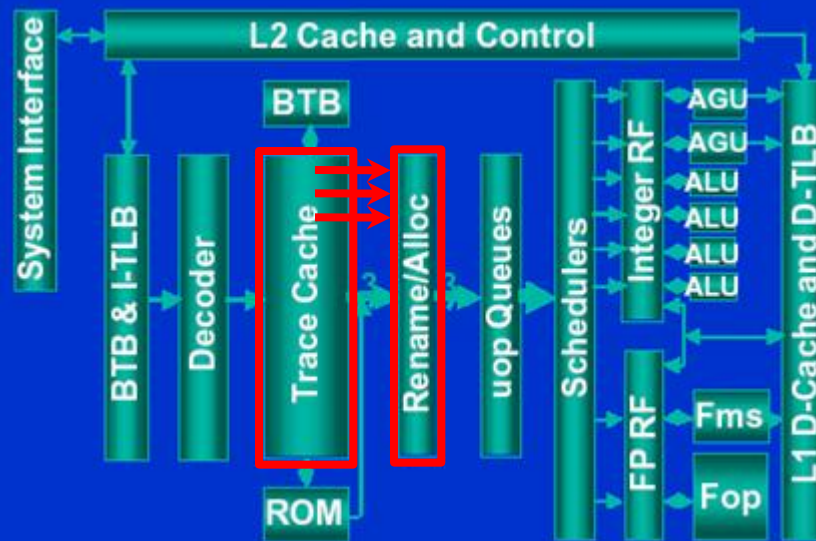


Tecnologia hyper Pipeline

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC	Nxt IP	TC	Fetch	Drive	Alloc	Rename	Que	Sch	Sch	Sch	Disp	Disp	RF	RF	Ex	Flgs	Br Ck	Drive	

Drive: “Atraso nos barramentos”

Direciona as uOPs para a unidade de alocação

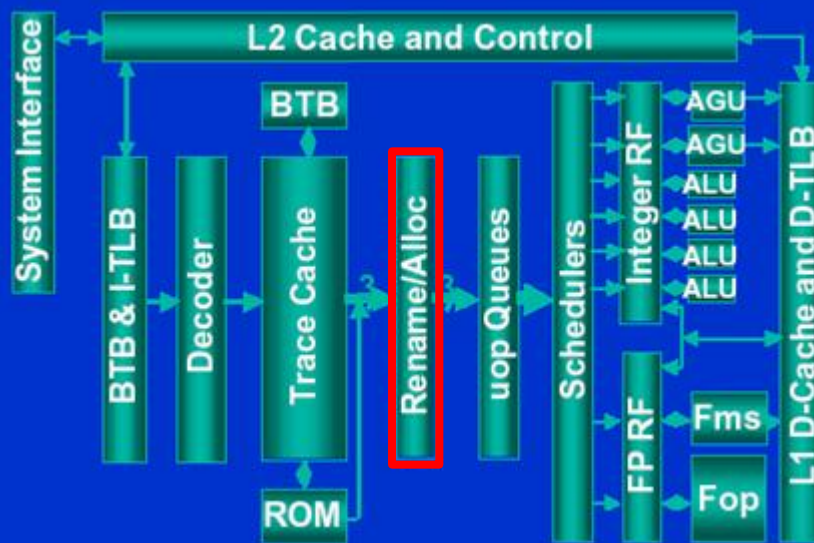


Tecnologia hyper Pipeline

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC	Nxt IP	TC	Fetch	Drive	Alloc	Rename		Que	Sch	Sch	Sch	Disp	Disp	RF	RF	Ex	Flgs	Br Ck	Drive

Alloc: “Allocate”

Alocação de recursos necessários para execução da uOP como, por exemplo, buffers para load/store, entre outros



Intel

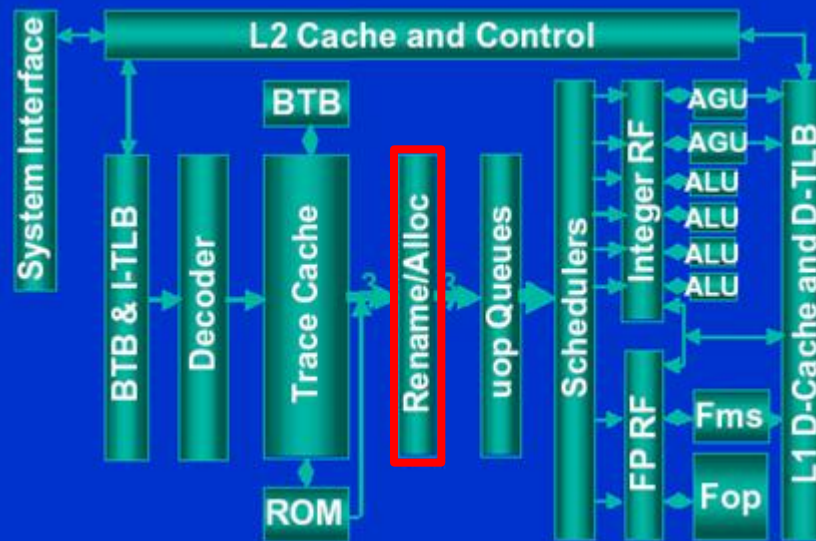
PDX

Tecnologia hyper Pipeline

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC	Nxt IP	TC	Fetch	Drive	Alloc	Rename		Que	Sch	Sch	Sch	Disp	Disp	RF	RF	Ex	Flgs	Br Ck	Drive

Rename: “Register renaming”

Renomeia os registradores locais (EAX, ...) associando aos registradores de trabalho existentes no hardware (128 no total)

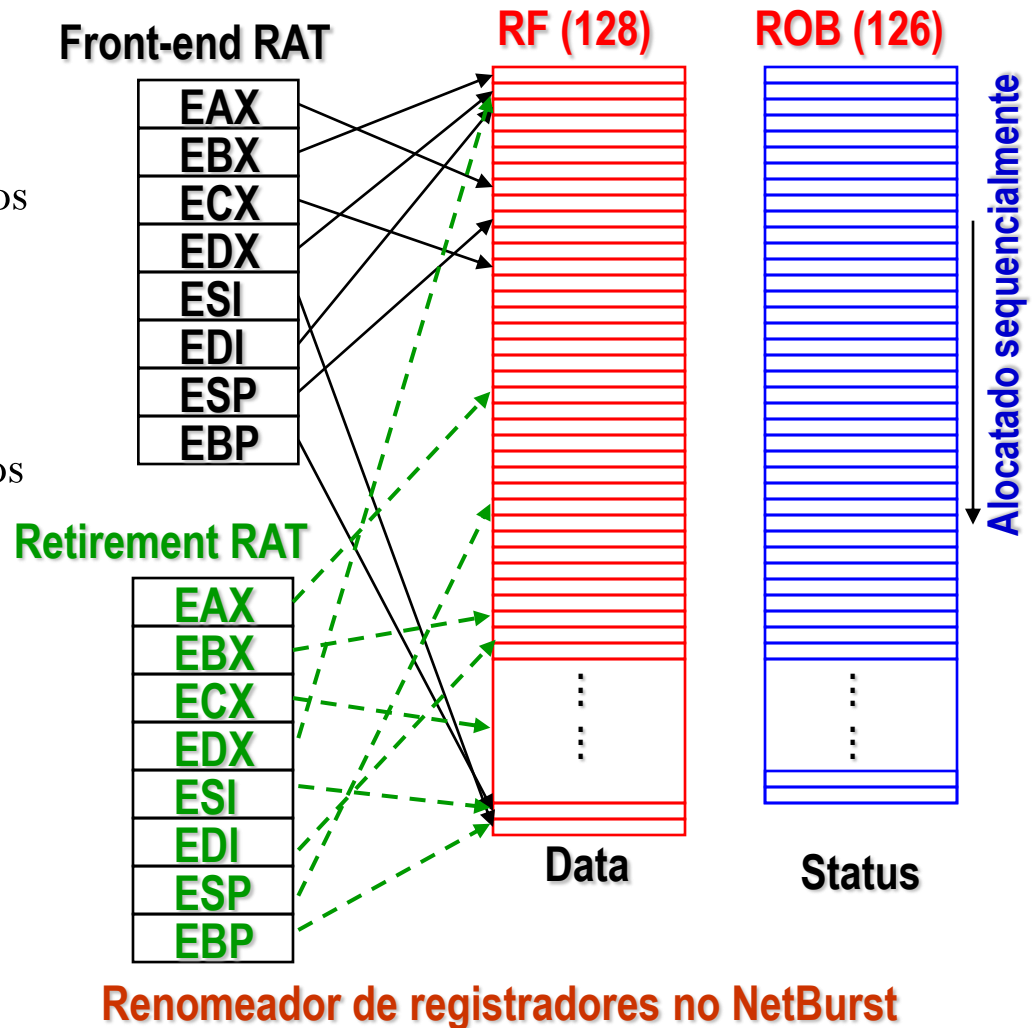


Intel

PDX

Tecnologia hyper Pipeline

- Register Alias Table (RAT)
 - Relaciona Registrador original com um dos registradores temporários
- Register File
 - Banco de registradores temporários interno ao processador
- Reorder Buffer (ROB)

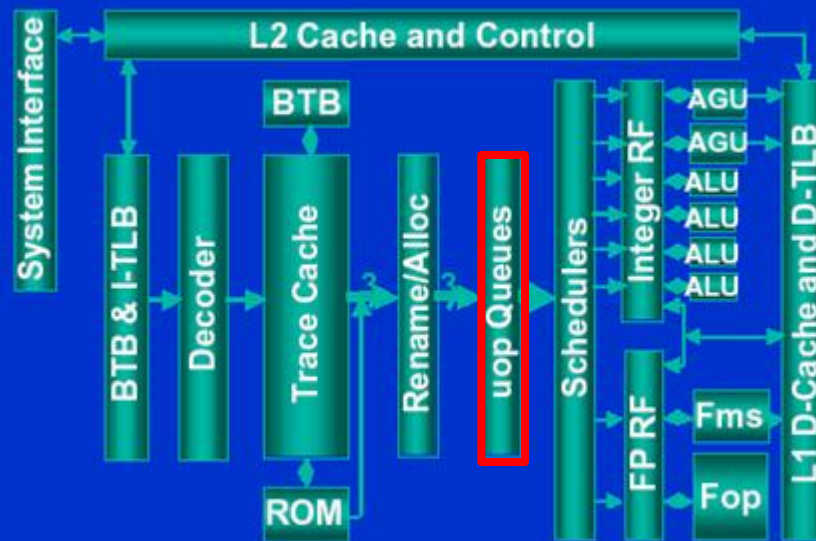


Tecnologia hyper Pipeline

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC	Nxt IP	TC	Fetch	Drive	Alloc	Rename	Que	Sch	Sch	Sch	Disp	Disp	RF	RF	Ex	Flgs	Br Ck	Drive	

Que: “Write into the uOP Queue”

As uOPs são colocadas nas filas, onde permanecem até que os escalonadores estejam disponíveis



Intel

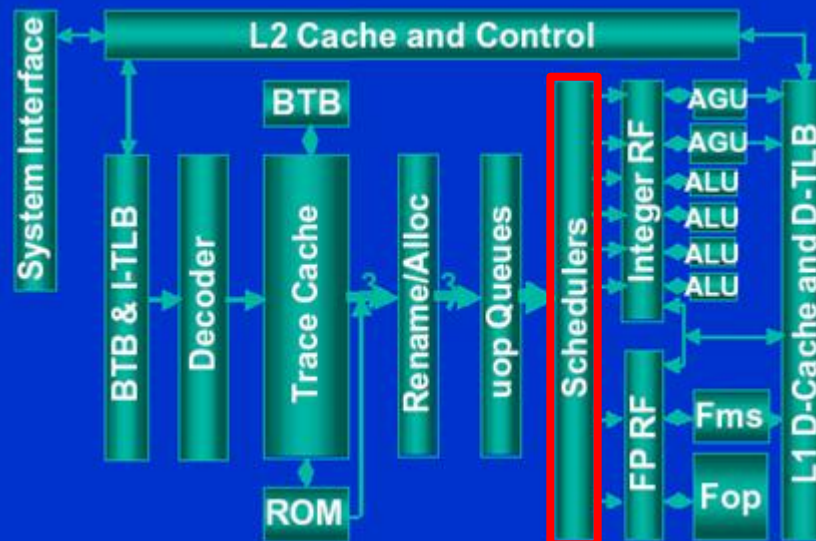
PDX

Tecnologia hyper Pipeline

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC	Nxt IP	TC	Fetch	Drive	Alloc	Rename	Que		Sch	Sch	Sch	Disp	Disp	RF	RF	Ex	Flgs	Br Ck	Drive

Sch: “Schedule”

Escrita nos escalonadores e verificação de dependências.
Procura dependências a serem resolvidas



Intel

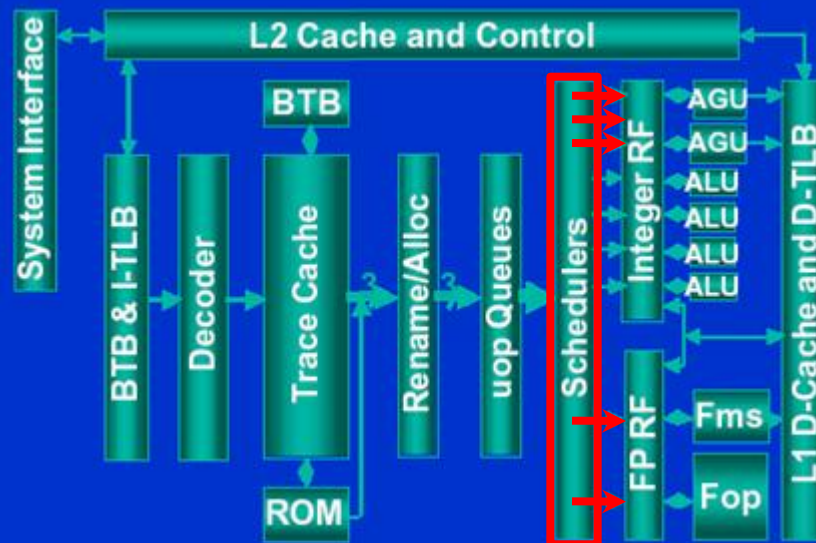
PDX

Tecnologia hyper Pipeline

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC	Nxt IP	TC	Fetch	Drive	Alloc	Rename	Que	Sch	Sch	Sch	Disp	Disp	RF	RF	Ex	Flgs	Br Ck	Drive	

Disp: “Dispatch”

Envio das uOPs para a unidade de execução apropriada



Intel

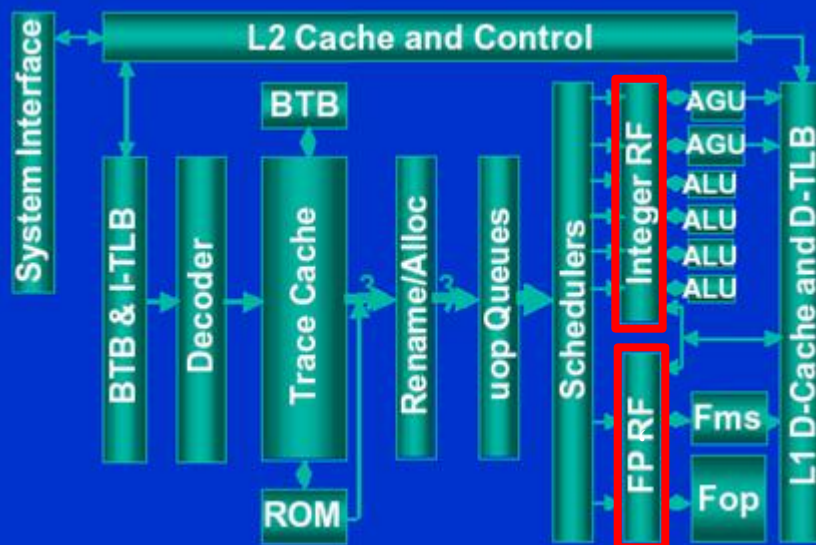
PDX

Tecnologia hyper Pipeline

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC	Nxt IP	TC	Fetch	Drive	Alloc	Rename	Que	Sch	Sch	Sch	Disp	Disp	RF	RF	Ex	Flgs	Br Ck	Drive	

RF: “Register File”

Leitura dos registradores, que contém os operandos das operações pendentes (operandos das ULAs, ...)

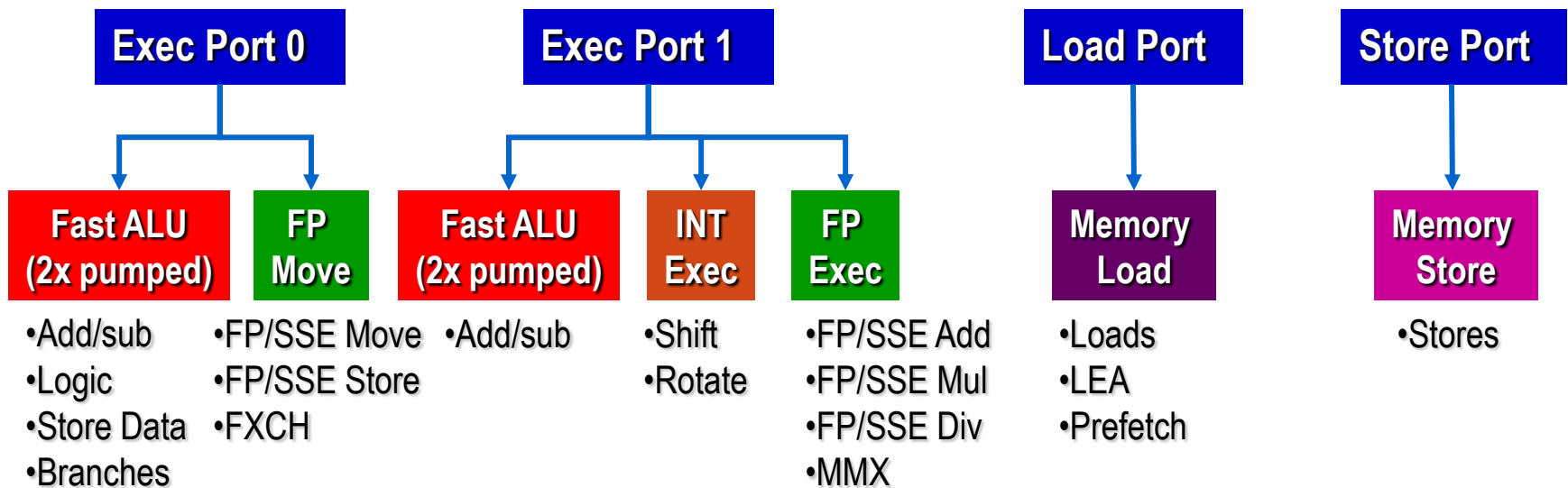


Intel

PDX

Tecnologia hyper Pipeline

- Uop schedulers
 - Vários escalonadores disparam para execução
 - 4 portas distintas de *dispatch*
 - *Dispatch* máximo: 6 Uops por ciclo

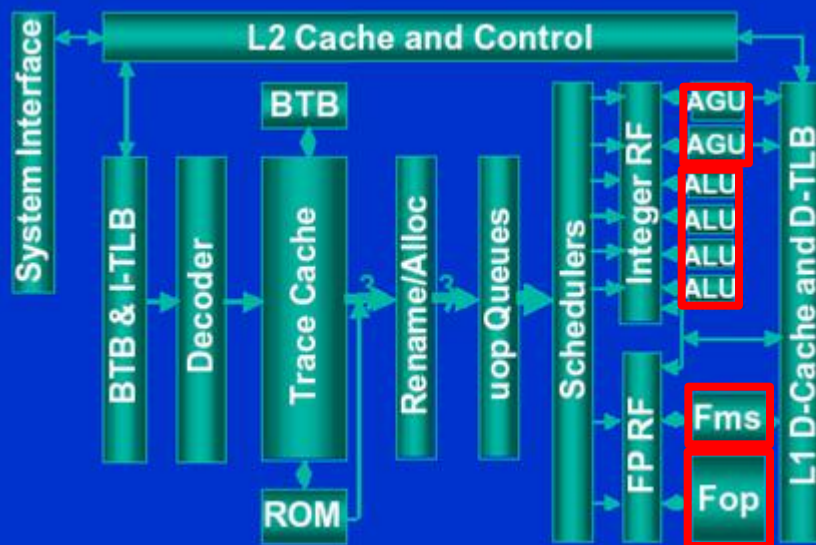


Tecnologia hyper Pipeline

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC	Nxt IP	TC	Fetch	Drive	Alloc	Rename	Que	Sch	Sch	Sch	Disp	Disp	RF	RF	Ex	Flgs	Br Ck	Drive	

Ex: “Execute”

Executa as uOPs na unidade apropriada (recurso alocado)



Intel

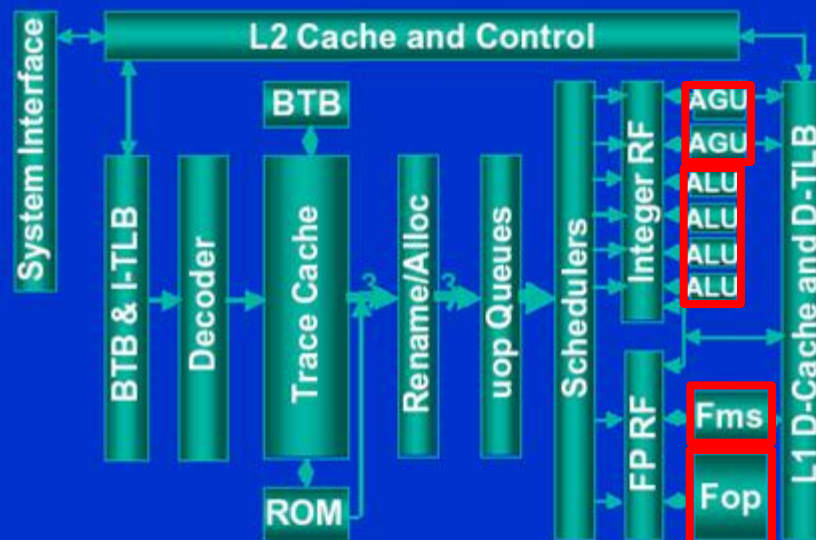
PDX

Tecnologia hyper Pipeline

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC	Nxt IP	TC	Fetch	Drive	Alloc	Rename	Que	Sch	Sch	Sch	Disp	Disp	RF	RF	Ex	Flgs	Br Ck	Drive	

Flgs: “Flags”

Cálculo dos flags (zero, negativo, ...).
Flags normalmente servem de entrada para
instruções de desvio.



Intel

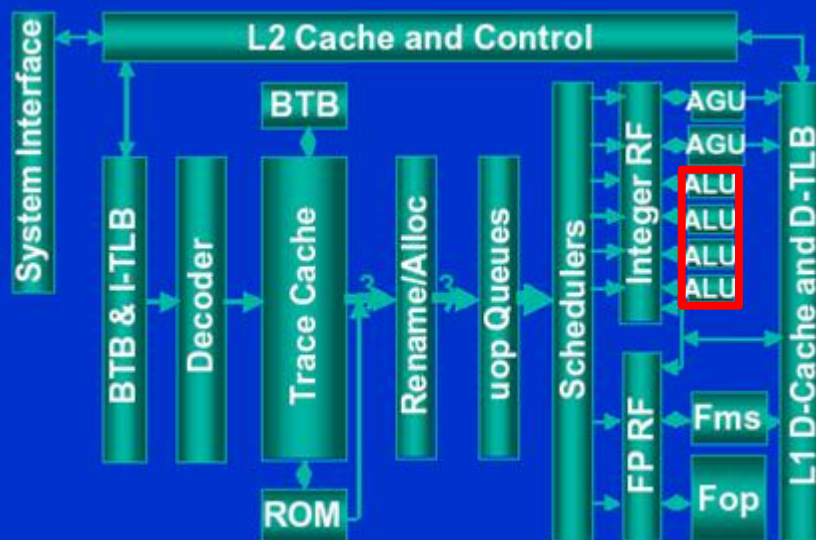
PDX

Tecnologia hyper Pipeline

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC	Nxt IP	TC	Fetch	Drive	Alloc	Rename	Que	Sch	Sch	Sch	Disp	Disp	RF	RF	Ex	Flgs	Br Ck	Drive	

Br Ck: “Branch Check”

Esse estágio compara o resultado obtido (calculado) para uma operação de desvio, com a predição realizada originalmente

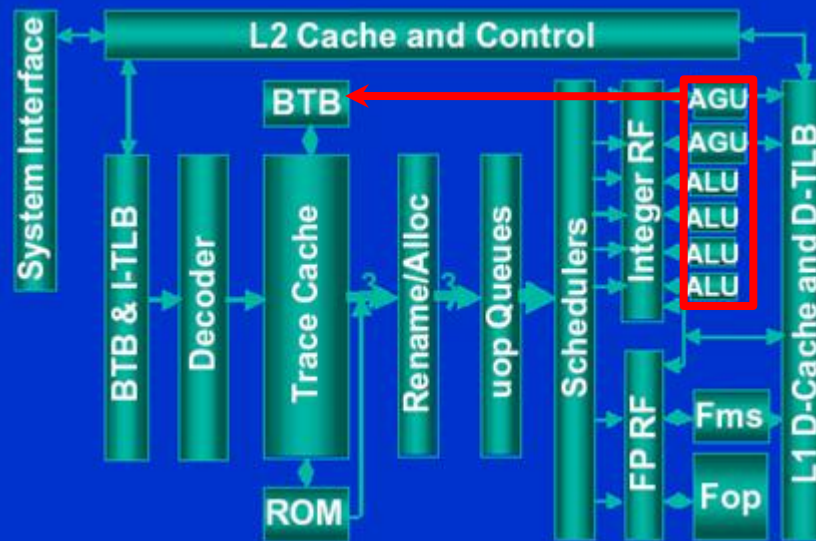


Tecnologia hyper Pipeline

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC	Nxt IP	TC	Fetch	Drive	Alloc	Rename	Que	Sch	Sch	Sch	Disp	Disp	RF	RF	Ex	Flgs	Br Ck	Drive	Drive

Drive: “Atraso no barramento”

Resultado da verificação do desvio (erro ou acerto na predição) o que é informado para o início do processo



Intel

PDX