

Ney Laert Vilar Calazans

CURRICULUM VITAE

Porto Alegre
2006

CURRICULUM VITAE

Julho, 2006

1 DADOS PESSOAIS

Nome: Ney Laert Vilar Calazans
 Nome em citações bibliográficas: CALAZANS, N. L. V.

Nascimento: 15/10/1959, Maceió/AL - Brasil

Endereço profissional: Pontifícia Universidade Católica do Rio Grande do Sul, Faculdade de Informática,
 Departamento de Fundamentos da Computação.
 Av. Ipiranga, 6681
 Partenon
 90619900 Porto Alegre, RS - Brasil
 Telefone: (51) 33203611 Ramal: 29 Fax: 33203621
 E-mail: calazans@inf.pucrs.br
 URL da home page: <http://www.inf.pucrs.br/~calazans>

Endereço residencial: R. Dr. Freire Alemão, 351 apto 1001
 Mont'Serrat
 90450060 PORTO ALEGRE, RS - Brasil
 Telefone: (51) 33282392
 E-mail: calazans@inf.pucrs.br
 URL da home page: <http://www.inf.pucrs.br/~calazans>

2 FORMAÇÃO ACADÊMICA/TITULAÇÃO

- 1989 - 1993 Doutorado em Sciences Appliquées Groupe Electricité.
 Universite Catholique de Louvain, U.C.L., Bélgica.
 Título: State Minimization and State Assignment of Finite State Machines: their relationship
 and their impact on the implementation. Ano de obtenção: 1993.
 Orientador: Anne Marie Anckaert Trullemans.
 Bolsista do(a): Conselho Nacional de Desenvolvimento Científico e Tecnológico, CNPQ,
 Brasil.
 Palavras-chave: Máquinas de Estados Finitas; Codificação de Estados; Minimização de Estados; Codificação
 Booleana Restrita; Sistemas Digitais; Projeto Automatizado.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Industria Eletro-Eletrônica; Informática.
- 1985 - 1988 Mestrado em Ciência da Computação.
 Universidade Federal do Rio Grande do Sul, UFRGS, Rio Grande do Sul, Brasil.
 Título: CIPREDI: Contribuição Inicial para um Método de Concepção de Circuitos Integrados
 Pré-difundidos. Ano de obtenção: 1988.
 Orientador: Dante Augusto Couto Barone.
 Bolsista do(a): Conselho Nacional de Desenvolvimento Científico e Tecnológico, CNPQ,
 Brasil.
 Palavras-chave: Microeletrônica; Sistemas Digitais; Circuitos Pré-Difundidos; Gate Arrays.
 Áreas do conhecimento: Hardware; Arquitetura de Sistemas de Computação.
 Setores de aplicação: Industria Eletro-Eletrônica; Informática.
- 1978 - 1985 Graduação em Engenharia Elétrica.
 Universidade Federal do Rio Grande do Sul, UFRGS, Rio Grande do Sul, Brasil.

3 ATUAÇÃO PROFISSIONAL

Pontifícia Universidade Católica do Rio Grande do Sul - PUCRS

Vínculo institucional

1993 - 1999 Vínculo: Celetista, Enquadramento funcional: Professor Adjunto, Carga horária: 40,
 Regime: Dedicção exclusiva.

1994 - 1998 Vínculo: Produtividade em Pesquisa, Enquadramento funcional: Bolsista II-C, Carga horária: 40, Regime: Dedicção exclusiva.

1986 - 1993 Vínculo: Celetista, Enquadramento funcional: Professor horista, Carga horária: 8.

Outras informações

Professor ativo de 08/1986 a 03/1989; Afastado para doutorado no exterior com vínculo e ônus, entre 04/1989 a 10/1993

1999 - Atual Vínculo: Celetista, Enquadramento funcional: Professor titular, Carga horária: 40, Regime: Dedicção exclusiva.

Outras informações

Promovido por merecimento a professor titular, em Outubro de 1999.

Atividades

3/2002 - 12/2005

Disciplinas ministradas

1. Organização de Computadores.

3/2004 - 6/2004

Disciplinas ministradas

1. Laboratório de Organização de Computadores.

3/1995 - 3/2004

Disciplinas ministradas

1. Orientação de Dissertação.

3/2001 - /2004

Participação em projeto

1. Prototipação, Verificação e Teste de Sistemas Eletrônicos em Silício.

8/2000 - /2004

Participação em projeto

1. PRATA - Prototipação Rápida de Sistemas Digitais: Métodos, Ferramentas e Aplicações.

8/2003 - 12/2003

Disciplinas ministradas

1. Introdução à Informática.

3/2003 - 12/2003

Disciplinas ministradas

1. Laboratório de Organização de Computadores.

3/2002 - 12/2003

Disciplinas ministradas

1. Circuitos Digitais.

1/2002 - 12/2003

Participação em projeto

1. APSI - Ambiente de Projeto para Sistemas Integrados.

9/2000 - 12/2003

Disciplinas ministradas

1. Prototipação Rápida e Computação Reconfigurável.

6/2000 - 9/2002

Disciplinas ministradas

1. Projeto de Sistemas VLSI.

4/2000 - 9/2002

Participação em projeto

1. DATCOM - Centro de Pesquisas em Dispositivos e Aplicações em Telecomunicações PUCRS-PARKS.

8/2001 - 7/2002

Disciplinas ministradas

1. Tópicos Especiais em Sistemas Digitais I.

3/2001 - 2/2002

Cargos ou funções

1. Membro da Comissão Coordenadora do PPGCC.

8/2000 - 12/2001

Disciplinas ministradas

1. Laboratório de Organização de Computadores.

3/2000 - 12/2001

Disciplinas ministradas

1. Arquitetura de Computadores I.

9/1999 - 8/2001

Participação em projeto

1. Projeto SOMASIM - Um Simulador para Sistemas de Monitoração e Controle de Transportes Coletivos Urbanos.

9/1998 - 8/2001

Participação em projeto

1. SHRIMP-I - Implementação e Avaliação de uma Plataforma de Prototipação Rápida para o Projeto Integrado de Software e Hardware.

8/2000 - 12/2000

Disciplinas ministradas

1. Tópicos Especiais em Sistemas Digitais II.

3/2000 - 7/2000

Disciplinas ministradas

1. Organização de Computadores.

3/2000 - 7/2000

Disciplinas ministradas

1. Tópicos Especiais em Sistemas Digitais I.

3/1999 - 12/1999

Participação em projeto

1. ADC-SHRIMP - Avaliação de Desempenho da Comunicação Hospedeiro - Plataformas de H/S Codesign.

3/1998 - 12/1999

Disciplinas ministradas

1. Organização de Computadores.
2. Laboratório de Organização de Computadores.

9/1997 - 12/1999

Disciplinas ministradas

1. Síntese Automatizada e Prototipação de Sistemas VLSI.

1/1997 - 12/1999

Participação em projeto

1. HARDPRO: Centro de Prototipação de Hardware para Sistemas Computacionais Dedicados.

3/1997 - 8/1999

Disciplinas ministradas

1. Arquitetura e Sistemas Paralelos.

7/1999 - 7/1999

Atividades de extensão realizadas

1. Dispositivos Programáveis - Arquitetura e Projeto.

8/1997 - 7/1999

Participação em projeto

1. KROC-PC: compilador occam2 para computadores padrão IBM-PC.

6/1997 - 8/1998

Disciplinas ministradas

1. Programação Distribuída e Paralela.

9/1996 - 8/1998

Participação em projeto

1. BOOLE - Codificação Booleana e FPGAs.

1/1994 - 1/1998

Disciplinas ministradas

1. Arquitetura de Computadores (nivelamento).

3/1997 - 12/1997

Disciplinas ministradas

1. Organização de Computadores.

1/1996 - 9/1997

Cargos ou funções

1. Coordenador de curso.

6/1997 - 8/1997

Disciplinas ministradas

1. Projeto VLSI.
2. Complexidade de Algoritmos e Otimização.

1/1995 - 8/1997

Participação em projeto

1. PISH: Projeto Integrado de Software/Hardware.

4/1996 - 3/1997

Participação em projeto

1. Análise Comparativa de Desempenho de duas Abordagens ao Projeto de Colunas de Destilação: síntese versus simulação.

3/1994 - 12/1996

Disciplinas ministradas

1. Microprogramação.

10/1994 - 9/1996

Participação em projeto

1. Síntese Lógica Sequencial para FPGAs.

5/1996 - 8/1996

Disciplinas ministradas

1. Ferramentas de Projeto Auxiliado por Computador.

9/1994 - 8/1996

Participação em projeto

1. Estudo e Implementação de Ferramentas de Síntese Lógica de FPGAs.

3/1996 - 7/1996

Cargos ou funções

1. Membro da Comissão de Promoção de Professores.

3/1996 - 5/1996

Disciplinas ministradas

1. Lógica e Teoria da Computação.

4/1995 - 3/1996

Participação em projeto

1. Análise de Desempenho de Métodos Computacionais de Otimização de Projeto de Processos Químicos.

3/1994 - 12/1995

Cargos ou funções

1. Membro da Comissão Coordenadora do Curso de Mestrado em Informática.

6/1995 - 9/1995

Disciplinas ministradas

1. Sistemas de Computação II.

7/1994 - 6/1995

Participação em projeto

1. O Problema de Codificação Booleana: métodos e ferramentas.

3/1994 - 5/1995

Disciplinas ministradas

1. Informática Teórica.

1/1994 - 12/1994

Cargos ou funções

1. Coordenador do Centro de Informática.

3/1994 - 7/1994

Disciplinas ministradas

1. Programação de Sistemas (Curso de Especialização).

3/1994 - 5/1994

Disciplinas ministradas

1. Sistemas de Engenharia.

11/1993 - 3/1994

Cargos ou funções

1. Membro da Comissão de Implantação do Programa de Mestrado em Informática.

8/1986 - 12/1988

Disciplinas ministradas

1. Organização de Computadores.

1/2005 - Atual

Participação em projeto

1. Utilização de Redes Intra-Chip em SoCs: Projeto, Reconfiguração e Teste.

7/2004 - Atual

Cargos ou funções

1. Membro do Colegiado do Curso de Bacharelado em Ciência da Computação.

12/2004 - Atual

Cargos ou funções

1. Membro da Comissão Coordenadora do PPGCC.

6/2003 - Atual

Participação em projeto

1. RICHA - Redes de Interconexão Intra-Chip em Hardware.

2/2003 - Atual

Participação em projeto

1. Brazil-IP - Consórcio para a Formação de Talentos Humanos na Concepção e Projeto de Sistemas Digitais e Propriedade Intelectual (IP's).

6/2002 - Atual

Cargos ou funções

1. Membro do Colegiado do Curso de Engenharia da Computação.

3/2000 - Atual

Disciplinas ministradas

1. Sistemas Digitais e Arquitetura de Computadores.

9/1994 - Atual

Disciplinas ministradas

1. Trabalho Individual II.

6/1994 - Atual

Disciplinas ministradas

1. Trabalho Individual I.

3/1994 - Atual

Linhas de pesquisa

1. Sistemas Digitais e Arquitetura de Computadores.

Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul - FAPERGS

Vínculo institucional

1999 - 2002 Vínculo: Colaborador, Enquadramento funcional: Membro de Comitê Assessor, Carga horária: 1.

Atividades

12/1999 - 3/2002

Serviços realizados

1. Membro de Comitê Assessor.

Universidade Federal do Rio Grande do Sul - UFRGS

Vínculo institucional

1988 - 1989 Vínculo: Servidor público ou celetista, Enquadramento funcional: Engenheiro Pesquisador, Carga horária: 40.

1985 - 1988 Vínculo: Colaborador, Enquadramento funcional: Assistente de Pesquisa, Carga horária: 20.

1980 - 1984 Vínculo: Colaborador, Enquadramento funcional: Bolsista de Iniciação Científica, Carga horária: 20.

Atividades

3/1988 - 3/1989

Serviços realizados

1. Projeto SID-Microeletrônica - Desenvolvimento de CAD para CIs.

9/1985 - 3/1988

Linhas de pesquisa

1. Microeletrônica.

3/1982 - 3/1984

Linhas de pesquisa

1. Microeletrônica.

9/1980 - 3/1982

Linhas de pesquisa

1. Projeto NAVSAT Navegação por Satélite - Marinha do Brasil.

Digitel S A Indústria Eletrônica - DIGITEL

Vínculo institucional

1985 - 1985 Vínculo: Servidor público ou celetista, Enquadramento funcional: Engenheiro de Desenvolvimento, Carga horária: 30.

1984 - 1984 Vínculo: Estagiário, Enquadramento funcional: Estagiário de Pesquisa e Desenvolvimento, Carga horária: 20.

Atividades

1/1985 - 9/1985

Serviços realizados

1. Desenvolvimento de Equipamento de Videotexto.

4/1984 - 12/1984

Estágios realizados

1. Desenvolvimento de Equipamento Vidotexto.

4 LINHAS DE PESQUISA

- 1 Microeletrônica.
- 2 Microeletrônica.
- 3 Projeto NAVSAT Navegação por Satélite - Marinha do Brasil.
- 4 Sistemas Digitais e Arquitetura de Computadores.

5 PROJETOS DE PESQUISA

2005 - Atual Utilização de Redes Intra-Chip em SoCs: Projeto, Reconfiguração e Teste.

Descrição: O objetivo estratégico é estabelecer uma cooperação entre o CPGCC (PUCRS), PPGC (UFRGS) e o PPGEE (UFRGS) com o LIRMM da Universidade de Montpellier (França), no período 2005-2006. A finalidade desta cooperação é implantar um programa de pesquisa e de formação de recursos humanos no campo prioritário da Microeletrônica, mais particularmente no campo de projeto de sistemas computacionais complexos - SoCs. São quatro os objetivos específicos a serem atingidos: 1. Estabelecimento de uma rede temática de grupos de pesquisa na área de projeto, reconfiguração e teste de SoCs interconectados por redes intra-chip (NoCs). No tema de projeto o trabalho visa principalmente a pesquisa e desenvolvimento de técnicas para o atendimento à qualidade de serviço em NoCs, para satisfazer requisitos de tráfego típicos das atuais aplicações - alta vazão e paralelismo. No tema de reconfiguração o objetivo é prover mecanismos de reconfiguração de grão-grande, de forma a prover mecanismos de substituição de núcleos em tempo de execução, possibilitando reduzir a área em silício, e por conseqüência o seu custo. No tema de teste o objetivo é desenvolver técnicas de teste de sistemas embarcados, que tenham a conexão entre os seus núcleos feita por uma redá intra-chip. 2. Identificação de competências, recursos e talentos associados aos quatro grupos de forma a evidenciar as possíveis sinergias da cooperação. 3. Troca de experiência, conhecimento e meios de apoio à formação, pesquisa e desenvolvimento na área científica acima definida, tais como material pedagógico, metodologias e ferramentas de software, relatórios técnicos, textos de apoio ao ensino em cursos de licenciatura e pós-graduação, etc. 4. Criação das condições de intercâmbio que possibilitem a realização conjunta de seminários, publicações em conferências ou revistas internacionais destinadas a facilitar a transferência de tecnologia para a indústria e serviços deste importante setor econômico.

Situação: Em andamento; Natureza: Pesquisa.

Integrantes: Fernando Gehm Moraes (Responsável); Ney Laert Vilar Calazans; Altamiro Amadeu Susin; Érika Fernandes Cota; Fabiano Passuelo Hessel; Florence Azais; Gilles Sassatelli; Lionel Torres; Marcelo Soares Lubaszewski; Michel Renovell; Michel Robert; Pascal Nouet; Ricardo Augusto da Luz Reis; Sergio Bampi.

Financiador(es): Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - CAPES (Cooperação).

2003 - Atual

Brazil-IP - Consórcio para a Formação de Talentos Humanos na Concepção e Projeto de Sistemas Digitais e Propriedade Intelectual (IP's).

Descrição: Projeto submetido originalmente à Chamada Conjunta SEP/MCT-FINEP-CNPq 1/2002. Número do Processo CNPq 552078/02-6. O principal objetivo deste projeto é o estabelecimento de uma metodologia bem definida para o projeto de núcleos de propriedade intelectual (IPs) e o aumento da divulgação para a comunidade acadêmica, sobretudo para estudantes de graduação e pós-graduação, dos temas do projeto. Estes incluem o projeto a validação, a síntese e a prototipação de IPs. Este esforço está sendo realizado no contexto de um consórcio que inclui 8 instituições brasileiras, com o suporte do MCT e do CNPq. Além de prover treinamento na tecnologia de IPs, o consórcio irá disponibilizar módulos IP, e a plataforma Fênix, voltada para servir de base à implementação de aplicações sem fio.

Situação: Em andamento; Natureza: Pesquisa.

Alunos envolvidos: Graduação (4); Mestrado acadêmico (2); Doutorado (1).

Integrantes: Edna Natividade da Silva Barros (Responsável); Ney Laert Vilar Calazans; Alessandro Noriaki Ide; Altamiro Amadeu Susin; Cristiano Coral Riva; Diógenes Cecílio da Silva Jr; Edson Ifarraguirre Moreno; Elmar Uwe Kurt Melcher; Fernando Gehm Moraes; Giovanni Zucolotto; Guido Costa Souza de Araújo; Karine de Pinho Peralta; Luigi Carro; Manoel Eusebio de Lima; Ricardo Pezzuol Jacobi; Taciano Ares Rodolfo; Wang Jiang Chau.

Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Bolsa); Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Auxílio financeiro).

Número de produções C, T & A: 8 / Número de orientações: 2.

2003 - Atual

RICHA - Redes de Interconexão Intra-Chip em Hardware.

Descrição: CTINFO / Chamada 11/2002 - Programa de Pesquisa e Desenvolvimento para Capacitação de Pequenos Grupos Acadêmicos - PDPG - TI - Processo CNPq no. 55.0009/03-5 Os objetivos do projeto são: (i) pesquisar e desenvolver técnicas de projeto de núcleos de propriedade intelectual; (ii) pesquisar e desenvolver redes de conexão parametrizáveis para os núcleos.

Situação: Em andamento; Natureza: Pesquisa.

Alunos envolvidos: Graduação (4); Mestrado acadêmico (2).

Integrantes: Fernando Gehm Moraes (Responsável); Ney Laert Vilar Calazans; Aline Vieira de Mello; Leandro Heleno Möller; Thiago Wustro Wertonge; Vitor Moscon da Rosa.

Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Auxílio financeiro); Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Bolsa).

Número de produções C, T & A: 6 / Número de orientações: 1.

2001 - 2004

Prototipação, Verificação e Teste de Sistemas Eletrônicos em Silício.

Descrição: Cooperação CAPES-COFECUB - Processo CAPES no. 337/01. Quatro são os objetivos principais a serem atingidos por este projeto de cooperação: 1. Estabelecimento de uma rede temática de grupos de pesquisa na área de projeto, verificação e teste de sistemas eletrônicos em silício. 2. Identificação de competências, recursos e talentos associados aos quatro grupos de forma a evidenciar as possíveis sinergias da cooperação. 3. Troca de experiência, conhecimento e meios de apoio à formação, pesquisa e desenvolvimento na área científica acima definida, tais como material pedagógico, metodologias e ferramentas de software, relatórios técnicos, textos de apoio ao ensino em cursos de licenciatura e pós-graduação, etc. 4. Criação das condições de intercâmbio que possibilitem a realização conjunta de seminários, publicações em conferências ou revistas internacionais destinadas a facilitar a transferência de tecnologia para a indústria e serviços deste importante setor econômico.

Situação: Concluído; Natureza: Pesquisa.

Alunos envolvidos: Graduação (2); Mestrado acadêmico (1).

Integrantes: Marcelo Soares Lubaszewski (Responsável); Ney Laert Vilar Calazans; Altamiro Amadeu Susin; Christian Dufaza; Federico Gálvez-Durand Besnard; Fernando Gehm Moraes; Florence Azais; Lionel Torres; Luigi Carro; Michel Renovell; Michel Robert; Pascal Nouet; Renato Perez Ribas; Ricardo Augusto da Luz Reis; Vladimir Castro Alves; Yves Bertrand.

Financiador(es): Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - CAPES (Cooperação); Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - CAPES (Auxílio financeiro).

Número de produções C, T & A: 7 / Número de orientações: 2.

2000 - 2004

PRATA - Prototipação Rápida de Sistemas Digitais: Métodos, Ferramentas e Aplicações.

Descrição: Projeto Integrado - Processo CNPq no. 520.091/96-5. Os objetivos específicos do projeto são: (i) desenvolver estudos de caso de implementação de sistemas computacionais embarcados (software e hardware, usando técnicas de projeto integrado destas entidades) para as produtos de telecomunicações, processamento gráfico e arquitetura de computadores, em função de convênios e projetos de pesquisa com parceiros acadêmicos e industriais do GAPH e da FACIN;(ii) avaliar quantitativamente a qualidade e o desempenho dos protótipos desenvolvidos em relação a implementações distintas dos mesmos sistemas, tais como implementações de software apenas e/ou implementações de hardware apenas; (iii) estabelecer a partir dos protótipos e de sua avaliação quantitativa uma metodologia de desenvolvimento de sistemas embarcados para áreas de aplicação específicas capaz de permitir metodicamente implementar e avaliar os ditos sistemas embarcados; (iv) desenvolver ferramentas de software de apoio ao projeto e prototipação de sistemas computacionais embarcados, ferramentas estas responsáveis por iniciar a automatização da metodologia desenvolvida.

Situação: Concluído; Natureza: Pesquisa.

Alunos envolvidos: Graduação (4); Mestrado acadêmico (6); Doutorado (1).

Integrantes: Ney Laert Vilar Calazans (Responsável); Daniel Borges; Fernando Gehm Moraes; Frederico Bartz Möller; Guilherme Antônio Anzilago Tesser; Juliano Cardoso Vacaro; Taciano Ares Rodolfo.

Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Bolsa).

Número de produções C, T & A: 31 / Número de orientações: 11.

2002 - 2003

APSI - Ambiente de Projeto para Sistemas Integrados.

Descrição: Edital 003/2001 PROADI - processo FAPERGS no. Os objetivos específicos deste projeto são: 1. Desenvolver uma arquitetura alvo e um modelo de representação de projeto que permita a concepção modular, escalar e flexível afim de permitir a síntese de sistemas multiprocessadores em um único chip. 2. Definir um fluxo de projeto que permita sintetizar uma sistema heterogêneo especificado no nível sistema e gerar uma arquitetura multiprocessador em um único chip. 3. Definir e implementar um conjunto de métodos e ferramentas que realizem a metodologia proposta.

Situação: Concluído; Natureza: Pesquisa.

Integrantes: Ney Laert Vilar Calazans (Responsável); Fabiano Passuelo Hessel; Fernando Gehm Moraes.

Financiador(es): Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul - FAPERGS (Auxílio financeiro).

Número de produções C, T & A : 4.

2000 - 2002

DATCOM - Centro de Pesquisas em Dispositivos e Aplicações em Telecomunicações PUCRS-PARKS.

Descrição: Cooperação Parks/FACIN: Termos aditivos Parks/FACIN/TA001/00, Parks/FACIN/TA001/01 e Parks/FACIN/TA002/02. Os objetivos gerais do presente projeto são:i) pesquisar e desenvolver protótipos de sistemas digitais de alta desempenho para equipamentos de comunicação de dados visando suportar aplicações com alta largura de banda, transmitindo dados e voz; (ii) subsidiar a formação de recursos humanos altamente qualificados a nível de pós-graduação stricto-sensu no âmbito do Programa de Pós-Graduação em Ciência da Computação da Faculdade de Informática (FACIN) da PUCRS, recursos estes a serem engajados no alcance do primeiro objetivo; (iii) equipar o laboratório do Grupo de Apoio ao Projeto de Hardware, doravante denominado GAPH, da Faculdade de Informática (FACIN) da PUCRS com recursos para projeto, prototipação e validação de sistemas digitais de alto desempenho e alta complexidade.

Situação: Concluído; Natureza: Desenvolvimento.

Alunos envolvidos: Graduação (3); Mestrado acadêmico (4); Doutorado (1).

Integrantes: Ney Laert Vilar Calazans (Responsável); César Augusto Missio Marcon; Daniel Mesquita; Fernando Gehm Moraes; José Carlos Sant'anna Palma; Leonardo Dutra Castanheira; Sheila Moreira Souza.

Financiador(es): Parks S A Comunicações Digitais - PARKS (Auxílio financeiro); Parks S A Comunicações Digitais - PARKS (Bolsa).

Número de produções C, T & A: 6 / Número de orientações: 3.

1999 - 2001

Projeto SOMASIM - Um Simulador para Sistemas de Monitoração e Controle de Transportes Coletivos Urbanos.

Descrição: Projeto Multiinstitucional PADCT PUCRS/EPTC/PROCEMPA - Processo PADCT no. 03-CE-01/98-02/02-54. O objetivo principal do projeto é o desenvolvimento de um simulador para sistemas de monitoração de tráfego de transportes coletivos, baseado sobretudo na experiência pregressa em curso na EPTC de Porto Alegre. Este simulador deve permitir o ensaio dos desdobramentos de alterações/ampliações no sistema atualmente empregado, visando a redução dos custos para que o mesmo evolua.

Situação: Concluído; Natureza: Pesquisa.

Alunos envolvidos: Graduação (1).

Integrantes: Ney Laert Vilar Calazans (Responsável); Paulo Henrique Lemelle Fernandes.

Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Bolsa).

Número de orientações : 1.

1998 - 2001

SHRIMP-I - Implementação e Avaliação de uma Plataforma de Prototipação Rápida para o Projeto Integrado de Software e Hardware.

Descrição: Projeto Integrado - Processo CNPq no. 520.091/96-5. Os objetivos específicos nesta classe de atividades são: (i) implementar uma plataforma de prototipação rápida d hardware denominada SHRIMP-I (UCP+memória+hardware dedicado); (ii) garantir que o módulo pode interagir física e logicamente com pelo menos um tipo de computador hospedeiro, tipicamente computadores pessoais e/ou estações de trabalho, através de uma conexão padrão de alto desempenho; (iii) demonstrar a validade da conexão do módulo a pelo menos um dispositivo externo de entrada e/ou saída, tal como câmeras ou vídeos RGB, interfaces de rede, ou processadores de áudio;(iv) mostrar que o módulo pode ser usado em conjunção com outros de igual natureza para implementar sistemas multiprocessados.

Situação: Concluído; Natureza: Pesquisa.

Alunos envolvidos: Graduação (4); Mestrado acadêmico (1).

Integrantes: Ney Laert Vilar Calazans (Responsável); Fernando Gehm Moraes; Marcos Stemmer; Paulo Henrique Lemelle Fernandes.

Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Bolsa); Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Remuneração); Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul - FAPERGS (Auxílio financeiro).

Número de produções C, T & A: 5 / Número de orientações: 6.

- 1999 - 1999** **ADC-SHRIMP - Avaliação de Desempenho da Comunicação Hospedeiro - Plataformas de H/S Codesign.**
 Descrição: Programa BIC - Processo FAPERGS no. 98/50970-6. Os objetivos específicos deste projeto envolvem a avaliação de desempenho da comunicação entre o computador hospedeiro plataformas de prototipação, e são os seguintes: (i) obter modelos genéricos e/ou específicos para avaliar formalmente o desempenho de plataformas de prototipação reconfiguráveis; (ii) identificar os gargalos de processamento na comunicação de plataformas de prototipação em geral e da plataforma SHRIMP-I em particular com o computador hospedeiro, a partir dos resultados da avaliação de desempenho; (iii) obter formas de melhorar o desempenho da plataforma SHRIMP-I a partir da identificação dos gargalos de processamento desta; (iv) identificar a viabilidade/inviabilidade de avaliar os diferentes subsistemas de uma plataforma de hardware/software reconfigurável, tais como processador, hierarquia de memória, conexão plataforma/hospedeiro, subsistema de E/S, a partir da experiência com a avaliação de desempenho realizada.
 Situação: Concluído; Natureza: Pesquisa.
 Alunos envolvidos: Graduação (1).
 Integrantes: Ney Laert Vilar Calazans (Responsável); Daniel Carvalho Liedke.
 Financiador(es): Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul - FAPERGS (Bolsa).
 Número de produções C, T & A: 2 / Número de orientações: 3.
- 1997 - 1999** **HARDPRO: Centro de Prototipação de Hardware para Sistemas Computacionais Dedicados.**
 Descrição: Programa RHAЕ - Processo CNPq no. 610.251/94-5. O principal objetivo deste projeto é a construção de um laboratório distribuído de prototipação de sistemas computacionais dedicados, onde serão colocados à disposição das comunidades industrial, de ensino e de pesquisa, diversos métodos de prototipação e teste de hardware de sistemas computacionais.
 Situação: Concluído; Natureza: Pesquisa.
 Alunos envolvidos: Graduação (4); Mestrado acadêmico (1).
 Integrantes: Ney Laert Vilar Calazans (Responsável); Alexandre Junqueira; Altamiro Amadeu Susin; Carlos Eduardo Pereira; Fabian Luis Vargas; Fernando Gehm Moraes; Fernando Rosa Nascimento; Flávio Rech Wagner; João Baptista dos Santos Martins; João Cesar Netto; Juergen Rochol; Luigi Carro; Marcelo Lubaszewski; Raul Ceretta Nunes; Ricardo Augusto da Luz Reis; Ricardo Pezzuol Jacobi; Sergio Bampi; Tiaraju Wagner.
 Financiador(es): Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul - FAPERGS (Auxílio financeiro); Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul - FAPERGS (Cooperação).
 Número de produções C, T & A: 5 / Número de orientações: 7.
- 1997 - 1999** **KROC-PC: compilador occam2 para computadores padrão IBM-PC.**
 Descrição: Programa PIBIC - Processo CNPq no. 105490/98-9. O projeto tem como objetivos específicos: (i) realizar um estudo no ambiente KROC de desenvolvimento de software paralelo, de forma a melhor identificar os módulos que necessitam alteração; (ii) fortalecer os conhecimentos, das pessoas envolvidas, sobre as famílias de processadores envolvidos (transputer, Sparc, 80x86); (iii) realizar as devidas alterações no núcleo do KROC de forma a possibilitar sua execução em IBM-PC; (iv) realizar estudo aprofundado dos demais módulos do sistema, documentando o que é necessário realizar na continuidade do projeto; (v) adaptar o ambiente KROC para processadores DSP.
 Situação: Concluído; Natureza: Pesquisa.
 Alunos envolvidos: Graduação (3).
 Integrantes: Ney Laert Vilar Calazans (Responsável); Eduardo Augusto Bezerra; Felipe Barp Neuwald; Giovani Ragazzon; Sandro Augusto Cardoso.
 Financiador(es): Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul - FAPERGS (Bolsa).
 Número de orientações: 2.
- 1996 - 1998** **BOOLE - Codificação Booleana e FPGAs.**
 Descrição: Projeto Integrado - Processo CNPq no. 520.091/96-5. Este projeto visa desenvolver técnicas de codificação Booleana e aplicá-las à solução de problemas de síntese de sistemas digitais.
 Situação: Concluído; Natureza: Pesquisa.
 Alunos envolvidos: Graduação (2); Mestrado acadêmico (1).
 Integrantes: Ney Laert Vilar Calazans (Responsável); Andrea Biazus Fagherazzi; Cícero Zannoni; Eduardo Augusto Bezerra; Waldir Walter Jr.
 Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Bolsa); Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Auxílio financeiro).
 Número de produções C, T & A: 5 / Número de orientações: 6.
- 1996 - 1997** **Análise Comparativa de Desempenho de duas Abordagens ao Projeto de Colunas de Destilação: síntese versus simulação.**
 Descrição: Projeto BIC FAPERGS - Processo no. 95/50506.4 O objetivo geral do projeto é avaliar o desempenho da abordagem de projeto de colunas de destilação baseadas em síntese versus a abordagem baseada em simulação.
 Situação: Concluído; Natureza: Pesquisa.
 Alunos envolvidos: Graduação (1); Mestrado acadêmico (1).
 Integrantes: Ney Laert Vilar Calazans (Responsável); Mára Lúcia Fernandes Carneiro; Marco Antonio Ghidini.
 Financiador(es): Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul - FAPERGS (Bolsa).
 Número de orientações: 2.
- 1995 - 1997** **PISH: Projeto Integrado de Software/Hardware.**
 Descrição: Programa PROTEM-CC - Processo CNPq no. 680.074/94-5. Os objetivos do projeto são: (i) explorar o espaço de projetos de sistemas compostos por hardware e software; (ii) propor técnicas de particionamento corretas por construção para sistemas compostos por software e hardware; (iii) garantir uma conexão entre etapas de projeto de altos níveis de abstração e níveis inferiores, em particular a prototipação de sistemas de hardware e software.
 Situação: Concluído; Natureza: Pesquisa.
 Alunos envolvidos: Graduação (3); Mestrado acadêmico (2).
 Integrantes: Edna Natividade da Silva Barros (Responsável); Ney Laert Vilar Calazans; Eduardo Augusto Bezerra; Fabiano Passuelo Hessel; Guilherme Saueressig; Manoel Eusébio Lima; Ricardo Pezzuol Jacobi.
 Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Auxílio financeiro); Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Bolsa).

Número de produções C, T & A: 4 / Número de orientações: 3.

- 1995 - 1996 **Análise de Desempenho de Métodos Computacionais de Otimização de Projeto de Processos Químicos.**
 Descrição: Projeto BIC FAPERGS O objetivo deste projeto é avaliar o desempenho de métodos computacionais de otimização aplicados ao projeto de processos químicos.
 Situação: Concluído; Natureza: Pesquisa.
 Integrantes: Ney Laert Vilar Calazans (Responsável); Mára Lúcia Fernandes Carneiro; Paulo Cesar Ramos da Silva.
 Financiador(es): Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul - FAPERGS (Bolsa).
 Número de produções C, T & A: 1 / Número de orientações: 1.
- 1994 - 1996 **Estudo e Implementação de Ferramentas de Síntese Lógica de FPGAs.**
 Descrição: Programa RHAÉ - Processo CNPq no. 610.251/94-5. Trata-se aqui de um projeto para desenvolver ferramentas de síntese automática ou semi-automática para FPGAs, visando atender a necessidades de otimização específicas para tais dispositivos.
 Situação: Concluído; Natureza: Pesquisa.
 Alunos envolvidos: Graduação (7).
 Integrantes: Ney Laert Vilar Calazans (Responsável); André Duque Madeira; Liliane Lisboa Paim; Luciano Barbosa Cardoso; Luciano Soares Minuzzi; Mauro Cristiano P da Silva; Rodrigo da Silva Radaieski; Rodrigo Rafael Villarreal Goulart.
 Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Bolsa).
 Número de produções C, T & A: 5 / Número de orientações: 2.
- 1994 - 1996 **Síntese Lógica Seqüencial para FPGAs.**
 Descrição: Projeto Integrado - Processo CNPq no. 520.523/94-6. Os objetivos específicos deste projeto compreendem: (i) estudar as características das mais difundidas famílias de FPGA existentes no mercado e sua evolução; (ii) Desenvolver ferramentas de síntese lógica seqüencial para FPGAs; tais ferramentas deverão considerar funções custo especificamente destinadas a medir o grau de otimização de uma personalização de FPGA; (iii) Implementar as ferramentas propostas no item anterior de forma portátil e passíveis de serem integradas em sistemas de CAD para circuitos integrados VLSI disponíveis em ambientes acadêmico e industrial, notadamente em sistemas abertos e "frameworks".
 Situação: Concluído; Natureza: Pesquisa.
 Alunos envolvidos: Graduação (2); Especialização (1); Mestrado acadêmico (1).
 Integrantes: Ney Laert Vilar Calazans (Responsável); Andrea Biazus Fagherazzi; Cícero Zanoni; Waldir Walter Jr.
 Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Bolsa); Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Auxílio financeiro); Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPQ (Remuneração).
 Número de produções C, T & A: 4 / Número de orientações: 1.
- 1994 - 1995 **O Problema de Codificação Booleana: métodos e ferramentas.**
 Descrição: Auxílio Recém Doutor (ARD) - Processo FAPERGS no. 94/1340.3 Os objetivos específicos do presente projeto compreendem: (i) identificar novas aplicações da teoria geral de codificação Booleana proposta na tese do autor; (ii) caso seja necessário, estender a teoria geral para acomodar tais aplicações; (iii) refinar as ferramentas e técnicas de codificação sugeridas na tese do autor; (iv) desenvolver novas técnicas e ferramentas para lidar com o problema geral de codificação Booleana em ramos diversos da Ciência da Computação; (v) validar as novas técnicas e ferramentas através da resolução de problemas práticos de codificação Booleana.
 Situação: Concluído; Natureza: Pesquisa.
 Alunos envolvidos: Graduação (1); Mestrado acadêmico (1).
 Integrantes: Ney Laert Vilar Calazans (Responsável).
 Financiador(es): Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul - FAPERGS (Auxílio financeiro).
 Número de produções C, T & A : 3.

6 ÁREAS DE ATUAÇÃO

- 1 Sistemas de Computação, Hardware.
- 2 Sistemas de Computação, Arquitetura de Sistemas de Computação.
- 3 Eletrônica Industrial, Sistemas e Controles Eletrônicos, Microeletrônica.
- 4 Telecomunicações, Sistemas de Telecomunicações.

7 IDIOMAS

Compreende: Espanhol (Bem), Francês (Bem), Inglês (Bem).
 Fala: Espanhol (Razoavelmente), Francês (Bem), Inglês (Bem).
 Lê: Espanhol (Bem), Francês (Bem), Inglês (Bem).
 Escreve: Espanhol (Razoavelmente), Francês (Bem), Inglês (Bem).

8 PRÊMIOS E TÍTULOS

- 2005 Best Conceptual Design in the DATE'2005 Designers Forum, European Community Europractice.
 2005 II Xilinx Student Contest - First Place, Xilinx Inc..
 2004 I Xilinx Student Contest - First Place, Xilinx Inc..

9 PRODUÇÃO CIENTÍFICA, TECNOLÓGICA E ARTÍSTICA/CULTURAL

9.1 PRODUÇÃO BIBLIOGRÁFICA

9.1.1 Trabalhos completos em anais de eventos

- 1 TEDESCO, Leonel Pablo; MELLO, Aline Vieira de; GIACOMET, Leonardo Luigi; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. Application Driven Traffic Modeling for NoCs. In: 19TH SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN - SBCCI 2006, 2006, Ouro Preto. **19th SBCCI**. New York: ACM, 2006.
 Palavras-chave: Networks on Chip; Traffic Modeling.
 Áreas do conhecimento: Sistemas de Computação; Arquitetura de Sistemas de Computação.
 Referências adicionais: Classificação do evento: Nacional; Brasil/Inglês; Meio de divulgação: Impresso.
 Aprovado para publicação, versão final em preparação.
- 2 MELLO, Aline Vieira de; TEDESCO, Leonel Pablo; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. Evaluation of Current Mechanisms Employed to Provide QoS in Networks on Chip. In: INTERNATIONAL SYMPOSIUM ON SYSTEM-ON-CHIP, 2005, Tampere. 2006.
 Palavras-chave: Networks on Chip; NoCs; QoS; Traffic evaluation.
 Áreas do conhecimento: Sistemas de Computação; Arquitetura de Sistemas de Computação.
 Referências adicionais: Classificação do evento: Internacional; Brasil/Português; Meio de divulgação: Impresso; Homepage: <http://www.cs.tut.fi/soc/soc2006.html>.
 Aprovado para publicação, versão final em preparação.
- 3 MÖLLER, Leandro Heleno; SOARES, Rafael Iankowski; CARVALHO, Ewerson Luiz de Souza; GREHS, Ismael; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. Infrastructure for Dynamic Reconfigurable Systems: Choices and Trade-offs. In: 19TH SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN - SBCCI 2006, 2006, Ouro Preto. **19th SBCCI**. 2006.
 Palavras-chave: Reconfigurable Systems; Dynamic Reconfiguration; Partial Reconfiguration.
 Áreas do conhecimento: Sistemas de Computação; Arquitetura de Sistemas de Computação.
 Referências adicionais: Classificação do evento: Nacional; Brasil/Inglês; Meio de divulgação: Impresso.
 Aprovado para publicação, versão final em preparação.
- 4 MÖLLER, Leandro Heleno; GREHS, Ismael; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. Reconfigurable Systems Enabled by a Network-on-Chip. In: 16TH INTERNATIONAL CONFERENCE ON FIELD PROGRAMMABLE LOGIC AND APPLICATIONS, 2006, Madri. **FPL 2006**. IEEE, 2006.
 Palavras-chave: Reconfigurable Systems; Network-on-chip; Dynamic Reconfiguration; Partial Reconfiguration.
 Áreas do conhecimento: Sistemas de Computação; Arquitetura de Sistemas de Computação.
 Referências adicionais: Classificação do evento: Internacional; Espanha/Inglês; Meio de divulgação: Impresso; Homepage: <http://www.ii.uam.es/~fpl06/>.
 Aprovado para publicação, versão final em preparação.
- 5 CARUSO, Luís Carlos Mieres; GUINDANI, Guilherme Montex; SCHMITT, Hugo Artur Weber; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. Arquitetura Mar de Processadores para Detecção de Intrusão em Redes. In: XI WORKSHOP IBERCHIP, 2005, Salvador. **XI Iberchip**. 2005. v. 1, p. 247-250.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Classificação do evento: Nacional; Brasil/Português; Meio de divulgação: Impresso; ISSN/ISBN: 858842505X.
- 6 CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm; MARCON, César Augusto Missio; PALMA, José Carlos Sant'anna. Design, Validation and Prototyping of the EMS SDH STM-1 Mapper Soft-core. In: 6TH IEEE LATIN-AMERICAN TEST WORKSHOP, 2005, Salvador. **LATW 2005**. 2005. v. 1, p. 313-318.
 Palavras-chave: SDH; E1; SDH-E1 mapping/demapping; soft IP core.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Classificação do evento: Internacional; Brasil/Inglês; Meio de divulgação: Impresso.
- 7 KREUTZ, Márcio; MARCON, César Augusto Missio; CALAZANS, Ney Laert Vilar; SUSIN, Altamiro Amadeu. Energy and Latency Evaluation of NoC Topologies. In: 2005 IEEE SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2005, Kobe. **ISCAS 2005**. 2005. v. 1, p. 5866-5869.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Classificação do evento: Internacional; Japão/Inglês; Meio de divulgação: Impresso.
- 8 MARCON, César Augusto Missio; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm; SUSIN, Altamiro Amadeu; REIS, Igor Maicá; HESSEL, Fabiano Passuelo. Exploring NoC Mapping Strategies: An Energy and Timing Aware Technique. In: DESIGN, AUTOMATION AND TEST IN EUROPE CONFERENCE AND EXHIBITION, 2005, Munique. **DATE 05**. Piscataway: IEEE Computer Society, 2005. v. 1, p. 502-507.
 Palavras-chave: NoC; Partitioning; Mapping.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Classificação do evento: Internacional; Alemanha/Inglês; Meio de divulgação: Impresso; Homepage:

www.date-conference.com; ISSN/ISBN: 0769522882.

Publicado como artigo completo (6 páginas). Conferência Internacional A no Qualis da Computação.

- 9 OST, Luciano Copello; MELLO, Aline Vieira de; PALMA, José Carlos Sant'anna; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar. MAIA - A Framework for Networks on Chip Generation and Verification. In: ASIA SOUTH PACIFIC DESIGN AUTOMATION CONFERENCE, 2005, Beijing. **ASP-DAC 2005**. 2005. v. 1, p. 49-52.
 Palavras-chave: NoC; Network-on-chip; CAD.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Classificação do evento: Internacional; China/Inglês; Meio de divulgação: Impresso; Homepage: <http://www.aspdac2005.com/>.
- 10 PALMA, José Carlos Sant'anna; MARCON, César Augusto Missio; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar; REIS, Ricardo Augusto da Luz; SUSIN, Altamiro Amadeu. Mapping Embedded Systems onto NoCs - The Traffic Effect on Dynamic Energy Estimation. In: 18TH SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN - SBCCI 2005, 2005, Florianópolis. **18th Symposium on Integrated Circuits and Systems Design - SBCCI 2005**. New York: ACM Press, 2005. v. 1, p. 196-201.
 Palavras-chave: Intra-chip networks; Traffic models; Energy estimation.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Classificação do evento: Internacional; Brasil/Inglês; Meio de divulgação: Impresso; ISSN/ISBN: 1595931740.
 Conferência Nacional A no Qualis da Computação.
- 11 MARCON, César Augusto Missio; PALMA, José Carlos Sant'anna; CALAZANS, Ney Laert Vilar; SUSIN, Altamiro Amadeu; REIS, Ricardo Augusto da Luz; MORAES, Fernando Gehm. Modeling the Traffic Effect for the Application Cores Mapping Problem onto NoCs. In: IFIP INTERNATIONAL CONFERENCE ON VERY LARGE SCALE INTEGRATION, 2005, Perth. **IFIP VLSI-SOC 2005**. 2005. v. 1, p. 391-396.
 Palavras-chave: NoCs; Core Mapping; Energy Consumption.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Classificação do evento: Internacional; Austrália/Inglês; Meio de divulgação: Impresso.
 Aceito para publicação. Conferência Internacional A no Qualis da Computação.
- 12 MARCON, César Augusto Missio; KREUTZ, Márcio; SUSIN, Altamiro Amadeu; CALAZANS, Ney Laert Vilar. Models for Embedded Application Mapping onto NoCs: Timing Analysis. In: 16TH IEEE INTERNATIONAL WORKSHOP ON RAPID SYSTEM PROTOTYPING, 2005, Montreal. **RSP 2005**. 2005. v. 1, p. 17-23.
 Palavras-chave: Intra-chip networks; Timing analysis; Application mapping.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Classificação do evento: Internacional; Canadá/Inglês; Meio de divulgação: Impresso; ISSN/ISBN: 0769523617.
- 13 MELLO, Aline Vieira de; MÖLLER, Leandro Heleno; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. MultiNoC: A Multiprocessing System Enabled by a Network on Chip. In: DESIGN, AUTOMATION AND TEST IN EUROPE CONFERENCE AND EXHIBITION - DATE'05, 2005, Munique. **DATE 2005 Designers' Forum Proceedings**. 2005. v. 1, p. 234-239.
 Palavras-chave: Network on chip; Multiprocessing; SoCs.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Classificação do evento: Internacional; Alemanha/Inglês; Meio de divulgação: Impresso; Homepage: www.date-conference.com.
 Publicado no DATE Designers Forum. Trabalho premiado com o Europractice Award for Best Conceptual Design.
- 14 MÖLLER, Leandro Heleno; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar. Processadores Reconfiguráveis: estado da arte. In: XI WORKSHOP IBERCHIP, 2005, Salvador. **XI Iberchip**. 2005. v. 1, p. 110-113.
 Palavras-chave: Computação Reconfigurável; Processadores Reconfiguráveis.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Classificação do evento: Nacional; Brasil/Português; Meio de divulgação: Impresso; ISSN/ISBN: 858842505X.
- 15 TEDESCO, Leonel Pablo; MELLO, Aline Vieira de; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. Traffic Generation and Performance Evaluation for Mesh-based NoCs. In: 18TH SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN - SBCCI 2005, 2005, Florianópolis. **18th Symposium on Integrated Circuits and Systems Design - SBCCI 2005**. New York: ACM Press, 2005. v. 1, p. 184-189.
 Palavras-chave: Intra-chip networks; Traffic generation; Traffic evaluation.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Classificação do evento: Nacional; Brasil/Inglês; Meio de divulgação: Impresso; ISSN/ISBN: 1595931740.
 Conferência Nacional A no Qualis da Computação.

- 16 MELLO, Aline Vieira de; TEDESCO, Leonel Pablo; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. Virtual Channels in Networks on Chip: Implementation and Evaluation on Hermes NoC. In: 18TH SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN - SBCCI 2005, 2005, Florianópolis. **18th Symposium on Integrated Circuits and Systems Design - SBCCI 2005**. New York: ACM Press, 2005. v. 1, p. 178-183.
 Palavras-chave: Intra-chip networks; Virtual channels; Quality of service.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Classificação do evento: Internacional; Brasil/Inglês; Meio de divulgação: Impresso; ISSN/ISBN: 1595931740.
 Conferência Nacional A no Qualis da Computação.
- 17 MARCON, César Augusto Missio; AMORY, Alexandre Moraes; LUBASZEWSKI, Marcelo Soares; SUSIN, Altamiro Amadeu; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. Applying Memory Test to Embedded Systems. In: 5TH IEEE LATIN-AMERICAN TEST WORKSHOP, 2004, Cartagena. **LATW 2004**. 2004. v. 1, p. 43-48.
 Palavras-chave: Memory Test; Embedded Systems.
 Áreas do conhecimento: Hardware.
 Referências adicionais: Classificação do evento: Nacional; Colômbia/Inglês; Meio de divulgação: Impresso.
- 18 CARVALHO, Ewerson Luiz de Souza; MÖLLER, Frederico Bartz; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar. Controle de Configurações em Sistemas Dinâmica e Parcialmente Reconfiguráveis. In: X WORKSHOP IBERCHIP, 2004, Cartagena. **X Workshop Iberchip**. 2004. v. 1, p. 435-445.
 Palavras-chave: Reconfiguração Dinâmica; Reconfiguração Parcial; Controlador de Configurações; FPGAs.
 Áreas do conhecimento: Hardware.
 Referências adicionais: Classificação do evento: Nacional; Colômbia/Português; Meio de divulgação: Impresso.
- 19 MORENO, Edson Ifarraguirre; RODOLFO, Taciano Ares; CALAZANS, Ney Laert Vilar. Modelagem e Descrição de SOCs em Diferentes Níveis de Abstração. In: X WORKSHOP IBERCHIP, 2004, Cartagena. **X Workshop Iberchip**. 2004. v. 1, p. 1-11.
 Palavras-chave: SoCs; Modelagem Sistemática; Níveis de Abstração; Nivel de Transação.
 Áreas do conhecimento: Hardware.
 Referências adicionais: Classificação do evento: Nacional; Colômbia/Português; Meio de divulgação: Impresso.
- 20 MELLO, Aline Vieira de; MORAES, Fernando Gehm; PALMA, José Carlos Sant'anna; OST, Luciano Copello; CALAZANS, Ney Laert Vilar. NOCGEN - Uma Ferramenta para Geração de Redes Intra-Chip Baseada na Infra-Estrutura HERMES. In: X WORKSHOP IBERCHIP, 2004, Cartagena. **X Workshop Iberchip**. 2004. v. 1, p. 210-216.
 Palavras-chave: Network on chip; Redes intra-chip; Geração Automática de Hardware.
 Áreas do conhecimento: Hardware.
 Referências adicionais: Classificação do evento: Nacional; Colômbia/Português; Meio de divulgação: Impresso.
- 21 CARVALHO, Ewerson Luiz de Souza; CALAZANS, Ney Laert Vilar; BRIÃO, Eduardo Wenzel; MORAES, Fernando Gehm. PaDReH - A Framework for the Design and Implementation of Dynamically and Partially Reconfigurable Systems. In: 17TH SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN - SBCCI 2004, 2004, Ipojuca. **17th Symposium on Integrated Circuits and Systems Design - SBCCI 2004**. New York: ACM Press, 2004. v. 1, p. 10-15.
 Palavras-chave: Reconfigurable Computing; FPGAs; Dynamic Reconfiguration; Partial Reconfiguration.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Classificação do evento: Internacional; Brasil/Inglês; Meio de divulgação: Impresso; Homepage: <http://www.cin.ufpe.br/~chiponthereefs/>; ISSN/ISBN: 1581139470.
- 22 BRIÃO, Eduardo Wenzel; CAMOZZATO, Daniel; RIES, Luís Henrique Leal; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar. Reconfiguração Parcial e Dinâmica para Núcleos de Propriedade Intelectual com Interfaces de Comunicação Padronizadas. In: X WORKSHOP IBERCHIP, 2004, Cartagena. **X Workshop Iberchip**. 2004. v. 1, p. 30-40.
 Palavras-chave: Reconfiguração Dinâmica; Reconfiguração Parcial; Sistemas Reconfiguráveis.
 Áreas do conhecimento: Hardware.
 Referências adicionais: Classificação do evento: Nacional; Colômbia/Português; Meio de divulgação: Impresso.
- 23 CARVALHO, Ewerson Luiz de Souza; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm; MESQUITA, Daniel. Reconfiguration Control for Dynamically Reconfigurable Systems. In: XIX CONFERENCE ON DESIGN OF CIRCUITS AND INTEGRATED SYSTEMS, 2004, Bordeaux. **DCIS 2004**. 2004. v. 1, p. 405-410.
 Palavras-chave: Reconfigurable Systems; FPGA.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Classificação do evento: Internacional; França/Inglês; Meio de divulgação: Vários; Homepage: <http://www.dcis.org/>; ISSN/ISBN: 295229710X.

- 24 MORAES, Fernando Gehm; MELLO, Aline Vieira de; MÖLLER, Leandro; OST, Luciano Copello; CALAZANS, Ney Laert Vilar. A Low Area Overhead Packet-switched Network on Chip: Architecture and Prototyping. In: IFIP INTERNATIONAL CONFERENCE ON VERY LARGE SCALE INTEGRATION, 2003, Darmstadt. **IFIP VLSI-SOC 2003**. 2003. v. 1, p. 318-323.
 Palavras-chave: Networks on Chip; NoC; Fast Prototyping; Embedded Processors.
 Áreas do conhecimento: Hardware; Arquitetura de Sistemas de Computação.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Classificação do evento: Internacional; Alemanha/Inglês; Meio de divulgação: Impresso; ISSN/ISBN: 3901882170.
- 25 CALAZANS, Ney Laert Vilar; MORENO, Edson Ifarraguirre; HESSEL, Fabiano Passuelo; ROSA, Vitor Moscon da; MORAES, Fernando Gehm; CARARA, Everton. From VHDL Register Transfer Level to SystemC Transaction Level Modeling: a comparative case study. In: 16TH SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN - SBCCI 2003, 2003, São Paulo. **16th Symposium on Integrated Circuits and Systems Design - SBCCI 2003**. Los Alamitos: IEEE Computer Society Press, 2003. v. 1, p. 355-360.
 Palavras-chave: System Level Design; Embedded Processors; FPGA; SystemC.
 Áreas do conhecimento: Hardware; Arquitetura de Sistemas de Computação.
 Setores de aplicação: Fabricação de equipamentos de informática e máquinas para escritório.
 Referências adicionais: Classificação do evento: Internacional; Brasil/Inglês; Meio de divulgação: Impresso; ISSN/ISBN: 076952009X.
- 26 MESQUITA, Daniel; MORAES, Fernando Gehm; PALMA, José Carlos Sant'anna; MÖLLER, Leandro Heleno; CALAZANS, Ney Laert Vilar. Remote and Partial Reconfiguration of FPGAs: Tools and Trends. In: 10TH RECONFIGURABLE ARCHITECTURES WORKSHOP, 2003, Nice. **RAW'03**. 2003. v. 1, p. 1-8.
 Palavras-chave: Reconfiguração Dinâmica; FPGA; Core; Prototipação Rápida.
 Áreas do conhecimento: Hardware; Arquitetura de Sistemas de Computação; Microeletrônica.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: França/Inglês; Meio de divulgação: Impresso.
- 27 AMORY, Alexandre Morais; MORAES, Fernando Gehm; OLIVEIRA, Leandro Augusto de; CALAZANS, Ney Laert Vilar; HESSEL, Fabiano Passuelo. A Heterogeneous and Distributed Co-Simulation Environment. In: 15TH SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN - SBCCI 2002, 2002, Porto Alegre. **15th Symposium on Integrated Circuits and Systems Design - SBCCI 2002**. Los Alamitos: IEEE Computer Society Press, 2002. v. 1, p. 115-120.
 Palavras-chave: Co-simulation; FPGA; ECAD; FLI.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Desenvolvimento de programas (software).
 Referências adicionais: Classificação do evento: Internacional; Brasil/Inglês; Meio de divulgação: Impresso; Homepage: <http://www.sbc.org.br/sbcc/sbcc2002/>; ISSN/ISBN: 0769518095.
- 28 BEZERRA, Eduardo Augusto; POUCHET, Marianne; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm; GOUGH, Michael. An Adaptable Educational Platform for Engineering and IT Laboratory Based Courses. In: 2002 FRONTIERS IN EDUCATION CONFERENCE, 2002, Boston. **2002 Frontiers in Education Conference**. 2002. v. 1, p. T1D22-T1D27.
 Palavras-chave: Information Technology Laboratories; Digital Systems; Digital Circuits Teaching.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos.
 Setores de aplicação: Educação superior.
 Referências adicionais: Classificação do evento: Internacional; Estados Unidos/Inglês; Meio de divulgação: Impresso.
- 29 PALMA, José Carlos Sant'anna; MELLO, Aline Vieira de; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar. Core Communication Interface for FPGAs. In: 15TH SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN - SBCCI 2002, 2002, Porto Alegre. **15th Symposium on Integrated Circuits and Systems Design - SBCCI 2002**. Los Alamitos: IEEE Computer Society Press, 2002. v. 1, p. 183-188.
 Palavras-chave: IP core; Soft Cores; FPGA; Communication Interface.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Classificação do evento: Internacional; Brasil/Inglês; Meio de divulgação: Impresso; Homepage: <http://www.sbc.org.br/sbcc/sbcc2002/>; ISSN/ISBN: 0769518095.
- 30 MORAES, Fernando Gehm; ZORZO, Avelino Francisco; CALAZANS, Ney Laert Vilar. Deriving Different Computer Science Curricula from a Common Core of Disciplines. In: INFORMATICS CURRICULA, TEACHING METHODS AND BEST PRACTICE - ICTEM'2002, 2002, Florianópolis. **Informatics Curricula, Teaching Methods and best practice - ICTEM'2002**. 2002. v. 1, p. 43-49.
 Palavras-chave: Computer Science; Curricula; Computer Engineering; Information Systems.
 Áreas do conhecimento: Hardware.
 Setores de aplicação: Educação superior.
 Referências adicionais: Classificação do evento: Internacional; Brasil/Inglês; Meio de divulgação: Impresso; Homepage: <http://www.inf.ufsc.br/ictem2002/>.

- 31 AMORY, Alexandre Morais; MORAES, Fernando Gehm; OLIVEIRA, Leandro Augusto de; HESSEL, Fabiano Passuelo; CALAZANS, Ney Laert Vilar. Desenvolvimento de um Ambiente de Co-simulação Distribuído e Heterogêneo. In: VIII WORKSHOP IBERCHIP, 2002, Guadalajara. **VIII Workshop Iberchip**. 2002. v. 1.
 Palavras-chave: Co-simulação; Projeto Integrado de Software e Hardware.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos.
 Referências adicionais: Classificação do evento: Internacional; México/Português; Meio de divulgação: Digital.
- 32 PALMA, José Carlos Sant'anna; MELLO, Aline Vieira de; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. Interface de Comunicação de Cores em FPGA. In: VIII WORKSHOP IBERCHIP, 2002, Guadalajara. **VIII Workshop Iberchip**. 2002. v. 1, p. 183-188.
 Palavras-chave: Core; Arquitetura de Sistemas Digitais.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos.
 Referências adicionais: Classificação do evento: Internacional; México/Português; Meio de divulgação: Digital; ISSN/ISBN: 0769518095.
- 33 MARCON, César Augusto Missio; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm; RIES, Luís Henrique Leal; HESSEL, Fabiano Passuelo. Modelagem e Descrição de Sistemas Computacionais - um estudo de caso de comparação das linguagens VHDL e SDL. In: VIII WORKSHOP IBERCHIP, 2002, Guadalajara. **VIII Workshop Iberchip**. 2002. v. 1.
 Palavras-chave: Projeto Integrado de Software e Hardware; Linguagens de Descrição de Hardware; VHDL; SDL.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos.
 Referências adicionais: Classificação do evento: Internacional; México/Português; Meio de divulgação: Digital.
- 34 MARCON, César Augusto Missio; HESSEL, Fabiano Passuelo; AMORY, Alexandre Morais; RIES, Luís Henrique Leal; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar. Prototyping of Embedded Digital Systems from SDL Language: a Case Study. In: SEVENTH ANNUAL IEEE INTERNATIONAL WORKSHOP ON HIGH LEVEL DESIGN VALIDATION AND TEST, 2002, Cannes. **Seventh Annual IEEE International Workshop on High Level Design Validation and Test**. 2002. v. 1, p. 133-138.
 Palavras-chave: Codesign; SDL; VHDL; Prototipação de sistemas digitais; Prototipação Rápida de sistemas digitais.
 Áreas do conhecimento: Sistemas de Telecomunicações.
 Referências adicionais: Classificação do evento: Internacional; França/Inglês; Meio de divulgação: Vários; ISSN/ISBN: 0780376552.
- 35 MARCON, César Augusto Missio; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. Requirements, Primitives and Models for Systems Specification. In: 15TH SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN - SBCCI 2002, 2002, Porto Alegre. **15th Symposium on Integrated Circuits and Systems Design - SBCCI 2002**. Los Alamitos: IEEE Computer Society Press, 2002. v. 1, p. 323-328.
 Palavras-chave: Computational Models; SOC; Codesign; Embedded Systems.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Fabricação de aparelhos e equipamentos de telecomunicação.
 Referências adicionais: Classificação do evento: Internacional; Brasil/Inglês; Meio de divulgação: Impresso; Homepage: <http://www.sbc.org.br/sbcc/sbcc2002/>; ISSN/ISBN: 0769518095.
- 36 CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm; MARCON, César Augusto Missio. Teaching Computer Organization and Architecture with Hands-on Experience. In: 2002 FRONTIERS IN EDUCATION CONFERENCE, 2002, Boston. **2002 Frontiers in Education Conference**. 2002. v. 1, p. T2F15-T2F20.
 Palavras-chave: Computer Architecture; Ensino de Computação; Hardware Teaching.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos.
 Setores de aplicação: Educação superior.
 Referências adicionais: Classificação do evento: Internacional; Estados Unidos/Inglês; Meio de divulgação: Digital.
- 37 MORAES, Fernando Gehm; MELLO, Aline Vieira de; CALAZANS, Ney Laert Vilar. Ambiente de Desenvolvimento de Processador Embarcado para Aplicações de Codesign. In: SEMINÁRIO DE COMPUTAÇÃO RECONFIGURÁVEL - SCR'2001, 2001, Belo Horizonte. **Seminário de Computação Reconfigurável - SCR'2001**. 2001. v. 1.
 Palavras-chave: Arquitetura de Computadores; Sistemas Reconfiguráveis; Organização de Computadores.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Meio de divulgação: Impresso.
- 38 CAPPELATTI, Ewerton Artur; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar; OLIVEIRA, Leandro Augusto de. Barramento de Alto Desempenho para Interação Software/Hardware. In: VII WORKSHOP IBERCHIP IWS'2001, 2001, Montevideu. **VII WORKSHOP IBERCHIP IWS'2001**. 2001. v. 1.
 Palavras-chave: Barramento PCI; FPGA; IP core.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Internacional; Uruguai/Português; Meio de divulgação: Digital; Homepage: <http://www.cnm.es/iberchip/>.
 10 pp.

- 39 CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm; MARCON, César Augusto Missio; BLAUTH, Vitor Hugo; VALIATI, Ronaldo; MANFROI, Édison. Effective Industry-Academia Cooperation in Telecom: a Method, a Case Study and Some Initial Results. In: XIX SIMPÓSIO BRASILEIRO DE TELECOMUNICAÇÕES, 2001, Fortaleza. **XIX Simpósio Brasileiro de Telecomunicações**. 2001. v. 1.
- Palavras-chave: Cooperação Indústria-Academia; IP core; Sistemas Digitais; Telecomunicações.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos; Teleinformática.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Nacional; Brasil/Inglês; Meio de divulgação: Magnético.
- 40 PALMA, José Carlos Sant'anna; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar. Métodos para Desenvolvimento e Distribuição de IP Cores. In: SEMINÁRIO DE COMPUTAÇÃO RECONFIGURÁVEL - SCR'2001, 2001, Belo Horizonte. **Seminário de Computação Reconfigurável - SCR'2001**. 2001. v. 1.
- Palavras-chave: IP core; Reconfigurable Hardware; FPGA.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Nacional; Brasil/Português; Meio de divulgação: Impresso.
- 41 TOROK, Delfim Luiz; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm; ANDREOLI, Andrey Vedana. Projeto, Implementação e Validação de um IP Soft Core Ethernet sobre Dispositivos Reconfiguráveis. In: VII WORKSHOP IBERCHIP IWS'2001, 2001, Montevidéu. **VII WORKSHOP IBERCHIP IWS'2001**. 2001.
- Palavras-chave: Algoritmos de classificação; Field Programmable Gate Arrays; FPGA; Controladores de Rede; Prototipação Rápida de sistemas digitais.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Internacional; Uruguai/Português; Meio de divulgação: Digital; Homepage: <http://www.cnm.es/iberchip/>.
 10 pp.
- 42 BEZERRA, Eduardo Augusto; POUCHET, Marianne; STIPIDIS, Elias; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar; EINSFELDT, Augusto. RECKON - A reconfigurable prototyping kit for engineering and IT laboratory based courses. In: SEMINÁRIO DE COMPUTAÇÃO RECONFIGURÁVEL - SCR'2001, 2001, Belo Horizonte. **Seminário de Computação Reconfigurável - SCR'2001**. 2001.
- Palavras-chave: Fast Prototyping; FPGA; Laboratory Courses; Reconfigurable Hardware.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Nacional; Brasil/Inglês; Meio de divulgação: Impresso.
- 43 MESQUITA, Daniel; MORAES, Fernando Gehm; PALMA, José Carlos Sant'anna; MÖLLER, Leandro; CALAZANS, Ney Laert Vilar. Reconfiguração Parcial e Remota de Cores FPGAs. In: VII WORKSHOP IBERCHIP IWS'2001, 2001, Montevidéu. **VII WORKSHOP IBERCHIP IWS'2001**. 2001. v. 1.
- Palavras-chave: Propriedade Intelectual; Core; FPGA.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Internacional; Uruguai/Português; Meio de divulgação: Digital; Homepage: <http://www.cnm.es/iberchip/>.
 10 pp.
- 44 MESQUITA, Daniel; MORAES, Fernando Gehm; MÖLLER, Leandro; CALAZANS, Ney Laert Vilar. Reconfiguração Parcial e Remota de Dispositivos Fpga da Família Virtex. In: SEMINÁRIO DE COMPUTAÇÃO RECONFIGURÁVEL - SCR'2001, 2001, Belo Horizonte. **Seminário de Computação Reconfigurável - SCR'2001**. 2001. v. 1.
- Palavras-chave: Sistemas Reconfiguráveis; FPGA; Reconfiguração Parcial.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Nacional; Brasil/Português; Meio de divulgação: Impresso.
- 45 MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar; MARCON, César Augusto Missio; MELLO, Aline Vieira de. Um Ambiente de Compilação e Simulação para Processadores Embarcados Parametrizáveis. In: VII WORKSHOP IBERCHIP IWS'2001, 2001, Montevidéu. **VII WORKSHOP IBERCHIP IWS'2001**. 2001. v. 1.
- Palavras-chave: Sistemas Reconfiguráveis; FPGA; Processadores Embarcados.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Internacional; Uruguai/Português; Meio de divulgação: Digital; Homepage: VIIWORKSHOPIBERCHIPWS'2001.
 10 pp.
- 46 MORAES, Fernando Gehm; AMORY, Alexandre Morais; CALAZANS, Ney Laert Vilar; BEZERRA, Eduardo Augusto; PETRINI JÚNIOR, Juracy. Using the CAN Protocol and Reconfigurable Computing Technology For Web-Based Smart House Automation. In: 14TH SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN - SBCCI, 2001, Pirenópolis. **14th Symposium on Integrated Circuits and Systems Design - SBCCI**. 2001. v. 1, p. 38-43.

Palavras-chave: Domótica; Field Programmable Gate Arrays; Internet; Hardware Software Codesign.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos; Teleinformática.
 Setores de aplicação: Informática; Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Nacional; Brasil/Inglês; Meio de divulgação: Impresso.

- 47 MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar; SILVA, Felipe Rocha; BARRIOS, Maurício. Cleo-LIRMM: um experimento de implementação de processadores dedicados em plataformas de prototipação de sistemas embarcados. In: V WORKSHOP IBERCHIP, Lima. **V Workshop IBERCHIP**. 1999. p. 81-90.
 Palavras-chave: Processadores Dedicados; Plataforma de Prototipação; Prototipação Rápida; Sistemas Digitais; FPGA.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Internacional; Peru/Português; Meio de divulgação: Impresso; Homepage: <ftp://ftp.inf.pucrs.br/pub/calazans/pubs/ibchip992.ps.gz>.
- 48 MARQUES, Paulo César; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar. PMAZE: Modelagem e roteamento para FPGAs. In: V WORKSHOP IBERCHIP, Lima. **V Workshop IBERCHIP**. 1999. p. 70-80.
 Palavras-chave: Field Programmable Gate Arrays; Roteamento em circuitos digitais; Ferramentas de Projeto.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Internacional; Peru/Português; Meio de divulgação: Impresso; Homepage: <ftp://ftp.inf.pucrs.br/pub/calazans/pubs/ibchip991.ps.gz>.
- 49 CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. VLSI Hardware Design by Computer Science Students: How early can they start? How far can they go?. In: 1999 FRONTIERS IN EDUCATION CONFERENCE, San Juan. **1999 Frontiers in Education Conference**. IEEE Computer Society Press, 1999. p. 13612-13617.
 Palavras-chave: VLSI Design; Computer Organization; Computer Architecture.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Informática; Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Internacional; Porto Rico/Inglês; Meio de divulgação: Impresso; Homepage: <ftp://ftp.inf.pucrs.br/pub/calazans/pubs/fie99.ps.gz>; ISSN/ISBN: 0780356438.
- 50 CALAZANS, Ney Laert Vilar; MADEIRA, André Duque. ASSTUCE - An exploratory environment for finite state machines. In: XXIII CONFERENCIA LATINOAMERICANA DE INFORMÁTICA - CLEI, Valparaiso. 1997. v. 1, p. 117-126.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Internacional; Chile/Inglês; Meio de divulgação: Impresso; Homepage: <ftp://ftp.inf.pucrs.br/pub/calazans/pubs/CLEI97.ps.gz>.
- 51 VARGAS, Fabian; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar; BEZERRA, Eduardo Augusto. HardSoft: plataforma reconfigurável para caracterização sob radiação de componentes eletrônicos empregados em satélites. In: VII SIMPÓSIO DE COMPUTADORES TOLERANTES A FALHAS - SCTF, Campina Grande. Sociedade Brasileira de Computação, 1997. p. 139-152.
 Palavras-chave: Satélites; Caracterização sob radiação; Sistemas Digitais; Plataforma de Prototipação.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Nacional; Brasil/Português; Meio de divulgação: Impresso.
- 52 CARNEIRO, Mára Lúcia Fernandes; CALAZANS, Ney Laert Vilar. Projeto automatizado de colunas de destilação baseado em otimização probabilística. In: XI CONGRESSO BRASILEIRO DE ENGENHARIA QUÍMICA - COBEQ, Rio de Janeiro, RJ. 1996.
 Palavras-chave: Colunas de Destilação; Otimização Probabilística; Projeto Automatizado.
 Áreas do conhecimento: Operações de Separação e Mistura; Microeletrônica; Análise de Algoritmos e Complexidade de Computação.
 Setores de aplicação: Fabricação de produtos químicos; Informática.
 Referências adicionais: Classificação do evento: Nacional; Brasil/Português; Meio de divulgação: Impresso.
- 53 VARGAS, Fabian; VELAZCO, Raoul; AMARAL, José Nelson; CALAZANS, Ney Laert Vilar; RODRIGUES, Alderico. Radiation effects on electronics: the need for ground tests. In: IX SIMPÓSIO BRASILEIRO DE CONCEPÇÃO DE CIRCUITOS INTEGRADOS - SBCCI, Recife. Sociedade Brasileira de Computação, 1996. p. 105-116.
 Palavras-chave: Radiation Effects; Digital Systems Testing; Space Applications.
 Áreas do conhecimento: Microeletrônica; Hardware.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Nacional; Brasil/Inglês; Meio de divulgação: Impresso.
- 54 CALAZANS, Ney Laert Vilar. Considering state minimization during state assignment. In: I IBERO AMERICAN MICROELECTRONICS CONFERENCE - X CONGRESS OF THE BRAZILIAN MICROELECTRONICS SOCIETY, Canela, RS. Sociedade Brasileira de Microeletrônica, 1995. p. 49-58.
 Palavras-chave: State Minimization; State Assignment; Boolean Constrained Encoding.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Internacional; Brasil/Inglês; Meio de divulgação: Impresso; Homepage:

<ftp://ftp.inf.pucrs.br/pub/calazans/pubs/SBMICRO95.ps.gz>.

- 55 CALAZANS, Ney Laert Vilar. Métodos e ferramentas para o projeto de sistemas digitais. In: III ESCOLA REGIONAL DE INFORMÁTICA - ERI, Caxias do Sul, RS. 1995. p. 34-53.
 Palavras-chave: Modelos de Projeto; Sistemas Digitais; Ferramentas de Projeto.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Regional; Brasil/Português; Meio de divulgação: Impresso; Homepage: <ftp://ftp.inf.pucrs.br/pub/calazans/pubs/ERI95.ps.gz>.
 Texto de Minicurso Convidado. Duração de 2 horas.
- 56 CALAZANS, Ney Laert Vilar. Boolean constrained encoding: a new formulation and a case study. In: INTERNATIONAL CONFERENCE ON COMPUTER-AIDED DESIGN - ICCAD'94, San Jose, CA. 1994. p. 702-706.
 Palavras-chave: Boolean Encoding; Constrained Encoding; State Assignment; State Minimization.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Internacional; Estados Unidos/Inglês; Meio de divulgação: Impresso; Homepage: <ftp://ftp.inf.pucrs.br/pub/calazans/pubs/ICCAD94.ps.gz>.
- 57 CALAZANS, Ney Laert Vilar; ZHANG, Qin Hai; JACOBI, Ricardo Pezzuol; YERNAUX, Bruno; TRULLEMANS, Anne Marie. Advanced ordering and manipulation techniques for binary decision diagrams. In: EUROPEAN CONFERENCE ON DESIGN AUTOMATION - EDAC'92, Bruxelas. 1992. p. 452-457.
 Palavras-chave: Binary Decision Diagrams; Logic Synthesis; Combinational circuits.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Internacional; Bélgica/Inglês; Meio de divulgação: Impresso; Homepage: <ftp://ftp.inf.pucrs.br/pub/calazans/pubs/EDAC92.ps.gz>.
- 58 CALAZANS, Ney Laert Vilar. State minimization and state assignment of finite state machines. their relationship and their impact on the implementation. In: INTERNATIONAL WORKSHOP ON APPLICATION-ORIENTED SYNTHESIS, Dresden. 1992.
 Palavras-chave: State Minimization; State Assignment; Boolean Constrained Encoding.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Internacional; Alemanha/Inglês; Meio de divulgação: Impresso; Homepage: <ftp://ftp.inf.pucrs.br/pub/calazans/pubs/IFIP92.ps.gz>.
- 59 CALAZANS, Ney Laert Vilar; JACOBI, Ricardo Pezzuol; ZHANG, Qin Hai; TRULLEMANS, Charles. Improving BDDs manipulation through incremental reduction and enhanced heuristics. In: CUSTOM INTEGRATED CIRCUITS CONFERENCE - CICC'91, San Diego. 1991. p. 1131-1135.
 Palavras-chave: Binary Decision Diagrams; Logic Synthesis; Combinational circuits.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Internacional; Estados Unidos/Inglês; Meio de divulgação: Impresso; Homepage: <ftp://ftp.inf.pucrs.br/pub/calazans/pubs/CICC91.ps.gz>.
- 60 JACOBI, Ricardo Pezzuol; CALAZANS, Ney Laert Vilar; TRULLEMANS, Charles. Incremental reduction of binary decision diagrams. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS - ISCAS'91, 1991, Cingapura. 1991. p. 3174-3177.
 Palavras-chave: Binary Decision Diagrams; Incremental Reduction; Logic Synthesis.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Internacional; Cingapura/Inglês; Meio de divulgação: Impresso; Homepage: <ftp://ftp.inf.pucrs.br/pub/calazans/pubs/ISCAS91.ps.gz>.
- 61 CALAZANS, Ney Laert Vilar; WEBER, Taisy Silva. Minimização lógica para circuitos combinacionais. In: IV SIMPÓSIO BRASILEIRO DE CONCEPÇÃO DE CIRCUITOS INTEGRADOS - SBCCI, Rio de Janeiro. 1989. p. 52-61.
 Palavras-chave: Síntese lógica; Minimização lógica; Otimização combinacional.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Nacional; Brasil/Português; Meio de divulgação: Impresso.
- 62 CALAZANS, Ney Laert Vilar; REY, Leandro Fortes; WAGNER, Flávio Rech. A logic simulator for an integrated environment of digital hardware design. In: III CONGRESSO DA SOCIEDADE BRASILEIRA DE MICROELETRÔNICA - SBMICRO, São Paulo. 1988. p. 385-395.
 Palavras-chave: Logic simulation; Digital Systems; CAD.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Classificação do evento: Nacional; Brasil/Inglês; Meio de divulgação: Impresso.
- 63 CALAZANS, Ney Laert Vilar. Especificação do EDGAR - um editor de máscaras para circuitos integrados do tipo gate array. In: XIV SEMINÁRIO INTEGRADO DE SOFTWARE E HARDWARE - SEMISH, Salvador. 1987. p. 117-130.
 Palavras-chave: Gate Arrays; Circuitos Pré-Difundidos; Sistemas Digitais.

Áreas do conhecimento: Hardware; Microeletrônica.
Setores de aplicação: Indústria Eletro-Eletrônica.
Referências adicionais: Classificação do evento: Nacional; Brasil/Português; Meio de divulgação: Impresso.

- 64 CALAZANS, Ney Laert Vilar; BARONE, Dante Augusto Couto. Proposta de uma nova célula de base para circuitos pré-difundidos na metodologia CIPREDI. In: II CONGRESSO DA SOCIEDADE BRASILEIRA DE MICROELETRÔNICA - SBMICRO, São Paulo. 1987. p. 212-222.
Palavras-chave: Gate Arrays; Circuitos Pré-Difundidos; Sistemas Digitais; Projeto Auxiliado por Computador.
Áreas do conhecimento: Hardware; Microeletrônica.
Setores de aplicação: Indústria Eletro-Eletrônica.
Referências adicionais: Classificação do evento: Nacional; Brasil/Português; Meio de divulgação: Impresso.
- 65 CALAZANS, Ney Laert Vilar; BIER, Paulo Juvenal. Análise microfotográfica da arquitetura interna do controlador de ADM AMD9517. In: XI SEMINÁRIO INTEGRADO DE SOFTWARE E HARDWARE - SEMISH, Viçosa. 1984. p. 149-160.
Palavras-chave: Microeletrônica; Engenharia Reversa; Sistemas Digitais.
Áreas do conhecimento: Hardware; Microeletrônica.
Setores de aplicação: Indústria Eletro-Eletrônica.
Referências adicionais: Classificação do evento: Nacional; Brasil/Português; Meio de divulgação: Impresso.

9.1.2 Resumos simples em anais de eventos

- 1 CARARA, Everton Alceu; MELLO, Aline Vieira de; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. Canais Virtuais em Redes Intra-chip - Implementação na Rede Hermes. In: XI WORKSHOP IBERCHIP, 2005, Salvador. **XI Iberchip**. 2005. v. 1, p. 320-321.
Áreas do conhecimento: Sistemas de Computação; Hardware.
Referências adicionais: Classificação do evento: Nacional; Brasil/Português; Meio de divulgação: Impresso; ISSN/ISBN: 858842505X.
- 2 MÖLLER, Leandro Heleno; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm; BRIÃO, Eduardo Wenzel; CARVALHO, Ewerson Luiz de Souza; CAMOZZATO, Daniel. FiPRE: An Implementation Model to Enable Self-Reconfigurable Applications. In: FPL - THE INTERNATIONAL CONFERENCE ON FIELD PROGRAMMABLE LOGIC AND APPLICATIONS, 2004, Antuérpia. **FPL'04**. Berlin: Springer-Verlag, 2004. v. 1, p. 1042-1046.
Palavras-chave: Configurable Computing; FPGAs; Reconfigurable Processors; Reconfigurable Coprocessors.
Áreas do conhecimento: Sistemas de Computação; Hardware.
Setores de aplicação: Fabricação de material eletrônico básico.
Referências adicionais: Classificação do evento: Internacional; Bélgica/Português; Meio de divulgação: Impresso; Homepage: <http://www.imec.be/fpl/>; ISSN/ISBN: 3540229892.
Publicado como short paper (5 páginas), com apresentação de 15 minutos no evento.
- 3 MORAES, Fernando Gehm; MESQUITA, Daniel; PALMA, José Carlos Sant'anna; MÖLLER, Leandro; CALAZANS, Ney Laert Vilar. Development of a Tool-Set for Remote and Partial Reconfiguration of FPGAs. In: DESIGN, AUTOMATION AND TEST IN EUROPE CONFERENCE AND EXHIBITION - DATE '03, 2003, München. **DATE '03**. 2003. v. 1, p. 1122-1123.
Palavras-chave: FPGAs; Partial Reconfiguration; Remote reconfiguration; Reconfigurable Systems.
Áreas do conhecimento: Hardware; Arquitetura de Sistemas de Computação.
Setores de aplicação: Fabricação de material eletrônico básico.
Referências adicionais: Classificação do evento: Internacional; Alemanha/Inglês; Meio de divulgação: Vários.

9.1.3 Resumos expandidos em anais de eventos

- 1 MORENO, Edson Ifarraguirre; CARARA, Everton Alceu; HESSEL, Fabiano Passuelo; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar; ROSA, Vitor Moscon da. A Comparison of Different Levels of Abstraction using VHDL and SystemC. In: SIM, São Miguel das Missões. **19th South Symposium on Microelectronics**. 2004. v. 1, p. 86-90.
Áreas do conhecimento: Sistemas de Computação; Hardware.
Referências adicionais: Classificação do evento: Regional; Brasil/Inglês; Meio de divulgação: Impresso; ISSN/ISBN: 8588442779.
- 2 CAMOZZATO, Daniel; BRIÃO, Eduardo Wenzel; CARVALHO, Ewerson Luiz de Souza; MORAES, Fernando Gehm; MÖLLER, Leandro Heleno; CALAZANS, Ney Laert Vilar. A generic Model of Embedded System to Enable Dynamic Self-Reconfigurable Applications. In: SIM, 2004, São Miguel das Missões. **19th South Symposium on Microelectronics**. 2004. v. 1, p. 98-104.
Áreas do conhecimento: Sistemas de Computação; Hardware.
Referências adicionais: Classificação do evento: Regional; Brasil/Inglês; Meio de divulgação: Impresso; ISSN/ISBN: 8588442779.
- 3 BRIÃO, Eduardo Wenzel; CARVALHO, Ewerson Luiz de Souza; MORAES, Fernando Gehm; MÖLLER, Frederico Bartz; MÖLLER, Leandro Heleno; CALAZANS, Ney Laert Vilar. Controlling Configurations on Dynamic Reconfigurable Systems. In: SIM, 2004, São Miguel das Missões. **19th South Symposium on Microelectronics**. 2004. v. 1, p. 114-119.
Áreas do conhecimento: Sistemas de Computação; Hardware.
Referências adicionais: Classificação do evento: Regional; Brasil/Inglês; Meio de divulgação: Impresso; ISSN/ISBN:

8588442779.

- 4 MELLO, Aline Vieira de; MORAES, Fernando Gehm; OST, Luciano Copello; CALAZANS, Ney Laert Vilar. Routing Algorithms on Mesh Based NoCs. In: SIM, 2004, São Miguel das Missões. **19th South Symposium on Microelectronics**. 2004. v. 1, p. 134-138.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Classificação do evento: Regional; Brasil/Inglês; Meio de divulgação: Impresso; ISSN/ISBN: 8588442779.

9.1.4 Artigos completos publicados em periódicos

- 1 MARCON, César Augusto Missio; PALMA, José Carlos Sant'anna; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. Design and Prototyping of an SDH-E1 Mapper Soft-core. **Revista da Sociedade Brasileira de Telecomunicações**, Campinas, v. 20, n. 2, p. 74-82, 2005.
 Palavras-chave: SDH; FPGA; Prototipação; Mapper.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Setores de aplicação: Fabricação de aparelhos e equipamentos de telecomunicação.
 Referências adicionais: Brasil/Inglês; Meio de divulgação: Impresso; ISSN/ISBN: 0102986X.
 Aceito para publicação, em fase de publicação. Periódico classificado no Qualis como Nacional A na área de Engenharias IV e como Nacional C na área de Ciência da Computação.
- 2 CAPPELATTI, Ewerton Artur; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar; OLIVEIRA, Leandro Augusto de. Barramento de alto desempenho para interação software/hardware. **Revista Tecnologia e Tendências**, Novo Hamburgo - RS, v. 3, n. 1, p. 7-18, 2004.
 Palavras-chave: Cores; PCI; FPGAs; Fast Prototyping.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Brasil/Português; Meio de divulgação: Impresso; ISSN/ISBN: 1679169X.
- 3 PALMA, José Carlos Sant'anna; MELLO, Aline Vieira de; MÖLLER, Leandro Heleno; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar. Core Communication Interface for FPGAs. **Journal of Integrated Circuits and Systems**, Porto Alegre, v. 1, n. 1, p. 44-51, 2004.
 Palavras-chave: IP core; FPGA; Communication Interface.
 Áreas do conhecimento: Sistemas de Computação.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Inglês; Meio de divulgação: Impresso; Homepage: <http://www.sbmicro.org.br/jics>; ISSN/ISBN: 18071953.
 Artigo estendido a partir de versão selecionada entre os "outstanding papers" do 15th Symposium on Integrated Circuits and Systems (SBCCI).
- 4 MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar; MELLO, Aline Vieira de; MÖLLER, Leandro Heleno; OST, Luciano Copello. HERMES: an Infrastructure for Low Area Overhead Packet-switching Networks on Chip. **Integration The VLSI Journal**, Amsterdam, v. 38, n. 1, p. 69-93, 2004.
 Palavras-chave: Network on chip; FPGA; Prototyping; OSI-RM; NoC.
 Áreas do conhecimento: Hardware.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Holanda/Inglês; Meio de divulgação: Impresso; Homepage: <http://www.sciencedirect.com/>; ISSN/ISBN: 01679260.
- 5 MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar; MARCON, César Augusto Missio; MESQUITA, Daniel; PALMA, José Carlos Sant'anna; BLAETH, Vitor Hugo. Design and Prototyping of an E1 Drop_Insert Soft Core. **IEE Proceedings Communications**, Londres, v. 150, n. 4, p. 239-243, 2003.
 Palavras-chave: E1; FPGA; IP core; Core reuse; VHDL.
 Áreas do conhecimento: Hardware; Arquitetura de Sistemas de Computação; Sistemas de Telecomunicações.
 Setores de aplicação: Fabricação de aparelhos e equipamentos de telecomunicação.
 Referências adicionais: Inglaterra/Inglês; Meio de divulgação: Impresso; Homepage: <http://www.iee.org/Publish/Journals/Profjourn/Proc/com/>; ISSN/ISBN: 13502425.
 Periódico indexado pela CAPES como Internacional nível B.
- 6 CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. Integrating the Teaching of Computer Organization and Architecture with Digital Hardware Design Early in Undergraduate Courses. **IEEE Transactions on Education**, Piscataway, v. 44, n. 2, p. 109-119, 2001.
 Palavras-chave: Digital Systems; Education; Computer Architecture; Computer Organization; Digital Circuits Teaching.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos; Microeletrônica.
 Setores de aplicação: Educação; Indústria Eletro-Eletrônica.
 Referências adicionais: Estados Unidos/Inglês; Meio de divulgação: Impresso; ISSN/ISBN: 00189359.
 Periódico indexado pela CAPES como Internacional nível B.
- 7 CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm; TOROK, Delfim Luiz; ANDREOLI, Andrey Vedana. Projeto para Prototipação de um IP Soft Core MAC Ethernet. **Revista de Informática Teórica e Aplicada**, Porto Alegre, v. 8, n. 1, p. 23-41, 2001.
 Palavras-chave: Redes de Computadores; Redes Ethernet; Protocolo de Acesso ao Meio; MAC; Core; FPGA.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos; Telemática.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Meio de divulgação: Impresso; Homepage: <http://www.inf.ufrgs.br/~revista/>; ISSN/ISBN: 01034308.

9.1.5 Livros publicados

- 1 CALAZANS, Ney Laert Vilar. **Projeto Lógico Automatizado de Sistemas Digitais Seqüenciais**. Rio de Janeiro: Imprinta Gráfica e Editora Ltda - UFRJ, 1998. 342 p.
 Palavras-chave: Sistemas Digitais Seqüenciais; Síntese Automatizada; Circuitos Assíncronos; Projeto Lógico; Análise de Sistemas Digitais.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica; Informática.
 Referências adicionais: Brasil/Português; Meio de divulgação: Impresso; Homepage: <ftp://ftp.inf.pucrs.br/pub/calazans/pubs/prjlog/v1.0/>; Número da revisão: 1.
 Livro publicado no contexto da 11a. Escola de Computação, realizada de 20-24 de Julho de 1998, organizada na UFRJ.

9.1.6 Capítulos de livros publicados

- 1 MARCON, César Augusto Missio; PALMA, José Carlos Sant'anna; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm; SUSIN, Altamiro Amadeu; REIS, Ricardo Augusto da Luz. Modeling the Traffic Effect for the Application Cores Mapping Problem onto NoCs. In: BECKER, Juergen; REIS, Ricardo Augusto da Luz. (Org.). **IFIP VLSI 2006 Book (título provisório)**. Dordrecht, 2006.
 Palavras-chave: NoCs; Low Power; Mapeamento.
 Áreas do conhecimento: Sistemas de Computação; Arquitetura de Sistemas de Computação.
 Referências adicionais: Holanda/Inglês; Meio de divulgação: Impresso.
 Livro em editoração. Contém versões estendidas de seleção dos melhores artigos da conferência VLSI-SoC 2005, realizada em Perth, Austrália, em 17-19/10/2005.
- 2 MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar; MÖLLER, Leandro Heleno; BRIÃO, Eduardo Wenzel; CARVALHO, Ewerson Luiz de Souza. Dynamic and Partial Reconfiguration in FPGA SoCs: requirements tools and a case study. In: LYSAGHT, Patrick; ROSENSTIEL, Wolfgang. (Org.). **New Algorithms, Architectures and Applications for Reconfigurable Computing**. Dordrecht, 2005, v. 1, p. 157-168.
 Palavras-chave: Reconfigurable Computing; FPGA; Dynamic Reconfiguration; Partial Reconfiguration.
 Áreas do conhecimento: Sistemas de Computação.
 Referências adicionais: Holanda/Inglês; Meio de divulgação: Impresso; Homepage: <http://www.springeronline.com/sgw/cda/frontpage/0,11855,5-175-22-35893325-0,00.html>; ISBN: 1402031270.
 Capítulo 13 do Livro.
- 3 CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm; QUINTANS, Katherine Beserra; NEUWALD, Felipe Barp. Accelerating Sorting through the Use of Reconfigurable Hardware. In: ROCHA, Fundação de Ensino Eurípides S. da. (Org.). **Reconfigurable Computing - Experiences and Perspectives**. Marília, SP, 2000, p. 30-35.
 Palavras-chave: Sorting; Hardware Algorithms; FPGA; VHDL.
 Áreas do conhecimento: Hardware; Microeletrônica; Software Básico.
 Setores de aplicação: Indústria Eletro-Eletrônica; Informática.
 Referências adicionais: Brasil/Inglês; Meio de divulgação: Impresso; ISBN: 8587937014.
- 4 MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar; FERREIRA, Ewerton Hofler; LIEDKE, Daniel Carvalho. Implementação Eficiente de uma Arquitetura Load/Store em VHDL. In: ROCHA, Fundação de Ensino Eurípides S. da. (Org.). **Reconfigurable Computing - Experiences and Perspectives**. Marília, SP, 2000, p. 2-13.
 Palavras-chave: VHDL; FPGA; Sistemas Digitais; Prototipação Rápida de sistemas digitais.
 Áreas do conhecimento: Hardware; Microeletrônica; Software Básico.
 Setores de aplicação: Informática; Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Meio de divulgação: Impresso; ISBN: 8587937014.

9.2 PRODUÇÃO TÉCNICA

9.2.1 Softwares sem registro ou patente

- 1 CALAZANS, Ney Laert Vilar; MADEIRA, André Duque. **Asstuce - An exploratory environment for finite state machines**. 1996.
 Palavras-chave: Minimização de Estados; State Minimization; Codificação de Estados; State Assignment; Codificação Booleana.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Inglês; Meio de divulgação: Digital; Homepage: <ftp://www.inf.pucrs.br/pub/gaph/software/Asstuce-1.0.tgz>; Finalidade: Ensino e Pesquisa em Projeto de Circuitos e Sistemas Digitais; Plataforma: Estações de Trabalho ou Computadores Pessoais/Workstations and PCs; Ambiente: Unix (Solaris 2.5, Linux e AIX); Disponibilidade: Irrestrita; Inst. promotora/financiadora: CNPq, FAPERGS, RHAЕ.
 Software de domínio público desenvolvido como parte do trabalho de doutorado e mais tarde aperfeiçoado em atividades de projetos de pesquisa. Finalidade: Executar a codificação de estados em máquinas de estados finitas, considerando simultaneamente a solução do problema de minimização de estados.

9.2.2 Trabalhos técnicos

- 1 **BASTOS, Érico Nunes Ferreira; SOCCOL, Celso; CALAZANS, Ney Laert Vilar. Projeto e Implementação da Arquitetura de Comunicação MERCURY: uma rede intra-chip com topologia toro, filas centrais compartilhadas e modo de chaveamento virtual-cut-through. 2005.**
 Palavras-chave: Redes Intra-chip; Topologia Toro; Modo de Chaveamento; Virtual-cut-through.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Brasil/Português; Meio de divulgação: Magnético; Homepage: <http://www.inf.pucrs.br/tr/>; Finalidade: Descrição de pesquisa acadêmica; Disponibilidade: Irrestrita; Duração: 8 (meses); No. páginas: 36; Cidade: Porto Alegre; Inst. promotora/financiadora: CAPES.
 TR 050 do PPGCC/FACIN/PUCRS, disponível em formato pdf.

- 2 **CARVALHO, Ewerson Luiz de Souza; MÖLLER, Frederico Bartz; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar. Design Frameworks and Configuration Controllers for Dynamic And Partial Reconfiguration. 2004.**
 Palavras-chave: Reconfigurable Computing; FPGA; Configurable Computing; Configuration Controller.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Inglês; Meio de divulgação: Magnético; Homepage: <http://www.inf.pucrs.br/tr/>; Finalidade: Descrição de pesquisa acadêmica; Disponibilidade: Irrestrita; Duração: 12 (meses); No. páginas: 17; Cidade: Porto Alegre; Inst. promotora/financiadora: CNPq.
 TR 042 do PPGCC/FACIN/PUCRS, disponível em formato pdf.

- 3 **MELLO, Aline Vieira de; OST, Luciano Copello; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar. Evaluation of Routing Algorithms in Mesh Based NoCs. 2004.**
 Palavras-chave: NoCs; Routing; Mesh; Intra-chip networks.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Inglês; Meio de divulgação: Magnético; Homepage: <http://www.inf.pucrs.br/tr/>; Finalidade: Descrição de pesquisa acadêmica; Disponibilidade: Irrestrita; Duração: 6 (meses); No. páginas: 11; Cidade: Porto Alegre; Inst. promotora/financiadora: CNPq.
 TR 040 do PPGCC/FACIN/PUCRS, disponível em formato pdf.

- 4 **MÖLLER, Leandro Heleno; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar. Ferramentas de Configuração Parcial, Remota e Dinâmica de FPGAs Virtex. 2003.**
 Palavras-chave: Sistemas Reconfiguráveis; Reconfiguração Dinâmica; Reconfiguração Parcial; FPGA.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Brasil/Português; Meio de divulgação: Digital; Homepage: <http://www.inf.pucrs.br/tr/>; Finalidade: Divulgação de pesquisa científica; Disponibilidade: Irrestrita; Duração: 12 (meses); No. páginas: 29; Cidade: Porto Alegre; Inst. promotora/financiadora: CNPq.
 TR 035 do PPGCC/FACIN/PUCRS, disponível em formato pdf.

- 5 **MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar; MELLO, Aline Vieira de; MÖLLER, Leandro Heleno; OST, Luciano Copello. HERMES: an Infrastructure for Low Area Overhead Packet-switching Networks on Chip. 2003.**
 Palavras-chave: Networks on Chip; FPGA; Packet Switching.
 Áreas do conhecimento: Hardware.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Inglês; Meio de divulgação: Magnético; Homepage: <http://www.inf.pucrs.br/tr/>; Finalidade: Descrição de pesquisa acadêmica; Disponibilidade: Irrestrita; Duração: 12 (meses); No. páginas: 26; Cidade: Porto Alegre; Inst. promotora/financiadora: CNPq.
 TR 034 do PPGCC/FACIN/PUCRS, disponível em formato pdf.

- 6 **BRIÃO, Eduardo Wenzel; CALAZANS, Ney Laert Vilar. Tutoriais Sobre Reconfiguração Parcial e Dinâmica usando o Fluxo do Projeto Modular sobre a Plataforma Insight V2MB1000. 2003.**
 Palavras-chave: Reconfiguração Parcial; Reconfiguração Dinâmica; FPGA.
 Áreas do conhecimento: Hardware.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Português; Meio de divulgação: Magnético; Homepage: <http://www.inf.pucrs.br/tr/>; Finalidade: Descrição de pesquisa acadêmica; Disponibilidade: Restrita; Duração: 12 (meses); No. páginas: 93; Cidade: Porto Alegre; Inst. promotora/financiadora: CNPq.
 TR 033 do PPGCC/FACIN/PUCRS, disponível em formato pdf.

- 7 **CALAZANS, Ney Laert Vilar; IDE, Alessandro Noriaki; MORENO, Edson Ifarraguirre; RODOLFO, Taciano Ares; MORAES, Fernando Gehm. Tutorial e Diretivas para Captura de Projeto, Validação e Prototipação de Módulos de Hardware Descritos em SystemC. 2003.**
 Palavras-chave: SystemC; Hardware; IP Cores.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Português; Meio de divulgação: Digital; Homepage: <http://www.inf.pucrs.br/tr/>; Finalidade: Descrição de pesquisa acadêmica; Disponibilidade: Irrestrita; Duração: 6 (meses); No. páginas: 48; Cidade: Porto Alegre; Inst. promotora/financiadora: CNPq.
 TR 036 do PPGCC/FACIN/PUCRS, disponível em formato pdf.

- 8 **MORAES, Fernando Gehm; FERREIRA, Ewerton Hofler; CALAZANS, Ney Laert Vilar. Implementação de uma arquitetura load/store em um ambiente de prototipação. 2000.**
 Palavras-chave: FPGA; Plataforma de Prototipação; Arquitetura de Computadores.
 Áreas do conhecimento: Hardware.

Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Português; Meio de divulgação: Magnético; Homepage: <http://www.inf.pucrs.br/tr/>; Finalidade: Descrição de pesquisa acadêmica; Disponibilidade: Irrestrita; Duração: 12 (meses); No. páginas: 48; Cidade: Porto Alegre; Inst. promotora/financiadora: CNPq.
 TR 002 do PPGCC/FACIN/PUCRS, disponível em formato pdf.

- 9 CALAZANS, Ney Laert Vilar. **Projeto Integrado de software e hardware para aplicações específicas.** 2000.
 Palavras-chave: Projeto Integrado de Software e Hardware; Plataforma de Prototipação; FPGA.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Finalidade: Financiar pesquisa a nível de iniciação científica - bolsa IC; Disponibilidade: Irrestrita; Duração: 12 (meses); Cidade: Porto Alegre; Inst. promotora/financiadora: FAPERGS.
 Projeto de Pesquisa (Processo nº 98/50970-6) financiado pela FAPERGS entre março de 2000 e dezembro de 2000.
- 10 CALAZANS, Ney Laert Vilar. **SHRIMP-I - Uma plataforma de prototipação rápida reconfigurável de sistemas digitais.** 2000.
 Palavras-chave: Arquitetura de Sistemas Digitais; Prototipação Rápida de sistemas digitais; FPGA.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Finalidade: Financiar pesquisa, com apoio emergencial a projetos em andamento - material permanente; Disponibilidade: Irrestrita; Duração: 12 (meses); Cidade: Porto Alegre; Inst. promotora/financiadora: FAPERGS.
 Projeto de Pesquisa com financiamento da FAPERGS a partir de maio 2000. Concluído.
- 11 CALAZANS, Ney Laert Vilar. **ADC-SHRIMP - Avaliação do Desempenho da Comunicação Hospedeiro - Plataformas de H/S Codesign.** 1999.
 Palavras-chave: Field Programmable Gate Arrays; Prototipação de sistemas digitais.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Finalidade: Financiar pesquisa a nível de iniciação científica - bolsa IC; Disponibilidade: Irrestrita; Duração: 10 (meses); Cidade: Porto Alegre; Inst. promotora/financiadora: FAPERGS.
 Projeto de Pesquisa (Processo nº 98/50970-6) financiado pela FAPERGS entre março de 1999 e dezembro de 1999.
- 12 CALAZANS, Ney Laert Vilar. **KROC-DSP: Compilador occam2 para processador de sinais.** 1998.
 Palavras-chave: Compiladores; Processamento Distribuído; Processamento Digital de Sinais.
 Áreas do conhecimento: Software Básico; Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Finalidade: Financiar pesquisa a nível de iniciação científica - bolsa IC (PIBIC); Disponibilidade: Irrestrita; Duração: 12 (meses); Cidade: Porto Alegre; Inst. promotora/financiadora: CNPq.
 Projeto de Pesquisa (Processo nº 105490/98-9) financiado pelo CNPq entre agosto de 1998 e julho de 1999.
- 13 CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm; FERNANDES, Paulo Henrique Lemelle; STEMMER, Marcos. **SHRIMP I - Implementação e Avaliação de Desempenho de uma Plataforma de Prototipação Rápida para o Projeto Integrado de Software e Hardware.** 1998.
 Palavras-chave: Prototipação de sistemas digitais; Síntese Automatizada; Arquitetura de Computadores.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Finalidade: Financiar pesquisa - bolsas ITI; Disponibilidade: Irrestrita; Duração: 24 (meses); Cidade: Porto Alegre; Inst. promotora/financiadora: CNPq.
 Projeto de Pesquisa (Processo nº 520091/96-5) financiado pelo CNPq entre agosto de 1998 e julho de 2000.
- 14 WAGNER, Flávio Rech; CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm; VARGAS, Fabian. **HardPro: Centro de Prototipação de Hardware para Sistemas Computacionais Dedicados.** 1997.
 Palavras-chave: Prototipação de sistemas digitais; Sistemas Digitais; Projeto Auxiliado por Computador.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Finalidade: Financiar pesquisa interinstitucional - bolsas ITI, APB e material permanente; Disponibilidade: Irrestrita; Duração: 36 (meses); Cidade: Porto Alegre; Inst. promotora/financiadora: FAPERGS.
 Projeto de Pesquisa (Processo nº 96/1575.1) financiado pela FAPERGS entre janeiro de 1997 e dezembro de 1999. Contou com a participação de UFRGS, PUCRS e UFSM
- 15 CALAZANS, Ney Laert Vilar. **KROC-PC: Compilador occam2 para computadores padrão IBM-PC.** 1997.
 Palavras-chave: Compiladores; Programação Paralela; Processamento Distribuído.
 Áreas do conhecimento: Software Básico; Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Finalidade: Financiar pesquisa a nível de iniciação científica - bolsa IC (PIBIC); Disponibilidade: Irrestrita; Duração: 12 (meses); Cidade: Porto Alegre; Inst. promotora/financiadora: CNPq.
 Projeto de Pesquisa financiado pelo CNPq entre agosto de 1997 e julho de 1998.
- 16 CALAZANS, Ney Laert Vilar. **BOOLE - Codificação Booleana e FPGAs.** 1996.
 Palavras-chave: Codificação Booleana Restrita; Ferramentas de Projeto; CAD; Máquinas de Estados Finitas.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Finalidade: Financiar pesquisa - bolsas ITI, APB e material permanente; Disponibilidade: Restrita; Duração: 24 (meses); Cidade: Porto Alegre; Inst. promotora/financiadora: CNPq.
 Projeto de Pesquisa (Processo nº 520091/96-5) financiado pelo CNPq entre agosto de 1996 e julho de 1998.

- 17 CALAZANS, Ney Laert Vilar; LIMA, Vera Lúcia Strube; OLIVEIRA, Flávio Moreira de; BECKER, Karin. **Estudo e implementação de ferramentas de síntese lógica para FPGAs.** 1994.
 Palavras-chave: CAD; FPGA; Prototipação de sistemas digitais.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Finalidade: Financiar pesquisa, bolsas de iniciação científica; Disponibilidade: Irrestrita;
 Duração: 24 (meses); Cidade: Porto Alegre; Inst. promotora/financiadora: RHAЕ-CNPq.
 Projeto de pesquisa institucional (Processo nº610251/94-5) financiado pelo RHAЕ entre setembro de 1994 e agosto de 1996.
- 18 CALAZANS, Ney Laert Vilar. **O problema da codificação Booleana: métodos e ferramentas.** 1994.
 Palavras-chave: Codificação Booleana Restrita; CAD; Análise de Sistemas Digitais; Sistemas Digitais.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Finalidade: Financiamento de pesquisa: enovel recém-doutor (material permanente);
 Disponibilidade: Irrestrita; Duração: 12 (meses); Cidade: Porto Alegre; Inst. promotora/financiadora: FAPERGS.
 Projeto de Pesquisa (Processo nº 94/1340.3) financiado pela FAPERGS entre março de 1994 e fevereiro de 1995.
- 19 BARROS, Edna Natividade da Silva; CORREIA, Marcia de Barros; WEBER, Taisy Silva; SAMPAIO, Augusto; QUEIROZ, José; SANTOS, Luis Cláudio Vilar dos; LIMA, Manoel Eusebio de; CALAZANS, Ney Laert Vilar; JACOBI, Ricardo Pezzuol. **PISH: Projeto Integrado de Software e Hardware.** 1994.
 Palavras-chave: Projeto Integrado de Software e Hardware; Análise de Sistemas Digitais; CAD; Prototipação de sistemas digitais.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Finalidade: Financiar pesquisa interinstitucional temática: bolsas ITI/DTI, viagens e material permanente; Disponibilidade: Irrestrita; Duração: 24 (meses); Cidade: Recife, Porto Alegre, Aracaju, Florianópolis; Inst. promotora/financiadora: PROTEM-CCNPq.
 Projeto Temático de Pesquisa (Processo nº 680074/94-5) financiado pelo PROTEM-CC entre outubro de 1994 e setembro de 1996. Contou com a participação de UFPE, PUCRS, UFRGS, PUCRS e UFSC.
- 20 CALAZANS, Ney Laert Vilar. **Síntese Lógica Seqüencial para FPGAs.** 1994.
 Palavras-chave: Síntese lógica; Sistemas Digitais Seqüenciais; Sistemas Digitais; Field Programmable Gate Arrays; Prototipação de sistemas digitais.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Finalidade: Financiar pesquisa - bolsas ITI, APB e material permanente; Disponibilidade: Irrestrita; Duração: 24 (meses); Cidade: Porto Alegre; Inst. promotora/financiadora: CNPq.
 Projeto de Pesquisa (Processo nº 520523/94-6) financiado pelo CNPq entre agosto de 1994 e julho de 1996.

9.2.3 Demais tipos de produção técnica

- 1 CALAZANS, Ney Laert Vilar. **Tecnologias Modernas para Projeto e Implementação de SoCs.** 2003. (Curso de curta duração ministrado/Outra).
 Palavras-chave: SoCs; FPGAs; Sistemas Reconfiguráveis; Circuitos Integrados.
 Áreas do conhecimento: Hardware.
 Referências adicionais: Brasil/Português; Meio de divulgação: Magnético; Tipo de participação: Docente; Duração: 3 (horas);
 Local: São Paulo-Brasil; Cidade: Águas de Lindóia; Inst. promotora/financiadora: UNESP.
 Palestra ministrada no escopo do Primeiro Seminário do Centro Virtual de Microeletrônica (CEMICRO) da UNESP.
- 2 CALAZANS, Ney Laert Vilar; HUERTAS, Jose Luis; REIS, Ricardo Augusto da Luz. **15th Symposium on Integrated Circuits and Systems Design - SBCCI2002.** 2002. (Organização de evento/Congresso).
 Palavras-chave: Arquitetura de Sistemas Digitais; CAD.
 Áreas do conhecimento: Hardware; Circuitos Eletrônicos.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Inglês; Meio de divulgação: Impresso; Homepage: <http://www.sbc.org.br/sbccii/>; Evento itinerante: Sim; Catálogo disponível: Não; Duração: 1 (semana); Local: Hotel Sheraton; Cidade: Porto Alegre; Inst. promotora/financiadora: Sociedade Brasileira de Computação.
 Program Chairs do SBCCI2002: Jose Luis Huertas e Ney Calazans General Chair do SBCCI2002: Ricardo Augusto da Luz Reis

9.3 ORIENTAÇÕES CONCLUÍDAS

9.3.1 Mestrado

- 1 BASTOS, Érico Nunes Ferreira. **Mercury: Uma Rede Intra-chip com Topologia Toro 2D e Roteamento Adaptativo.** 2006. 148 f. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul, Coordenação de Aperfeiçoamento de Pessoal de Nível Superior. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: Redes intra-chip; NoCs; Modelagem Sistêmica; Projeto a Nível de Sistema; Topologia Toro.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Setores de aplicação: Fabricação de equipamentos de informática e máquinas para escritório.
 Referências adicionais: Brasil/Português; Tipo de orientação: Orientador principal; No. páginas: 148.
 Dissertação apresentada e aprovada em 24/01/2006. Homologada em 17/05/2006 (Ata 012/2006). Resumo: A tecnologia de fabricação de circuitos integrados (CIs) evoluiu até inviabilizar alguns dos principais paradigmas do projeto de sistemas digitais complexos. Dentre estes, dois relevantes são o uso de barramentos como meios de interconexão intra-chip e o

projeto totalmente síncrono. Redes intra-chip (NoCs) vêm se destacando como uma possível alternativa para substituir barramentos, suprimindo meios de abandonar o projeto totalmente síncrono. Trata-se de arquiteturas de comunicação que adaptam conceitos de redes de computadores e sistemas distribuídos para o ambiente intra-chip. São constituídas por fios curtos no interior de um CI e roteadores, cuja interconexão define uma topologia de rede. Nos extremos da rede conectam-se os módulos de um SoC. Uma das questões relevantes hoje é qual a melhor topologia de NoC para um SoC alcançar máximo desempenho a mínimo custo. Este trabalho traz uma proposta de arquitetura para uma NoC toro, denominada Mercury, partindo de um algoritmo de roteamento mínimo totalmente adaptativo já existente. Apresentam-se as modelagens abstrata e concreta da rede Mercury. Esta foi capturada como uma descrição de hardware em VHDL, validada por simulação e prototipada com sucesso em FPGAs. Uma ferramenta parametrizável que dá suporte à geração automática dos modelos abstrato (em SystemC TL) e concreto (VHDL RTL) da rede Mercury é contribuição adicional. Finalmente, provê-se resultados preliminares de avaliação do projeto, tanto do ponto de vista de área em FPGAs como em relação ao desempenho da rede, medindo a vazão e a latência média desta sob diferentes condições de tráfego. Valores obtidos para a rede Mercury são também comparados com a NoC Hermes, uma rede no estado da arte de desenvolvimento.

- 2 **SOARES, Rafael Iankowski. Infra-estrutura e Implementação de Controle de Configurações em Software para Hardware Reconfigurável.** 2005. 126 f. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul, Coordenação de Aperfeiçoamento de Pessoal de Nível Superior. Orientador: Ney Laert Vilar Calazans.

Palavras-chave: Sistemas Reconfiguráveis; FPGAs; Controle de configurações.

Áreas do conhecimento: Sistemas de Computação; Hardware.

Setores de aplicação: Fabricação de equipamentos de informática e máquinas para escritório.

Referências adicionais: Brasil/Português; Tipo de orientação: Orientador principal; No. páginas: 126.

Dissertação apresentada e aprovada em 17/01/2006, nota atribuída 9,3. Homologada em 31/05/2006 (Ata 013/2006).

Resumo: A evolução de sistemas integrados em um único chip (SoCs) exige o desenvolvimento de técnicas de projeto que superem gargalos surgidos da mera adaptação de técnicas tradicionais de projetos de circuitos digitais a tais sistemas. O uso de hardware reconfigurável, sistemas digitais onde a flexibilidade de personalização pode atingir níveis maiores do que em um processador que executa software, é o resultado de uma tal técnica. Enquanto a flexibilidade de um processador vem da capacidade de executar diferentes seqüências de instruções de uma memória externa, a flexibilidade da reconfigurabilidade deriva da chance de alterar interconexão e funcionalidade de componentes que definem a estrutura do sistema digital. Assim, trata-se de flexibilizar a estrutura do hardware de forma similar à provida no seqüenciamento de instruções por um programador. Ademais, o avanço de infra-estruturas de suporte ao controle de sistemas reconfiguráveis é incipiente, quando comparado com tarefas equivalentes em software. Este trabalho contribui para superar limitações no uso amplo de hardware reconfigurável. Propõe-se uma arquitetura alvo para sistemas dinâmica e parcialmente reconfiguráveis (SDRs) auto-reconfiguráveis. Esta arquitetura assume a existência de um processador programável na parte não-reconfigurável do sistema. Assume-se ainda que este processador pode dedicar parte de seu tempo para controlar o processo de configuração do SDR. Adicionalmente, propõe-se, valida-se e prototipa-se uma infraestrutura que habilita a implementação de layouts válidos para SDRs autoreconfiguráveis. Também sugere-se um fluxo de projeto para implementar de forma automatizada SDRs usando as propostas. Sobre o processador alvo, propõe-se a implementação de um software de controle de configurações baseado em modelo já proposto e validado em hardware (RSCM).

- 3 **MORENO, Edson Ifarraguirre. Modelagem, Descrição e Validação de Redes Intra-chip no Nível de Transação.** 2004. 111 f. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul, Coordenação de Aperfeiçoamento de Pessoal de Nível Superior. Orientador: Ney Laert Vilar Calazans.

Palavras-chave: Redes intra-chip; Modelagem Sistemática; Nível de Transação; Transação; SystemC; System Level Design.

Áreas do conhecimento: Hardware.

Setores de aplicação: Fabricação de material eletrônico básico.

Referências adicionais: Brasil/Português; Tipo de orientação: Orientador principal; No. páginas: 111.

Dissertação apresentada e aprovada em 05/04/2004. Homologada em 02/03/2005 (Ata 003/2005). Resumo: O presente trabalho contribui inicialmente com uma proposta de organização para níveis superiores de abstração de projeto a empregar durante a modelagem de sistemas digitais complexos. Com base nesta proposta, mostram-se resultados iniciais da comparação entre modelagens sistemática e a modelagem RTL tradicional, a partir de um estudo de caso implementado em SystemC e VHDL. O domínio da complexidade do projeto passa pelo tratamento em separado dos aspectos de computação e comunicação do sistema, assumindo importância central neste trabalho. Em particular, endereça-se a preocupação crescente com a comunicação de módulos de hardware em um sistema digital complexo. Propõe-se aqui a modelagem abstrata de uma rede de comunicação intrachip parametrizável denominada Hermes, usando o nível de abstração de transação e empregando a linguagem SystemC. Esta modelagem é validada através de experimentos, e levou à proposta e ao desenvolvimento de ferramental específico de apoio ao projeto da comunicação intrachip. Através do processo de modelagem e dos resultados iniciais obtidos com a rede Hermes, evidencia-se um conjunto potencial de vantagens que pode ser auferido pelo uso de níveis superiores de abstração, durante a modelagem abstrata da comunicação e da computação para sistemas digitais complexos.

- 4 **BRIÃO, Eduardo Wenzel. Reconfiguração Parcial e Dinâmica para Núcleos de Propriedade Intelectual.** 2004. 134 f. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico. Orientador: Ney Laert Vilar Calazans.

Palavras-chave: FPGAs; Reconfiguração Dinâmica; Reconfiguração Parcial.

Áreas do conhecimento: Hardware.

Referências adicionais: Brasil/Português; Tipo de orientação: Orientador principal; No. páginas: 134.

Dissertação apresentada e aprovada em 21/01/2004. Homologada em 18/10/2004. (Ata 020/2004). Resumo: A principal contribuição deste trabalho é a proposta de parte de uma infra-estrutura de suporte para o projeto e implementação de sistemas digitais reconfiguráveis complexos sobre dispositivos comerciais. Especificamente, propõe-se e implementa-se um método de geração de arquivos de configuração parciais que correspondem à implementação física de núcleos de propriedade intelectual arbitrariamente complexos. A geração é realizada de tal forma a habilitar que estes núcleos possam ser inseridos ou removidos de um dispositivo reconfigurável em tempo de execução, através de procedimentos mecânicos de reconfiguração parcial e dinâmica. O método foi desenvolvido a partir de adaptação e extensão de técnicas propostas por um fornecedor de dispositivos reconfiguráveis. Como contribuição adicional, foi proposta e implementada uma ferramenta de software para automatizar parcialmente o complexo processo de aplicação do método, aumentando o nível de abstração em que um projetista de um sistema reconfigurável atua. Um conjunto de estudos de caso de implementação de sistemas reconfiguráveis foi empregado para validar o método e seu emprego.

- 5 **CARVALHO, Ewerson Luiz de Souza. RSCM - Controlador de Configurações para Sistemas de Hardware Reconfigurável.** 2004. 150 f. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico. Orientador: Ney Laert Vilar Calazans.
- Palavras-chave: Reconfiguração Dinâmica; Reconfiguração Parcial; FPGA; Controlador de Configurações; Sistemas Reconfiguráveis.
- Áreas do conhecimento: Hardware.
- Setores de aplicação: Fabricação de equipamentos de informática e máquinas para escritório.
- Referências adicionais: Brasil/Português; Tipo de orientação: Orientador principal; No. páginas: 150.
- Dissertação apresentada e aprovada em 11/03/2004. Homologada em 27/09/2004 (Ata 019/2004). Resumo: Sistemas reconfiguráveis onde o hardware pode ser alterado em tempo de execução possuem o potencial para flexibilizar hardware de forma similar à flexibilidade provida pelo uso de software. Eles podem apresentar a vantagem adicional de poderem simultaneamente alcançar melhor desempenho e menor tamanho. Contudo, existem carências em dispositivos de suporte, ferramentas e fluxos de projeto para tais sistemas. Uma das principais carências são métodos eficientes de controle do processo de reconfiguração do hardware. A principal contribuição deste trabalho é a proposta e construção de um controlador de configurações de hardware implementado totalmente em hardware, em contraposição a propostas da literatura, realizadas predominantemente em software. Uma característica importante do controlador implementado é que este é parte do hardware do sistema, tornando o mesmo capaz de se autoreconfigurar, sem recurso a dispositivos de controle externos. O modelo subjacente proposto, denominado RSCM, é genérico para uma dada classe de aplicações e dispositivos, podendo ser implementado em hardware, software ou com um misto de ambos. Ainda no presente trabalho, apresenta-se um resumo do estado da arte em sistemas reconfiguráveis, com ênfase em sistemas dinâmica e parcialmente reconfiguráveis. Propõe-se o arcabouço PADREH para projeto e gerenciamento destes sistemas. Além disto, alguns critérios de classificação do processo de reconfiguração de sistemas são propostos para auxiliar a compreensão do mesmo.
- 6 **SOUZA, Sheila Moreira. Camadas de Adaptação ATM para Transferência de Dados e Voz.** 2003. 151 f. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul. Orientador: Ney Laert Vilar Calazans.
- Palavras-chave: ATM; AAL2; AAL5; Camadas de Adaptação; FPGAs; VHDL.
- Áreas do conhecimento: Hardware; Arquitetura de Sistemas de Computação; Microeletrônica.
- Setores de aplicação: Fabricação de aparelhos e equipamentos de telecomunicação; Fabricação de material eletrônico básico.
- Referências adicionais: Brasil/Português; Tipo de orientação: Orientador principal; No. páginas: 151.
- Dissertação apresentada e aprovada em 28/01/2003. Homologada em 12/07/2004. (Ata 014/2004). Resumo: O avanço da tecnologia ATM e das técnicas de codificação e compressão de informações possibilitam oferecer serviços multimídia com a qualidade esperada. Contudo, para a maioria aplicações, a manutenção da QoS não é uma tarefa simples do ponto de vista de implementação. Técnicas complexas são usadas para codificar e transmitir os fluxos de informação. Para que cada técnica possa ser eficiente, a rede de transmissão deve ser adequada ao tipo de fluxo transmitido. A tecnologia ATM suporta tal especificidade no nível de camadas de adaptação ATM. Apresenta-se um estudo sobre a transferência simultânea de dados e voz em redes ATM no nível de AALs. Exploram-se em detalhe as diferentes camadas de adaptação ATM e justifica-se o uso das camadas de adaptação tipo 5 e 2 para transmitir dados e voz, respectivamente. Isto ocorre em um contexto de aplicações, dentro de uma cooperação com empresa. Módulos selecionados das AALs escolhidas foram desenvolvidos e validados. Implementações alternativas para a AAL 2 em hardware e software foram conduzidas, fornecendo-se alguns resultados iniciais de comparação destas implementações. Para a transmissão de voz, apresenta-se um estudo de eficiência de transmissão, baseado em cálculos de determinação do parâmetro timer-CU e seu efeito sobre a carga máxima da AAL 2 e a densidade de empacotamento associada. A integração das AALs com a camada ATM de protocolos, imediatamente inferior as AALs, é igualmente apresentada.
- 7 **CASTANHEIRA, Leonardo Dutra. Geração de Tráfego Genérica com Aplicação em Redes ATM.** 2003. 138 f. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul. Orientador: Ney Laert Vilar Calazans.
- Palavras-chave: Geração de Tráfego; Redes de Computadores; Redes ATM; FPGA; Sistemas Parametrizáveis.
- Áreas do conhecimento: Hardware; Arquitetura de Sistemas de Computação; Microeletrônica.
- Setores de aplicação: Fabricação de aparelhos e equipamentos de telecomunicação.
- Referências adicionais: Brasil/Português; Tipo de orientação: Orientador principal; No. páginas: 138.
- Dissertação apresentada e aprovada em 20/02/2003. Homologada em 22/11/2004 (Ata 022/2004). Resumo: Este trabalho tem como objetivos estudar formas de se medir o desempenho de módulos de hardware em particular em redes ATM. Propõe-se também um método de medida que utiliza ambientes de prototipação de hardware baseados em FPGAs como forma de diminuir significativamente o tempo gasto no processo de medição de dados de desempenho e o tempo de desenvolvimento de testbenchs. O método provê uma validação funcional do hardware ATM a um menor custo. Como o objetivo de validar a proposta, o presente trabalho apresenta o projeto e implementação de uma fonte de tráfego. Ainda, uma implementação de camada ATM parametrizável e seu emprego em um contexto de aplicação específico foram conduzidos para servir ao teste do método de medida proposto. Resultados iniciais de experimentos práticos demonstram a flexibilidade e utilidade do método proposto, em particular no que concerne sua viabilidade de aplicação e sua eficiência em termos de tempo de execução, quando comparado com o uso de simulação.
- 8 **TOROK, Delfim Luiz. Projeto Visando a Prototipação do Protocolo de Acesso ao Meio em Redes Ethernet.** 2001. 134 f. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul. Orientador: Ney Laert Vilar Calazans.
- Palavras-chave: Redes de Computadores; Ethernet; Protocolo de Acesso ao Meio; MAC; FPGA; Sistemas Digitais.
- Áreas do conhecimento: Hardware; Circuitos Eletrônicos.
- Setores de aplicação: Indústria Eletro-Eletrônica.
- Referências adicionais: Brasil/Português; Tipo de orientação: Orientador principal; No. páginas: 134.
- Dissertação apresentada e aprovada em 10/08/2001. Homologada em 14/06/2002. (Ata 011/2002). Resumo - Este trabalho descreve as estratégias de projeto e validação de um Núcleo de Propriedade Intelectual (IP Soft Core) destinado a desempenhar o papel de protocolo de Controle de Acesso ao Meio para redes locais do tipo Ethernet. O projeto deste IP Soft Core foi completamente implementado na linguagem VHDL, sendo assim flexível, portátil e personalizável para aplicações específicas. A implementação foi especialmente desenvolvida para adaptar-se bem a ambientes onde o IP Core reside em dispositivos de hardware reconfigurável tais como FPGAs baseados em RAM. Também se descreve aqui a estratégia de validação funcional do projeto do IP Core Ethernet em detalhe. Finalmente, o trabalho introduz uma proposta para vários ambientes de validação, mediante uso de plataformas de prototipação rápida comerciais, visando testar e caracterizar

completamente o IP Soft Core Ethernet em redes locais reais.

- 9 **CARNEIRO, Mára Lúcia Fernandes. Síntese Automatizada de Colunas de Destilação: uma abordagem alternativa ao processo de projeto.** 1996. 108 f. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul. Orientador: Ney Laert Vilar Calazans.

Palavras-chave: Colunas de Destilação; Otimização Probabilística; Projeto Automatizado; Projeto Auxiliado por Computador.
Áreas do conhecimento: Operações de Separação e Mistura; Análise de Algoritmos e Complexidade de Computação.

Setores de aplicação: Fabricação de produtos químicos.

Referências adicionais: Brasil/Português; Tipo de orientação: Orientador principal; Homepage: <ftp://ftp.inf.pucrs.br/pub/mestrado/dissertacoes/ata004.ps.gz>; No. páginas: 108.

Dissertação apresentada e aprovada em 10/09/1996. Homologada em 08/04/1998. (Ata 002/1998). Resumo - Este trabalho propõe um método computacionalmente eficaz para conduzir o processo de projeto e resolver o problema de colunas de destilação. O problema, neste caso, consiste em determinar uma coluna capaz de satisfazer os requisitos de operação estabelecidos pelo projetista. A abordagem proposta para a condução do processo de projeto sugere o emprego de técnicas de síntese automatizada, largamente utilizadas em projeto auxiliado por computador em algumas áreas de engenharia. Esta abordagem é apresentada aqui como uma alternativa ao emprego de ferramentas de simulação, tradicionalmente utilizadas na área de Engenharia Química. O processo de projeto, conduzido sob o enfoque de simulação, envolve a descrição do modelo selecionado para descrever o sistema em estudo, através da especificação de um conjunto de entradas que permitam testá-lo, e a atividade de análise das saídas obtidas. Já o processo conduzido sob o enfoque de síntese envolve, a partir de uma especificação do comportamento esperado, a agregação de informações até a obtenção de uma descrição detalhada que permita sua construção física. O conceito de otimização está presente nas duas abordagens analisadas. Na simulação, o projetista necessita analisar as saídas, através de um algum critério, para que possa optar pela solução mais adequada ao seu problema. Já na síntese, a descrição final é obtida através da análise de diversas alternativas e da seleção daquela considerada a melhor para solucionar o problema. Para auxiliar na caracterização do problema em estudo, o trabalho apresenta uma definição formal do problema de otimização. A implementação de um procedimento de projeto sob o enfoque de síntese automatizada.

9.3.2 Doutorado

- 1 **MARCON, César Augusto Missio. Modelos para o Mapeamento de Aplicações em Infra-estruturas de Comunicação Intrachip.** 2005. 176 f. Tese (Doutorado em Ciência da Computação) - Universidade Federal do Rio Grande do Sul. Co-orientador: Ney Laert Vilar Calazans.

Palavras-chave: Redes Intrachip; Mapeamento; modelos para mapeamento.

Áreas do conhecimento: Sistemas de Computação; Hardware.

Setores de aplicação: Fabricação de material eletrônico básico.

Referências adicionais: Brasil/Português; Tipo de orientação: Co-orientador; No. páginas: 176.

Processo de co-orientação oficializado, conforme parecer no. 493/2003 da Câmara de Pós-graduação da UFRGS, emitido em 16/09/2003. Tese apresentada e aprovada em 20/12/2005, conceito atribuído A. Homologada em XX/XX/200X.

9.3.3 Graduação

- 1 **SARMENTO, Marcelo. Arquiteturas Auto-reconfiguráveis em Sistemas Digitais.** 2001. 97 f. Trabalho de Conclusão de Curso (Graduação em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul. Orientador: Ney Laert Vilar Calazans.

Palavras-chave: Sistemas Reconfiguráveis; Sistemas Digitais; FPGA; Sistemas Auto-reconfiguráveis.

Áreas do conhecimento: Hardware; Circuitos Eletrônicos.

Setores de aplicação: Indústria Eletro-Eletrônica.

Referências adicionais: Brasil/Português; Tipo de orientação: Orientador principal; No. páginas: 97.

Trabalho apresentado em 02/04/2001. Resumo - O presente trabalho é um estudo sobre a aplicação de Arquiteturas Reconfiguráveis na resolução de problemas computacionais, com enfoque nas características de reconfiguração dinâmica que podem ser implementadas com essa tecnologia. Durante o seu desenvolvimento, alguns conceitos sobre dispositivos reconfiguráveis, especialmente FPGAs, são abordados. Arquiteturas Reconfiguráveis e suas classificações são revistas. A utilização da densidade funcional como ferramenta de comparação em relação às arquiteturas convencionais é apresentada. O objetivo do trabalho é a construção de um protótipo de aplicação de Arquiteturas Auto-Reconfiguráveis. Os componentes necessários para a construção desta, tanto a nível de Hardware (uma placa protótipo com recursos de reconfiguração) como de Software (uma aplicação de gerenciamento deste hardware) são desenvolvidos ao longo deste trabalho. Por fim, são apresentadas as conclusões deste trabalho, bem como sugestões para trabalhos futuros relacionados à Arquiteturas Reconfiguráveis.

- 2 **MADEIRA, André Duque. Coloração de Grafos: teoria a aplicações à síntese VLSI.** 1998. 129 f. Trabalho de Conclusão de Curso (Graduação em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico. Orientador: Ney Laert Vilar Calazans.

Palavras-chave: Boolean Constrained Encoding; Coloração de Grafos; Minimização de Estados; Codificação de Estados.

Áreas do conhecimento: Hardware; Microeletrônica.

Setores de aplicação: Indústria Eletro-Eletrônica.

Referências adicionais: Brasil/Português; Tipo de orientação: Orientador principal; Homepage: <ftp://ftp.inf.pucrs.br/pub/calazans/pubs/MadeiraTC2.ps.gz>; No. páginas: 129.

Trabalho apresentado em 05/12/1998. Resumo -

- 3 **CARDOSO, Luciano Barbosa. COFECO: Conjunto de Ferramentas para o Projeto Integrado de Software e Hardware.** 1997. 47 f. Trabalho de Conclusão de Curso (Graduação em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico. Orientador: Ney Laert Vilar Calazans.

Palavras-chave: Projeto Integrado de Software e Hardware; Ferramentas de Projeto; Projeto Auxiliado por Computador.

Áreas do conhecimento: Hardware; Microeletrônica.

Setores de aplicação: Indústria Eletro-Eletrônica.

Referências adicionais: Brasil/Português; Tipo de orientação: Orientador principal; No. páginas: 47.

- 4 SAUERESSIG, Guilherme. **MEMCE: Um Algoritmo de Minimização de Estados para o Ambiente Asstuce**. 1996. 133 f. Trabalho de Conclusão de Curso (Graduação em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: Minimização de Estados; Projeto Auxiliado por Computador; CAD.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Tipo de orientação: Orientador principal; No. páginas: 133.
- 5 VENCATO, Fábio Clever. **Xasstuce: Uma Interface Gráfico-Textual para o Ambiente Exploratório de Máquinas de Estados Finitas Asstuce**. 1996. Trabalho de Conclusão de Curso (Graduação em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: Máquinas de Estados Finitas; Interfaces Gráficas.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; Tipo de orientação: Orientador principal.

9.3.4 Iniciação científica

- 1 RIES, Luís Henrique Leal. **Projeto de Sistemas de Telecomunicação - Especificação, Validação e Prototipação**. 2001. 1 f. Iniciação científica (Graduando em Bacharelado Em Ciência da Computação) - Pontifícia Universidade Católica do Rio Grande do Sul, Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: Telecomunicações; FPGA.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Referências adicionais: Brasil/Português; No. páginas: 1.
 Trabalho publicado em Anais de Congresso de Iniciação Científica e pôster em Salão de Iniciação Científica, ambos na PUCRS, 2001.
- 2 TESSER, Guilherme Antônio Anzilago. **Prototipação de um IP Soft Core MAC Ethernet**. 2001. 1 f. Iniciação científica (Graduando em Bacharelado Em Ciência da Computação) - Pontifícia Universidade Católica do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: Ethernet; Redes de Computadores; Protocolo de Acesso ao Meio; MAC; FPGA.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Fabricação de aparelhos e equipamentos de telecomunicação.
 Referências adicionais: Brasil/Português; No. páginas: 1.
 Pôster publicado em Salão de Iniciação Científica.
- 3 VACARO, Juliano Cardoso. **Prototipação de um IP Soft Core MAC Ethernet**. 2001. 1 f. Iniciação científica (Graduando em Bacharelado Em Ciência da Computação) - Pontifícia Universidade Católica do Rio Grande do Sul. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: Redes Ethernet; Redes de Computadores; MAC; Protocolo de Acesso ao Meio; FPGA.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Referências adicionais: Brasil/Português; No. páginas: 1.
 Pôster publicado em Salão de Iniciação Científica.
- 4 RIES, Luís Henrique Leal. **SDL - Uma Linguagem de Especificação de Sistemas**. 2001. 35 f. Iniciação científica (Graduando em Bacharelado Em Ciência da Computação) - Pontifícia Universidade Católica do Rio Grande do Sul, Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: Telecomunicações; ITU-T; SDL; Linguagens de Especificação; Projeto Integrado de Software e Hardware.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Fabricação de aparelhos e equipamentos de telecomunicação.
 Referências adicionais: Brasil/Português; No. páginas: 35.
 Seminário de Pesquisa apresentado no PPGCC-PUCRS.
- 5 QUINTANS, Katherine Beserra. **A implementação de algoritmos de classificação em hardware: o estudo de caso quicksort**. 2000. Iniciação científica (Graduando em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: Prototipação Rápida de sistemas digitais; FPGA.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português.
- 6 MAESTRI, Patrick Renan Bernardes. **Implementação e Comparação de Processadores em Hardware Reconfigurável**. 2000. 1 f. Iniciação científica (Graduando em Bacharelado Em Ciência da Computação) - Pontifícia Universidade Católica do Rio Grande do Sul, Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul. Orientador: Ney Laert Vilar Calazans.

Palavras-chave: Processadores Embarcados; Hardware Reconfigurável; FPGA.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Português; No. páginas: 1.
 Pôster apresentado na Feira Technocorp 2000.

- 7 LIEDKE, Daniel Carvalho. **Ferramentas de apoio ao desenvolvimento de software básico para processadores hipotéticos.** 1999. 1 f. Iniciação científica (Graduando em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul, Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: Arquitetura de Computadores; Organização de Computadores; Montadores; Simuladores.
 Áreas do conhecimento: Software Básico; Hardware; Microeletrônica.
 Setores de aplicação: Indústria Eletro-Eletrônica.
 Referências adicionais: Brasil/Português; No. páginas: 1.
 Trabalho publicado em Anais de Congresso de Iniciação Científica e pôster em Salão de Iniciação Científica.
- 8 LIEDKE, Daniel Carvalho. **Implementação da Arquitetura Cleópatra na Plataforma de Prototipação XS40 - XStend.** 1999. 1 f. Iniciação científica (Graduando em Bacharelado Em Ciência da Computação) - Pontifícia Universidade Católica do Rio Grande do Sul, Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: FPGA; Arquitetura de Computadores; Processadores Embarcados.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Português; No. páginas: 1.
 Poster publicado em Salão de Iniciação Científica, PUCRS, 1999.
- 9 RAGAZZON, Giovani. **KROC-DSP: compilador occam2 para processador de sinais.** 1999. 1 f. Iniciação científica (Graduando em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: DSP; FPGA; Compiladores; Occam.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Referências adicionais: Brasil/Português; No. páginas: 1.
 Pôster publicado em Salão de Iniciação Científica.
- 10 NEUWALD, Felipe Barp. **KROC-DSP: compilador occam2 para processador de sinais.** 1999. 1 f. Iniciação científica (Graduando em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: DSP; FPGA; Occam; Compiladores.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Referências adicionais: Brasil/Português; No. páginas: 1.
 Pôster publicado em Salão de Iniciação Científica.
- 11 QUINTANS, Katherine Beserra. **SHRIMP-I - Implementação e Avaliação de Desempenho de uma Plataforma de Prototipação Rápida para o Projeto Integrado de Software e Hardware.** 1999. 1 f. Iniciação científica (Graduando em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: Prototipação Rápida; FPGA.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Referências adicionais: Brasil/Português; No. páginas: 1.
 Pôster publicado em Salão de Iniciação Científica.
- 12 MADEIRA, André Duque. **Decomposição Funcional de ISFSMs para Implementação sobre FPGAs.** 1997. 1 f. Iniciação científica (Graduando em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: Decomposição de Funções; Síntese lógica; Otimização combinacional.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Português; No. páginas: 1.
 Trabalho publicado em Anais de Congresso de Iniciação Científica e pôster em Salão de Iniciação Científica.
- 13 MINUZZI, Luciano Soares. **Implementação de Circuitos Digitais Assíncronos sobre FPGAs.** 1997. 1 f. Iniciação científica (Graduando em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: Circuitos Digitais; Circuitos Assíncronos; FPGA.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Português; No. páginas: 1.
 Trabalho publicado em Anais de Congresso de Iniciação Científica e pôster em Salão de Iniciação Científica.

- 14 GHIDINI, Marco Antonio. **Análise Comparativa de Desempenho de duas Abordagens ao Projeto de Colunas de Destilação: síntese versus simulação**. 1996. 1 f. Iniciação científica (Graduando em Engenharia Química) - Pontifícia Universidade Católica do Rio Grande do Sul, Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: Colunas de Destilação; Simulação; Síntese Automatizada.
 Áreas do conhecimento: Processos Inorgânicos; Sistemas de Computação.
 Setores de aplicação: Fabricação de produtos químicos orgânicos.
 Referências adicionais: Brasil/Português; No. páginas: 1.
- 15 SILVA, Paulo Cesar Ramos da. **Análise de Desempenho de Métodos Computacionais de Otimização no Projeto de Processo Químicos**. 1994. 1 f. Iniciação científica (Graduando em Engenharia Química) - Pontifícia Universidade Católica do Rio Grande do Sul, Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul. Orientador: Ney Laert Vilar Calazans.
 Palavras-chave: Colunas de Destilação; Métodos de Otimização; Processos Químicos.
 Áreas do conhecimento: Processos Inorgânicos; Sistemas de Computação.
 Setores de aplicação: Fabricação de produtos químicos orgânicos.
 Referências adicionais: Brasil/Português; No. páginas: 1.

10 DADOS COMPLEMENTARES

10.1 PARTICIPAÇÃO EM BANCAS EXAMINADORAS

10.1.1 Dissertações

- 1 HESSEL, Fabiano Passuelo; FRÖLICH, Antonio Augusto Medeiros; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar. Participação em banca de Melissa Schwanz Vetromille. **Co-projeto de Sistemas Operacionais: Implementação Hardwre/Software de Funcionalidade para Suporte a Aplicações de Tempo real**. 2006. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: Sistemas Operacionais; Sistemas Embarcados; Sistemas de Tempo Real; Escalonamento de Tarefas.
 Áreas do conhecimento: Sistemas de Computação; Arquitetura de Sistemas de Computação.
 Referências adicionais: Brasil/Português.
 Dissertação apresentada e aprovada em 19/01/2006. Em homologação.
- 2 CASTRO, Helano de Sousa; CORTEZ, Paulo Cesar; CALAZANS, Ney Laert Vilar. Participação em banca de Jarbas Ariel Nunes da Silveira. **Gerenciamento SNMP com Autenticação Remota: aplicações em UPSs**. 2006. Dissertação (Mestrado em Engenharia de Teleinformática) - Universidade Federal do Ceará.
 Palavras-chave: UPS; Fontes de Alimentação Ininterrupta; Sistema de Gerenciamento; SNMP.
 Áreas do conhecimento: Sistemas de Computação; Arquitetura de Sistemas de Computação.
 Referências adicionais: Brasil/Português.
 Dissertação apresentada e aprovada em 05/05/2006. Em homologação.
- 3 CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm; BEZERRA, Eduardo Augusto; CÉSAR NETTO, João. Participação em banca de Luís Carlos Mieres Caruso. **Proposta de Arquitetura para NIDS Acelerado por Hardware**. 2005. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: Detecção de Intrusão; NIDS; FPGA; Aceleradores de Hardware.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Setores de aplicação: Fabricação de aparelhos e equipamentos de telecomunicação.
 Referências adicionais: Brasil/Português.
 Dissertação apresentada e aprovada em 15/04/2005. Homologada em XX/XX/2005 (Ata 0XX/2005).
- 4 MORAES, Fernando Gehm; TORRES, Lionel; HORTA, Edson Lemos; BEZERRA, Eduardo Augusto; CALAZANS, Ney Laert Vilar. Participação em banca de Leandro Heleno Möller. **Sistemas Dinamicamente Reconfiguráveis com Comunicação Via Redes Intra-chip**. 2005. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: Sistemas Reconfiguráveis; FPGA; Reconfiguração Parcial; Reconfiguração Dinâmica.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Brasil/Português.
 Dissertação apresentada e aprovada em 19/12/2005. Em homologação.
- 5 MORAES, Fernando Gehm; TORRES, Lionel; ZEFERINO, Cesar Albenes; DOTTI, Fernando Luís; CALAZANS, Ney Laert Vilar. Participação em banca de Leonel Pablo Tedesco. **Uma Proposta de Geração de Tráfego e Avaliação de Desempenho para NoCs**. 2005. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: Redes intra-chip; Geração de Tráfego; Avaliação de Desempenho.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Brasil/Português.
 Dissertação apresentada e aprovada em 19/12/2005. Homologada em 25/01/2006 (Ata 002/2006).

- 6 MORAES, Fernando Gehm; HESSEL, Fabiano Passuelo; CALAZANS, Ney Laert Vilar; CHAU, Wang Jiang. Participação em banca de Luciano Copello Ost. **Redes Intrachip com Interface Padrão para Síntese em Hardware**. 2004. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: Redes intra-chip; NoC; FPGA; Interfaces de Comunicação.
 Áreas do conhecimento: Hardware.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Português.
 Dissertação apresentada e aprovada em 05/04/2004. Homologada em XX/XX/200X (Ata 0XX/200X).
- 7 MORAES, Fernando Gehm; VARGAS, Fabian; LUBASZEWSKI, Marcelo Soares; CALAZANS, Ney Laert Vilar. Participação em banca de Alexandre de Moraes Amory. **Integração e Avaliação de Técnicas de Teste Baseado em Software no Fluxo de Projeto de SOCs**. 2003. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: Teste; Projeto visando a Testabilidade; FPGAs; Núcleos de Propriedade Intelectual; Cossimulação.
 Áreas do conhecimento: Sistemas de Telecomunicações; Hardware; Arquitetura de Sistemas de Computação.
 Setores de aplicação: Desenvolvimento de programas (software); Fabricação de máquinas, aparelhos e materiais elétricos.
 Referências adicionais: Brasil/Português; Homepage: <http://www.inf.pucrs.br/~gaph>.
 Dissertação apresentada e aprovada em 10/01/2003. Homologada em XX/XX/200X (Ata 0XX/200X).
- 8 MORAES, Fernando Gehm; MARTINS, João Baptista dos Santos; JOHANN, Marcelo; CALAZANS, Ney Laert Vilar. Participação em banca de Paulo César Furlanetto Marques. **Algoritmo de Roteamento Maze para Dispositivos Programáveis FPGA**. 2002. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: FPGA; Roteamento; Algoritmo Maze; Hardware Programável.
 Áreas do conhecimento: Sistemas de Telecomunicações.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Português.
 Dissertação apresentada e aprovada em XX/XX/200X. Homologada em XX/XX/200X (Ata 0XX/200X).
- 9 MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar; REIS, Ricardo Augusto da Luz. Participação em banca de José Carlos Sant Anna Palma. **Métodos de Distribuição e Conexão de IP Cores para Dispositivos Programáveis FPGA**. 2002. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: Núcleos de Propriedade Intelectual; IP core; Soft IP Cores; FPGA.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Português.
 Dissertação apresentada e aprovada em XX/XX/200X. Homologada em XX/XX/200X (Ata 0XX/200X).
- 10 MORAES, Fernando Gehm; CARRO, Luigi; CALAZANS, Ney Laert Vilar. Participação em banca de Daniel Gomes Mesquita. **Contribuições para Reconfiguração Parcial e Remota de FPGAs**. 2001. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: FPGA; Reconfiguração Parcial; Reconfiguração Dinâmica.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Referências adicionais: Brasil/Português.
 Dissertação apresentada e aprovada em XX/XX/200X. Homologada em XX/XX/200X (Ata 0XX/200X).
- 11 MORAES, Fernando Gehm; ROSE, César Augusto Fonticelha de; AZEVEDO, Dario Francisco G de; CALAZANS, Ney Laert Vilar; RIBAS, Renato Perez. Participação em banca de Ewerton Artur Cappelatti. **Implementação do Padrão de Barramento PCI para Interação Hardware/Software em Dispositivos Reconfiguráveis**. 2001. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: PCI; Barramentos Padrão; Projeto Integrado de Software e Hardware; FPGA; IP core.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Referências adicionais: Brasil/Português.
 Dissertação apresentada e aprovada em XX/XX/200X. Homologada em XX/XX/200X (Ata 0XX/200X).
- 12 BARROS, Edna Natividade da Silva; CALAZANS, Ney Laert Vilar. Participação em banca de Marcus Vinicius Duarte dos Santos. **Sistema de Infusão Intravenosa: Um Estudo de Caso de Software/Hardware Codesign**. 1997. Dissertação (Mestrado em Engenharia Elétrica) - Universidade Federal de Pernambuco.
 Palavras-chave: Infusão Intravenosa; Projeto Integrado de Software e Hardware; FPGA.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Referências adicionais: Brasil/Português.
- 13 SUSIN, Altamiro Amadeu; WAGNER, Flávio Rech; CALAZANS, Ney Laert Vilar; JACOBI, Ricardo Pezzuol. Participação em banca de Carlos Antônio Alba Pinto. **Sistema de Geração de Microcontroladores para Aplicações Específicas**. 1996. Dissertação (Mestrado em Ciência da Computação) - Universidade Federal do Rio Grande do Sul.
 Palavras-chave: Projeto Integrado de Software e Hardware; Compiladores; Microcontroladores.
 Áreas do conhecimento: Hardware; Microeletrônica.

Referências adicionais: Brasil/Português.

- 14 WAGNER, Flávio Rech; GOLENDZINER, Lia Goldstein; CALAZANS, Ney Laert Vilar; WEBER, Taisy Silva. Participação em banca de Sandro Neves Soares. **Sistema Gerenciador de Documentação de Projeto**. 1996. Dissertação (Mestrado em Ciência da Computação) - Universidade Federal do Rio Grande do Sul.
Palavras-chave: Gerenciamento de Projeto; Projeto de Sistemas Digitais; Arcabouços de Projeto; Documentação de Projeto.
Áreas do conhecimento: Hardware; Microeletrônica.
Referências adicionais: Brasil/Português.
- 15 WEBER, Taisy Silva; WAGNER, Flávio Rech; CALAZANS, Ney Laert Vilar; WEBER, Raul Fernando. Participação em banca de Fabiano Passuelo Hessel. **Descrição e Síntese de Concorrência em VHDL**. 1995. Dissertação (Mestrado em Ciência da Computação) - Universidade Federal do Rio Grande do Sul.
Palavras-chave: VHDL; Concorrência; Linguagens de Descrição de Hardware.
Áreas do conhecimento: Hardware; Microeletrônica.
Setores de aplicação: Fabricação de material eletrônico básico.
Referências adicionais: Brasil/Português.
- 16 WAGNER, Flávio Rech; PORTO, Ingrid Eleonora Schreiber Jansch; GOLENDZINER, Lia Goldstein; CALAZANS, Ney Laert Vilar; WEBER, Taisy Silva. Participação em banca de Gleiber Fernandes Royes. **Um Gerenciador Automático para o Projeto de Sistemas Digitais**. 1995. Dissertação (Mestrado em Ciência da Computação) - Universidade Federal do Rio Grande do Sul.
Palavras-chave: Arcabouços de Projeto; Gerenciamento de Projeto; Projeto de Sistemas Digitais.
Áreas do conhecimento: Hardware; Microeletrônica.
Referências adicionais: Brasil/Português.
- 17 BARONE, Dante Augusto Couto; CALAZANS, Ney Laert Vilar; WEBER, Taisy Silva; WAGNER, Tiaraju Vasconcellos. Participação em banca de Eduardo do Valle Simões. **FLECHA - Uma Matriz FPGA para a Prototipação Rápida de Circuitos Integrados**. 1994. Dissertação (Mestrado em Ciência da Computação) - Universidade Federal do Rio Grande do Sul.
Palavras-chave: FPGA; Matriz de Portas; Prototipação Rápida.
Áreas do conhecimento: Hardware; Microeletrônica.
Setores de aplicação: Fabricação de material eletrônico básico.
Referências adicionais: Brasil/Português.

10.1.2 Teses

- 1 STRUM, Marius; RANZINI, Edith; AMAZONAS, José Roberto de Almeida; LIMA, Manoel Eusébio de; CALAZANS, Ney Laert Vilar. Participação em banca de Duarte Lopes de Oliveira. **Miriã: Uma Ferramenta para a Síntese de Controladores Assíncronos Multi-Rajada**. 2004. Tese (Doutorado em Engenharia Elétrica [Sp-Capital]) - Universidade de São Paulo.
Palavras-chave: Circuitos Assíncronos; CAD; Controladores Assíncronos.
Áreas do conhecimento: Sistemas de Computação; Hardware.
Setores de aplicação: Fabricação de material eletrônico básico.
Referências adicionais: Brasil/Português.
Tese apresentada e aprovada em 29/10/2004.
- 2 BAMPI, Sergio; MONTEIRO, José Carlos Alves Pereira; CARRO, Luigi; CALAZANS, Ney Laert Vilar. Participação em banca de Eduardo Antonio César da Costa. **Operadores Aritméticos de Baixo Consumo para Arquiteturas de Circuitos de Circuitos DSP**. 2002. Tese (Doutorado em Ciência da Computação) - Universidade Federal do Rio Grande do Sul.
Palavras-chave: Baixa Potência; Operadores Aritméticos; Baixo Consumo; DSP.
Áreas do conhecimento: Hardware; Arquitetura de Sistemas de Computação.
Setores de aplicação: Fabricação de equipamentos de informática e máquinas para escritório.
Referências adicionais: Brasil/Português.
Apresentada e aprovada no dia 30/08/2002.
- 3 TORRES, Lionel; SUSIN, Altamiro Amadeu; CALAZANS, Ney Laert Vilar; REIS, Ricardo Augusto da Luz; ENGEL, Paulo. Participação em banca de Rolf Fredi Molz. **Uma Metodologia para o Desenvolvimento de Aplicações de Visão Computacional Utilizando Projeto Conjunto de Hardware e Software**. 2001. Tese (Doutorado em Ciência da Computação) - Universidade Federal do Rio Grande do Sul.
Palavras-chave: Visão Computacional; Hardware Reconfigurável; FPGA.
Áreas do conhecimento: Hardware.
Referências adicionais: Brasil/Português.
Tese defendida e aprovada em 17/09/2001.

10.1.3 Trabalhos de Conclusão de Curso de Graduação

- 1 CALAZANS, Ney Laert Vilar; MORAES, Fernando Gehm. Participação em banca de Everton Alceu Carara. **Arquiteturas para Roteadores de Redes Intra-chip**. 2004. Trabalho de Conclusão de Curso (Graduação em Bacharelado Em Ciência da Computação) - Pontifícia Universidade Católica do Rio Grande do Sul.

Palavras-chave: Redes intra-chip; Controle de Fluxo; Arbitragem.
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Brasil/Português.
 Banca de Trabalho de Conclusão I.

- 2 MORAES, Fernando Gehm; ZORZO, Avelino Francisco; CALAZANS, Ney Laert Vilar. Participação em banca de Adriano S. R. Roza/Carlos E. D. Brum/Leonardo S. Silva. **Compilador Configurável para Processadores Embarcados**. 2001. Trabalho de Conclusão de Curso (Graduação em Bacharelado Em Ciência da Computação) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: Compilador Configurável; Processadores Embarcados.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Referências adicionais: Brasil/Português.
- 3 MORAES, Fernando Gehm; MARCON, César Augusto Missio; CALAZANS, Ney Laert Vilar. Participação em banca de Alexandre Amory/Juracy Petrini Jr.. **Sistema Integrado e Multiplataforma para Controle Remoto de Residências**. 2000. Trabalho de Conclusão de Curso (Graduação em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: Domótica; Barramento CAN; Automação de Residências.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Referências adicionais: Brasil/Português.
- 4 BEZERRA, Eduardo Augusto; MORAES, Fernando Gehm; CALAZANS, Ney Laert Vilar. Participação em banca de Aguinaldo Fagundes Jr., Gustavo L. C. Borges. **C2I - Controlador de Infusão Intravenosa: Uma Implementação Distribuída de Baixo Custo de Sistema IVICS**. 1998. Trabalho de Conclusão de Curso (Graduação em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: Infusão Intravenosa; FPGA.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Referências adicionais: Brasil/Português.
- 5 OLIVEIRA, João Batista; CALAZANS, Ney Laert Vilar. Participação em banca de Eduardo V. Zago, Gustavo E. Baptista, Ivan Santa Maria Filho. **Manipulador Simbólico de Expressões Algébricas - Simplificação e Cálculo de Gradientes**. 1997. Trabalho de Conclusão de Curso (Graduação em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: Expressões Algébricas; Cálculo de Gradientes; Linguagens de Programação.
 Áreas do conhecimento: Hardware.
 Referências adicionais: Brasil/Português.
- 6 BEZERRA, Eduardo Augusto; CALAZANS, Ney Laert Vilar. Participação em banca de Cleverson Borges Sutil, Paulo Ricardo Lopes. **Protótipo de um Terminal de Decodificação de Código de Barras para Utilização em Ambiente de Redes**. 1997. Trabalho de Conclusão de Curso (Graduação em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: Códigos de Barra; Prototipação Rápida; FPGA; Redes de Computadores.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Português.
- 7 TODT, Eduardo; CALAZANS, Ney Laert Vilar. Participação em banca de Daniel Antonio Callegari. **Sistema Experimental Fuzzy Logic: Carregador Rápido de Baterias NiCd**. 1997. Trabalho de Conclusão de Curso (Graduação em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: Fuzzy Logic; Lógica Difusa; Baterias NiCd; Carregador de Baterias.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Brasil/Português.
- 8 BECKER, Bertilo Frederico; NAVAUX, Philippe Olivier Alexander; CALAZANS, Ney Laert Vilar. Participação em banca de Rafael Ramos dos Santos. **Projeto de um Sistema de Entrada e Saída para uma Arquitetura Matricial**. 1994. Trabalho de Conclusão de Curso (Graduação em Bacharelado Em Informática) - Pontifícia Universidade Católica do Rio Grande do Sul.
 Palavras-chave: Arquitetura de Computadores; Arquitetura Matricial; SIMD; Processamento Paralelo.
 Áreas do conhecimento: Hardware.
 Referências adicionais: Brasil/Português.

10.1.4 Outros tipos

- 1 CALAZANS, Ney Laert Vilar; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu; REIS, Ricardo Augusto da Luz. Participação em banca de José Carlos Sant'Anna Palma. **Impacto de Técnicas de Codificação de Dados sobre o Consumo de Potência em Networks-on-Chip**. 2006. Outra participação (Programa de Pós-Graduação em Computação) - Universidade Federal do Rio Grande do Sul.
 Palavras-chave: Codificação; Potência; Networks on Chip.
 Áreas do conhecimento: Sistemas de Computação; Arquitetura de Sistemas de Computação.
 Referências adicionais: Brasil/Português.

Proposta apresentada e aprovada em 07/07/2006. Tese orientada por Ricardo Augusto da Luz Reis e co-orientada por Fernando Gehm Moraes (PUCRS).

- 2 WAGNER, Flávio Rech; CALAZANS, Ney Laert Vilar; CARRO, Luigi; SUSIN, Altamiro Amadeu. Participação em banca de Sandro Neves Soares. **T&D-Bench+ - Um ambiente de modelagem e simulação de processadores**. 2003. Outra participação (Programa de Pós-Graduação em Computação) - Universidade Federal do Rio Grande do Sul.
Palavras-chave: Ambientes de Ensino; Arquitetura de Computadores; Organização de Computadores; Simuladores de processadores.
Áreas do conhecimento: Hardware; Arquitetura de Sistemas de Computação.
Setores de aplicação: Educação superior.
Referências adicionais: Brasil/Português.
Banca de Proposta de Tese apresentada e aprovada em 27/03/2003.
- 3 BAMPI, Sergio; SUSIN, Altamiro Amadeu; MONTEIRO, José Carlos Alves Pereira; CALAZANS, Ney Laert Vilar; REIS, Ricardo Augusto da Luz. Participação em banca de Eduardo Antonio César da Costa. **Exploração Arquitetural para a Redução do Consumo de Potência em Circuitos Lógicos**. 2001. Outra participação (Programa de Pós-Graduação em Computação) - Universidade Federal do Rio Grande do Sul.
Palavras-chave: Circuitos Digitais; Potência; Redução de Consumo.
Áreas do conhecimento: Sistemas de Telecomunicações.
Setores de aplicação: Fabricação de material eletrônico básico.
Referências adicionais: Brasil/Português.
Banca de Proposta de Tese. Candidato apresentou proposta, aprovada.
- 4 ENGEL, Paulo Martins; MORAES, Fernando Gehm; SUSIN, Altamiro Amadeu; CARRO, Luigi; CALAZANS, Ney Laert Vilar. Participação em banca de Rolf Fredi Molz. **Proposta de um Sistema Configurável para o Desenvolvimento de Aplicações de Visão Computacional em Tempo Real**. 2000. Outra participação (Programa de Pós-Graduação em Computação) - Universidade Federal do Rio Grande do Sul.
Palavras-chave: Visão Computacional; FPGA; Hardware Reconfigurável.
Áreas do conhecimento: Hardware.
Referências adicionais: Brasil/Português.
Banca de Proposta de Tese apresentada e aprovada.
- 5 SUSIN, Altamiro Amadeu; WAGNER, Flávio Rech; CALAZANS, Ney Laert Vilar; REIS, Ricardo Augusto da Luz; WEBER, Taisy Silva. Participação em banca de Luigi Carro. **Ambiente e Algoritmos para o Desenvolvimento de Sistemas Computacionais**. 1994. Outra participação (Programa de Pós-Graduação em Computação) - Universidade Federal do Rio Grande do Sul.
Palavras-chave: Sistemas Computacionais; Arquitetura de Sistemas Digitais; Codesign.
Áreas do conhecimento: Hardware; Microeletrônica.
Referências adicionais: Brasil/Português.
Banca de Proposta de Tese. Candidato apresentou proposta, aprovada.

10.2 PARTICIPAÇÃO EM BANCAS DE COMISSÕES JULGADORAS

10.2.1 Outras participações

- 1 **Comissão responsável pela organização e condução do processo de promoção de professores da Faculdade de Informática da PUCRS**. 2003., Pontifícia Universidade Católica do Rio Grande do Sul.
Palavras-chave: Promoção de Professores; Comissão de Promoções.
Áreas do conhecimento: Sistemas de Computação.
Setores de aplicação: Educação superior.
Referências adicionais: Brasil.
Processo de Promoção de Professores com duas vagas para professor titular a serem preenchidas: uma por antigüidade e uma por merecimento, nesta ordem.

10.3 PARTICIPAÇÃO EM EVENTOS

- 1 **18th Symposium on Integrated Circuits and Systems Design**. 2005. (Participação em eventos/Simpósio).
Palavras-chave: Microeletrônica; Sistemas Digitais.
Áreas do conhecimento: Sistemas de Computação; Arquitetura de Sistemas de Computação.
Referências adicionais: Brasil; Nome do evento: 18th Symposium on Integrated Circuits and Systems Design; Nome da instituição promotora: SBC; Local: SC; Cidade: Florianópolis.
- 2 **Design Automation and Test in Europe - DATE**. 2005. (Participação em eventos/Congresso).
Palavras-chave: Design Automation; Microelectronics; Digital Systems; Computer Aided design.
Áreas do conhecimento: Sistemas de Computação; Arquitetura de Sistemas de Computação.
Referências adicionais: Brasil; Nome do evento: Design Automation and Test in Europe - DATE; Nome da instituição promotora: ACM - IEEE - EDAA; Local: Alemanha; Cidade: Munique.
- 3 **17th Symposium on Integrated Circuits and Systems Design**. 2004. (Participação em eventos/Simpósio).

Áreas do conhecimento: Sistemas de Computação; Hardware.

Referências adicionais: Brasil; Nome do evento: 17th Symposium on Integrated Circuits and Systems Design; Nome da instituição promotora: SBC; Local: PE; Cidade: Ipojuca.

- 4 **16th Symposium on Integrated Circuits and Systems Design. 2003.** (Participação em eventos/Simpósio).
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Brasil; Nome do evento: 16th Symposium on Integrated Circuits and Systems Design; Nome da instituição promotora: SBC; Local: São Paulo; Cidade: São Paulo.

- 5 **15th Symposium on Integrated Circuits and Systems Design. 2002.** (Participação em eventos/Simpósio).
 Áreas do conhecimento: Sistemas de Computação; Hardware.
 Referências adicionais: Brasil; Nome do evento: 14th Symposium on Integrated Circuits and Systems Design; Nome da instituição promotora: SBC; Local: RS; Cidade: Porto Alegre.

- 6 **19o. Simpósio Brasileiro de Telecomunicações. 2001.** (Participação em eventos/Simpósio).
 Palavras-chave: Telecomunicações; Redes de Computadores.
 Áreas do conhecimento: Sistemas de Telecomunicações.
 Referências adicionais: Brasil; Nome do evento: 19o. Simpósio Brasileiro de Telecomunicações; Nome da instituição promotora: Sociedade Brasileira de Telecomunicações - SBrT; Local: Hotel Othon Palace; Cidade: Fortaleza.
 Participação como apresentador de pôster.

- 7 **VII Workshop Iberchip. 2001.** (Participação em eventos/Oficina).
 Palavras-chave: Circuitos Integrados; Projeto de Sistemas Digitais; CAD para Sistemas Digitais.
 Áreas do conhecimento: Sistemas de Telecomunicações.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Uruguai; Nome do evento: VII Workshop Iberchip; Nome da instituição promotora: CYTED - Iberchip; Cidade: Montevideú.
 Participação como palestrante apresentador de trabalho em Sessão Técnica.

- 8 **14th Symposium on Integrated Circuits and Systems Design. 1999.** (Participação em eventos/Simpósio).
 Palavras-chave: Integrated Circuits; Digital Circuit Design.
 Áreas do conhecimento: Sistemas de Telecomunicações.
 Referências adicionais: Brasil; Nome do evento: 14th Symposium on Integrated Circuits and Systems Design; Nome da instituição promotora: SBC; Local: Hotel Pousada dos Pireneus; Cidade: Pirenópolis.

- 9 **1999 Frontiers in Education Conference. 1999.** (Participação em eventos/Congresso).
 Palavras-chave: Engineering Education; Computer Science Education.
 Referências adicionais: Estados Unidos; Nome do evento: Frontiers in Education Conference; Nome da instituição promotora: ASEE e IEEE; Local: Condado Plaza Hotel; Cidade: San Juan.
 Participação como palestrante apresentador de trabalho em Sessão Técnica.

- 10 **V Workshop IBERCHIP. 1999.** (Participação em eventos/Oficina).
 Palavras-chave: Sistemas Digitais; Projeto de Sistemas Eletrônicos; Projeto de Circuitos Integrados.
 Áreas do conhecimento: Sistemas de Telecomunicações.
 Referências adicionais: Peru; Nome do evento: V Workshop Iberchip; Nome da instituição promotora: CYTED - Iberchip; Cidade: Peru.
 Participação como palestrante apresentador de trabalho em Sessão Técnica.

- 11 **XXIII Conferência Latinoamericana de Informática. 1997.** (Participação em eventos/Congresso).
 Palavras-chave: Informática.
 Áreas do conhecimento: Sistemas de Telecomunicações.
 Referências adicionais: Chile; Nome do evento: XXIII Conferência Latinoamericana de Informática; Nome da instituição promotora: CLEI; Cidade: Valparaíso.
 Participação como palestrante apresentador de trabalho em Sessão Técnica.

- 12 **International Conference on Computer-Aided Design - ICCAD-94. 1994.** (Participação em eventos/Congresso).
 Palavras-chave: Computer Aided design; CAD; Projeto de Sistemas Eletrônicos.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Estados Unidos; Nome do evento: International Conference on Computer-Aided Design - ICCAD; Nome da instituição promotora: IEEE e ACM; Local: Red Lion Hotel; Cidade: San Jose.
 Participação como palestrante apresentador de trabalho em Sessão Técnica.

- 13 **European Design Automation Conference - EDAC-92. 1992.** (Participação em eventos/Congresso).
 Palavras-chave: CAD; Projeto de Sistemas Eletrônicos.
 Áreas do conhecimento: Hardware; Microeletrônica.
 Setores de aplicação: Fabricação de material eletrônico básico.
 Referências adicionais: Bélgica; Nome do evento: European Design Automation Conference - EDAC; Nome da instituição promotora: IEEE; Local: Palais des Congrès; Cidade: Bruxelas.
 Participação como palestrante apresentador de trabalho em Sessão Técnica.

- 14 **IFIP International Workshop on Application-Oriented Synthesis. 1992.** (Participação em eventos/Oficina).
 Palavras-chave: Integrated Circuits; Automated Synthesis.

Áreas do conhecimento: Sistemas de Telecomunicações.

Referências adicionais: Alemanha; Nome do evento: IFIP International Workshop on Application-Oriented Synthesis; Nome da instituição promotora: IFIP; Cidade: Dresden.

10.4 ORIENTAÇÕES EM ANDAMENTO

10.4.1 Mestrado

- 1 PONTES, Julian José Hilgemberg. **Redes Intra-chip não-síncronas: implementação e prototipação.** Início:2006. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul, Coordenação de Aperfeiçoamento de Pessoal de Nível Superior. (Orientador).
Palavras-chave: Redes intra-chip; NoCs; GALS; Circuitos Assíncronos.
Áreas do conhecimento: Sistemas de Computação; Arquitetura de Sistemas de Computação.
Referências adicionais: Brasil/Português.
Mestrado iniciado, em andamento
- 2 DISCONZI, Rosana Perazzolo. **Síntese Comportamental e Redes Intrachip: da captura do projeto ao leiaute do chip.** Início:2005. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico. (Orientador).
Palavras-chave: Síntese Comportamental; Circuitos Integrados; Síntese Física; Redes Intrachip.
Áreas do conhecimento: Sistemas de Computação; Hardware.
Referências adicionais: Brasil/Português.
Plano de Estudos e Pesquisa aprovado, trabalho em andamento.
- 3 SCHERER JUNIOR, Carlos Adail. **Topologias de Redes Intrachip: Exploração e Avaliação de Desempenho.** Início:2005. Dissertação (Mestrado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico. (Orientador).
Palavras-chave: Redes Intrachip; Topologias de redes; Avaliação de Desempenho.
Áreas do conhecimento: Sistemas de Computação; Hardware.
Referências adicionais: Brasil/Português.
Plano de Estudos e Pesquisa aprovado, trabalho em andamento.

10.4.2 Doutorado

- 1 SOARES, Rafael Iankowski. **Modelagem Abstrata e Implementação de Arquiteturas de Comunicação Intra-chip.** Início:2006. Tese (Doutorado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul. (Orientador).
Áreas do conhecimento: Sistemas de Computação; Arquitetura de Sistemas de Computação.
Referências adicionais: Brasil/Português.
- 2 MORENO, Edson Ifarraguirre. **Compromissos entre Modelos Abstratos e Concretos em Sistemas Embarcados.** Início:2005. Tese (Doutorado em CIÊNCIA DA COMPUTAÇÃO) - Pontifícia Universidade Católica do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico. (Orientador).
Palavras-chave: Comunicação Intrachip; Modelos Abstratos de Hardware.
Áreas do conhecimento: Sistemas de Computação; Hardware.
Referências adicionais: Brasil/Português.

11 INDICADORES DE PRODUÇÃO

Produção bibliográfica

Artigos publicados em periódicos - 7
Completos - 7

Trabalhos em eventos - 72
Completos - 65
Resumos - 3
Resumo expandido - 4

Livros e capítulos - 5
Livros publicados - 1
Capítulos de livros publicados - 4

Produção técnica

Softwares - 1
Softwares sem registro ou patente - 1

Trabalhos técnicos - 20

Demais tipos de produção técnica - 2

Orientações concluídas

Mestrado - 9

 Orientador principal - 9

Doutorado - 1

 Co-orientador - 1

Graduação - 5

Iniciação científica - 15

Dados complementares

Participação em bancas examinadoras - 33

Participação em bancas de comissões julgadoras - 1

Participação em eventos - 14

Orientações em andamento - 5