

ESCOLA: Escola Politécnica

DISCIPLINA: Organização e Arquitetura de Processadores

CÓDIGO: 98G03

CRÉDITOS: 04

SEMESTRE: 2022/2

CARGA HORÁRIA: Total: 60 hs **Presencial** **On-line**

PROFESSOR (ES)

NOME	E-MAIL
Ney Laert Vilar Calazans	ney.calazans@pucrs.br

EMENTA: Apresentação de modelos gerais para arquiteturas e organização de computadores. Introdução aos elementos definidores de uma arquitetura de processador: conjunto de registradores, conjunto de instruções, formatos de instrução, modos de endereçamento, linguagem de montagem, modelo de acesso a memória, programação em linguagem de montagem. Uso de linguagens de descrição de hardware para especificar processadores. Estudo do modelo bloco de dados-bloco de controle para o projeto de processadores. Implementação de módulos de sistemas computacionais de processadores.

OBJETIVOS DE APRENDIZAGEM/COMPETÊNCIAS

O cumprimento da disciplina busca dar ao aluno, ao final do semestre, condições de:

1. Relacionar conceitos básicos de sistemas digitais com os conceitos abstratos subjacentes a arquiteturas e organizações de processadores.
2. Aprender os conceitos fundamentais relacionados a conjuntos de instruções de processadores, à linguagem de montagem destes e à linguagem objeto subjacente.
3. Dominar a programação de um processador usando sua linguagem de montagem.
4. Relacionar o código de programas escritos em linguagens de alto nível com o código em linguagem de montagem equivalente a este, para um processador dado.
5. Estender o domínio da arquitetura e organização de um processador à compreensão de conceitos de processadores em geral.
6. Compreender como uma organização de processador executa programas escritos em linguagem de montagem.
7. Distinguir os componentes do bloco de dados e do bloco de controle de um processador quanto a função, composição e estrutura.

8. Compreender a estrutura de hardware de organizações de processadores em linhas gerais e associar corretamente diagramas de blocos a descrições destes em modelos executáveis.
9. Compreender um conjunto de conceitos fundamentais úteis para aumentar o desempenho de processadores, incluindo o uso de paralelismo de execução em hardware e aceleradores de hardware específicos.
10. Entender os fundamentos e algumas das abstrações relacionados a operações de entrada e saída e a hierarquias de memória em processadores.

PROCEDIMENTOS METODOLÓGICOS

A Unidade 01 comporta 30% da disciplina. Os itens 1.1 e 1.2 desta Unidade são cobertos em sequência, e o item 1.3 perpassa a abordagem do item 1.2. O item 1.1 é a base da Unidade, ele caracteriza uma arquitetura de processador como um conjunto de seis abstrações que interagem para definir a visão arquitetural de um hardware que executa software. O item 1.2, por outro lado, baseia-se em um estudo de caso de processador (recomenda-se o uso de um processador real, tal como o MIPS, uma arquitetura RISC) e explora em detalhe a programação deste em linguagem de montagem. Uma abordagem diferencial é empregada para mostrar como decisões arquiteturais em diferentes processadores levam a diferentes características operacionais, usando o processador alvo de estudo e o comparando com outro(s) processador(es). Os alunos realizam um trabalho prático onde pesquisam um processador diferente do visto em aula. Para o item 1.3, recomenda-se o uso de uma linguagem de programação de alto nível ou pseudocódigo, desde que a escolha contenha estruturas para definir seleção, laços, expressões aritméticas etc.

A Unidade 02 contempla 22,5% da disciplina. Esta centra esforços no estudo da organização de processadores, explorando em alguma profundidade o projeto de uma organização para um estudo de caso de arquitetura. Recomenda-se usar um subconjunto da arquitetura de processador estudada na Unidade 1. O item 2.1 desta Unidade explora classificações de organizações segundo pelo menos os dois critérios listados aqui, mas abordam-se outras. A essência da Unidade reside no item 2.2, que evolui pela transcrição dos conceitos arquiteturais em hardware que implementa estes. Isto ocorre via a apresentação de diagramas de blocos pelo professor, diagramas estes equivalentes a descrições RTL simuláveis disponibilizadas. Partindo de um subconjunto muito restrito de arquitetura, compreende-se o hardware de base. O professor mostra e faz evoluir este hardware para acomodar novas instruções e estruturas para dar suporte a uma versão mais abrangente da arquitetura de base. Reforça-se a importância de identificar e tratar separadamente os fluxos de informação de controle e de dados. O emprego do modelo Bloco de Dados/Bloco de Controle é indicado como chave.

À Unidade 03 reserva-se também 22,5% da disciplina. Após cobrir a parte essencial do curso nas Unidades 1 e 2, esta Unidade traz uma primeira exploração de dois conceitos essenciais para obter processadores modernos com desempenho aceitável. O item 3.1 esboça rudimentos de paralelismo, sobretudo no nível da execução de instruções (*instruction level parallelism* ou ILP), com a apresentação do conceito de *pipelines*. Isto toma cerca de dois terços do tempo da Unidade. O item 3.2 então explora

como acelerar em hardware o processamento numérico, em especial para representações de números racionais. Isto se faz estudando representações de ponto fixo e ponto flutuante, com ênfase nas últimas. O padrão IEEE-754 é apresentado em linhas gerais. A última parte do item consiste em apresentar como trabalhar com números em ponto flutuante em linguagem de montagem manipulando as representações estudadas.

Na Unidade 04 cabem os restantes 25% do tempo da disciplina. Esta Unidade traz conceitos essenciais para a definição da interface entre processadores e o restante do sistema que este sempre integra. O item 4.1 cobre operações de entrada e saída, explorando a interface entre hardware e software que habilita o processador a enviar e receber dados de/para o mundo exterior. A ênfase é nos tipos possíveis de interação processador-mundo exterior. O item 4.2, por outro lado, explora os rudimentos de hierarquias de memória, iniciando com a justificativa de sua existência (a disparidade de velocidades entre o processador e os diversos tipos de meios de armazenamento de informação), seguindo para a noção de memórias "escondidas" (memórias *cache* ou *cache memories*), geridas de forma automática por hardware dedicado. Deve-se enfatizar que o conteúdo desta Unidade, bem como conceitos adicionais de paralelismo são explorados em maior profundidade na disciplina posterior, Arquitetura e Organização de Computadores (98G05-04), obrigatória para alunos da Engenharia de Computação e optativa para alunos da Ciência da Computação.

O Trabalho Discente Efetivo (TDE) deve cobrir um mínimo de 10,5 horas em atividades extra-classe. Estas atividades estarão distribuídas em estudos na bibliografia, e na preparação dos trabalhos práticos da disciplina, incluindo pelo menos 4h de dedicação ao TP1 e pelo menos 6,5h no TP2.

AVALIAÇÃO

Neste semestre em particular, haverá uma modificação dos pesos típicos atribuídos a provas e trabalhos. Os pesos típicos são dados pela fórmula do grau G1 na primeira forma abaixo, onde os itens Px correspondem a notas de provas escritas individuais e TP corresponde ao conjunto de notas de trabalhos práticos realizados em grupo:

$$G1 = 0,3*P1 + 0,3*P2 + 0,4*TP.$$

Em 2022/2, ainda excepcionalmente, empregar-se-á a fórmula alternativa seguinte:

$$**G1 = 0,3*P1 + 0,2*P2 + 0,5*TP.**$$

Esta mudança se justifica pelo retorno às aulas presenciais depois de longo período com aulas na modalidade remota (sem realização de provas ao longo do semestre) e pela necessidade de adaptação paulatina aos processos de avaliação associados ao modelo presencial, com retomada gradual da valorização de avaliações individuais através de provas escritas.

A prova P1 versará sobre os conteúdos das Unidades 01 (sobretudo) e 02 (parcialmente) e a Prova P2 sobre os conteúdos das Unidades 02/03 (sobretudo) e 04 (parcialmente). Os trabalhos práticos serão em número de dois, sobre os conteúdos das Unidades 01 e 02. Em princípio, estes trabalhos possuem o mesmo peso (ou seja, cada um valendo 25% do G1).

BIBLIOGRAFIA

- **BÁSICA:**

1. PATTERSON, D.; HENNESSY, J. Organização e projeto de computadores: a interface hardware/software. 4a ed., Elsevier, 2014, 709p.
2. STALLINGS, W. **Arquitetura e organização de computadores**. 8ª ed., Pearson, 2010, 625p.
3. HENNESSY, J; PATTERSON, D. **Arquitetura de computadores: uma abordagem quantitativa**. 5ª ed., Campus, 2014, 744p.

- **COMPLEMENTAR:**

1. TANENBAUM, A.; AUSTIN, T. **Organização estruturada de computadores**. 6a ed., Capítulo 8 - Arquitetura de Computadores Paralelos, pp. 436-518, Pearson, 2013.
2. BAER, J.-L. **Arquitetura de Microprocessadores – do Simples Pipeline ao Multiprocessador em Chip**. 1ª ed., LTC, 2013, 326p.
3. MONTEIRO, M. **Introdução à organização de computadores**. 5a ed., LTC, 2012, 686p.
4. PEDRONI, V. **Eletrônica digital moderna e VHDL**. 1a ed., Campus, 2010, 648p.
5. PARHAMI, B. **Computer Architecture: From Microprocessors to Supercomputers**. Oxford University Press, 2014, 576p.

REFERÊNCIAS ADICIONAIS

- **SOFTWARE DE APOIO:**

1. MARS (<http://courses.missouristate.edu/kenvollmar/mars>) ou similar, i.e. ambientes de suporte a captura e simulação de programas escritos em linguagem de montagem de um processador selecionado.
2. Vivado, ModelSim ou similares, i. e. ambientes de captura, simulação e/ou prototipação de circuitos e sistemas digitais descritos em linguagem de descrição de hardware.

CRONOGRAMA DE AULAS (RESUMIDO)

#	Dia	Data	Hora	Descrição	Atividade
1	QUA	03/08/2022	CD	Apresentação da disciplina. Unidade 01	Aula
2	SEX	05/08/2022	CD	Detalhes operacionais da disciplina. Unidade 01: Arquitetura. Exemplo esclarecedor de execução de instruções por processador. O modelo dos seis elementos definitórios.	Aula
3	QUA	10/08/2022	CD	Os seis elementos definitórios de uma arquitetura (conclusão)	Aula

4	SEX	12/08/2022	CD	Especificação do TP1. Programação em linguagem de montagem do MIPS (1 de 5)	Aula
5	QUA	17/08/2022	CD	Especificação do TP1. Programação em linguagem de montagem do MIPS (2 de 5)	Aula
6	SEX	19/08/2022	CD	Especificação do TP1. Programação em linguagem de montagem do MIPS (3 de 5)	Aula
7	QUA	24/08/2022	CD	Especificação do TP1. Programação em linguagem de montagem do MIPS (4 de 5)	Aula
8	SEX	26/08/2022	CD	Especificação do TP1. Programação em linguagem de montagem do MIPS (4 de 5)	Aula
9	QUA	31/08/2022	CD	Exercícios para a P1	Aula
10	SEX	02/09/2022	CD	Prova P1	Prova
	QUA	07/09/2022	CD	Feriado (era)	Aula
11	SEX	09/09/2022	CD	Unidade 02: Organização. Um subconjunto do MIPS, MIPS-S (1 de 7). Entrega do TP1(1)	Trabalho
12	QUA	14/09/2022	CD	Especificação do TP2. Um subconjunto do MIPS, MIPS-S (2 de 7)	Aula
13	SEX	16/09/2022	CD	Um subconjunto do MIPS, MIPS-S (3 de 7)	Aula
14	QUA	21/09/2022	CD	Entrega do TP1(2). Um subconjunto do MIPS, MIPS-S (4 de 7)	Trabalho
15	SEX	23/09/2022	CD	Um subconjunto do MIPS, MIPS-S (5 de 7)	Aula
16	QUA	28/09/2022	CD	Um subconjunto do MIPS, MIPS-S (6 de 7)	Aula
17	SEX	30/09/2022	CD	Um subconjunto do MIPS, MIPS-S (7 de 7)	Aula
18	QUA	05/10/2022	CD	Unidade 03: Paralelismo Básico e Aceleradores. Pipelines (1 de 3)	Aula
19	SEX	07/10/2022	CD	Paralelismo Básico e Aceleradores. Pipelines (2 de 3)	Aula
	QUA	12/10/2022	CD	Feriado (era)	Aula
20	SEX	14/10/2022	CD	Entrega do TP2. Paralelismo Básico e Aceleradores. Pipelines (3 de 3)	Trabalho

21	QUA	19/10/2022	CD	Representações de ponto flutuante. (1 de 3)	Aula
22	SEX	21/10/2022	CD	Representações de ponto flutuante. (2 de 3)	Aula
23	QUA	26/10/2022	CD	Representações de ponto flutuante. (3 de 3)	Aula
24	SEX	28/10/2022	CD	Unidade 04	Aula
	QUA	02/11/2022	CD	Feriado (era)	Aula
25	SEX	04/11/2022	CD	Exercícios para a P2	Aula
26	QUA	09/11/2022	CD	Prova P2	Prova
27	SEX	11/11/2022	CD	Unidade 04: Tópicos adicionais - E/S e Hierarquia de memória. Entrada e Saída (1 de 2)	Aula
28	QUA	16/11/2022	CD	Entrada e Saída (2 de 2)	Aula
29	SEX	18/11/2022	CD	Hierarquia de memória (1 de 2)	Aula
30	QUA	23/11/2022	CD	Hierarquia de memória (2 de 2)	Aula
31	SEX	25/11/2022	CD	Aula de dúvidas para PS e G2	Aula
32	QUA	30/11/2022	CD	Prova PS	Prova de Substituição
33	SEX	02/12/2022	CD	Aula de dúvidas para a G2	Aula
	QUA	07/12/2022	CD	Prova de G1	Prova de G2
	SEX	09/12/2022	CD		Aula