

1) Carlos Olmes e Drielle Teixeira - 5,8

- Projetos 1 e 2 ok (2,0)

- Relatório: Não entregaram (0,0)

- No projeto 3, a versão sem hierarquia está correta. Contudo, o testbench é simples demais. Na maior parte da operação testam o efeito dos sinais de controle preset e reset. O clock tem uma transição de subida em vários momentos quando seu efeito é sobreposto pelo efeito dos sinais de preset ou reset. Para completar as bordas de subida do clock ativas quando preset e reset estão ambos em '1' (as duas últimas do testbench) escrevem '0' onde já existia '0', ou seja, sua ação não pode ser percebida na forma de onda. Isto indica claramente que os alunos não parecem ter entendido como o hardware opera. (1,2)

- No Projeto 3, a versão hierárquica que instancia portas NAND de 3 entradas a implementação está correta. Contudo, o testbench é simples demais. Na maior parte da operação testam o efeito dos sinais de controle preset e reset. Apenas em um ponto da forma de onda há uma operação que escreve '1' no FF, usando a borda de subida do clock. Não houve escrita de '0' com o clock. Nomenclatura dos arquivos e das entidades e arquiteturas dificulta a compreensão da descrição de hardware. (1,4)

- No projeto 3, a versão hierárquica que instancia latches a implementação está correta. Contudo, o testbench está com erros que impedem a execução da simulação a partir do momento 20ns. O fato é que violou-se a regra de que quando a borda ativa do clock ocorre, nenhum sinal por ele controlado pode mudar ao mesmo tempo (a entrada d muda em 20ns, ao mesmo tempo em que o clock sobe, o que dá erro na simulação). (1,2)

2) Leonardo Caminha e Matheus Almeida (Cancelou) - 9,5

- Projetos 1 e 2 ok. (2,0)

- Relatório: As formas de onda do Projeto 1 estão incorretas. Trata-se de um somador de dois valores de 1 bit apenas, e a forma de onda apresentada mostra o comportamento de um somador de 4 bits, demonstrando no mínimo distração, talvez falta de compreensão de como interpretar formas de onda. Um detalhe do texto do relatório - a expressão (A and B and C) em VHDL, não representa duas ANDs de duas entradas, mas uma AND de três coisas (não existe ordem associada a operadores lógicos). (1,7)

- Implementações do Projeto 3 bem feitas e funcionando ok. Testbench razoável, testando operações de preset, reset e ações síncronas de escrever '1' e '0' no flip-flop, usando o mesmo testbench para testar as duas implementações. Poderiam ter incluído o arquivo .wcfg com as formas de onda. O teste não simula uma situação, entretanto: escrever síncronamente um '0' quando o FF está armazenando um '1'. (5,8)

3) Matheus Schneider e Vitor Beckenkamp - 4,2

- Projetos 1 e 2 ok. (2,0)

- Relatório: Um tanto pobre ao explicar os experimentos, sobretudo o projeto 3. (1,0)

- Projeto 3: Somente realizaram a implementação não-hierárquica. O testbench desta apenas produz duas bordas de clock, e a figura mostra uma parte da simulação onde não há variação de qualquer entrada, estando o sinal preset desativado e o sinal clear (reset) ativado. Não mostraram as saídas do FF no testbench, sequer colocam o port map das saídas no TB. Não parecem ter compreendido quase nada do problema. (1,2)