

## Comunicação Intra-chip Não Síncrona

Paradigmas de projeto de hardware para futuras tecnologias

Ney Laert Vilar Calazans

Setembro, 2007



## Sumário

- 0 - Motivação
- 1 - Redes Intra-chip
- 2 - Um Estudo de Caso e Representações
- 3 - Síncronos versus Assíncronos
- 4 - Taxonomias Assíncronas
- 5 - Um Estilo de Projeto Assíncrono



## 0 - Motivação

*“By the end of the decade, SOCs using 50-nm transistors operating below one volt, will grow to 4 billion transistors running at 10GHz”*

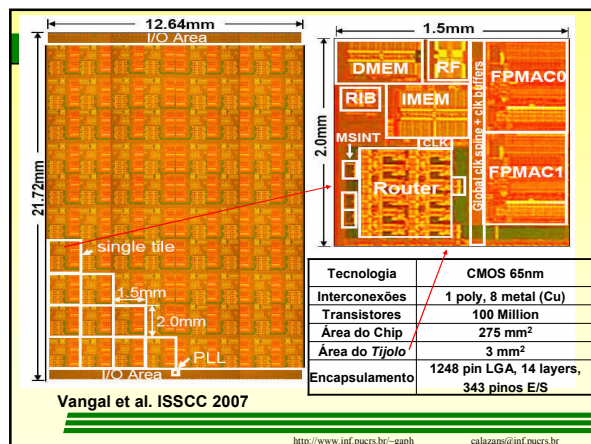
International Technology Roadmap for Semiconductors

## 0 - Motivação – Comunicação Intra-chip

→ Vejamos o link:

<http://techresearch.intel.com/articles/Tera-Scale/1449.htm>

- ♦ Um chip com 80 processadores!
- ♦ Como eles se comunicam?
  - ◆ Um barramento?
  - ◆ Todos com todos?
  - ◆ Enlaces dedicados?
  - ◆ Não uma Rede Intra-chip!!
    - Forma de conexão intermediária entre barramento e todos com todos!
    - Empresta conceitos de redes de computadores, telecomunicações e sistemas distribuídos
    - É diferente de todos estes!!



## 0 - Motivação – Comunicação Intra-chip

→ Redes Intra-chip (NoC): Criação Intel?

- ♦ Não, pesquisa em NoCs desde 2000!
  - ◆ França (Guerrier/Greiner), Suécia (Janstch et al.)
- ♦ O GAPH propôs uma primeira NoC em 2002!
  - ◆ NoC Hermes:
    - Best Conceptual Design – DATE 2005
    - I Xilinx University Program Contest 2004 – 1st Prize

→ Outros links:

- ♦ <http://www.cl.cam.ac.uk/~rdm34/onChipNetBib/noc.html>
- ♦ Apresentação do Prof. Dr. Giovanni de Micheli (NoC'07)
- ♦ [http://www.tilera.com/pdf/ProBrief\\_Tile64\\_Web.pdf](http://www.tilera.com/pdf/ProBrief_Tile64_Web.pdf)

0 - Motivação – Sistemas Não-síncronos

→ Afinal, o que é um circuito síncrono?

Memórias

Estrutura Geral

Circuitos combinacionais

Entradas

Saídas

Relógio (Clock)

Relógio

<http://www.inf.pucrio.br/~gaph> [calazans@inf.pucrio.br](mailto:calazans@inf.pucrio.br)

0 - Motivação – Sistemas Não-síncronos

Pressupostos Operacionais

Relógio

X

Tempo de Hold

Tempo de Setup

Violação de Hold

Violação de Setup

Tempo de Setup – tempo mínimo para que entradas estabilizem antes da transição do sinal para relógio

Tempo de Hold – tempo mínimo que entradas devem ficar estáveis após uma transição do sinal para relógio

<http://www.inf.pucrio.br/~gaph> [calazans@inf.pucrio.br](mailto:calazans@inf.pucrio.br)

0 - Motivação – Sistemas Não-síncronos

Vantagens do Projeto Síncrono

- 1 - Abstração de atrasos durante o projeto
- 2 - Facilidade de decomposição
- 3 - Abstração de eventos espúrios (devido à propagação diferenciada)
- 4 - Total eliminação de corridas
- 5 - Manipulações Booleanas e algébricas diretas

<http://www.inf.pucrio.br/~gaph> [calazans@inf.pucrio.br](mailto:calazans@inf.pucrio.br)

0 - Motivação – Sistemas Não-síncronos

Inconvenientes do Projeto Síncrono

- 1 - Escorregamento de relógio
- 2 - Potencial para desperdiçar energia
- 3 - Desempenho de pior caso
- 4 - Baixa propensão à migração tecnológica
- 5 - Inadaptabilidade à variações de propriedades físicas como tensão de alimentação
- 6 - Tratamento do fenômeno de meta-estabilidade

<http://www.inf.pucrio.br/~gaph> [calazans@inf.pucrio.br](mailto:calazans@inf.pucrio.br)

0 - Motivação – Sistemas Não-síncronos

Nas tecnologias modernas, temos (Gráfico de Ho et al. 2001, artigo "The Future of Wires Proc. of the IEEE):

Estado da Arte hoje: 65nm

Reachable distance per clock (mm)

Chip edge

Global

Semi-global

Technology  $L_{drawn}$  ( $\mu\text{m}$ )

Ou seja, gasta-se hoje no mínimo 3 ciclos para o sinal de relógio atravessar um chip do estado da arte! Logo, como usar projeto síncrono? Evitar este problema é **muito caro!** Além disso, pode-se gastar **60-70%** da energia consumida pelo chip só com o relógio!

<http://www.inf.pucrio.br/~gaph> [calazans@inf.pucrio.br](mailto:calazans@inf.pucrio.br)

0 - Motivação – Comunicação Intra-chip Não-síncrona

- Vale a pena investigar comunicação Intra-chip
- É útil pensar nas interfaces entre diferentes módulos de um chip → elas podem limitar o desempenho ou não
- Projeto síncrono está chegando ao limite, quais alternativas existem?
- Que suporte projeto não síncrono possui ou exige? Este suporte existe? Síncronos têm dezenas de anos de desenvolvimento de CAD ou EDA por trás

<http://www.inf.pucrio.br/~gaph> [calazans@inf.pucrio.br](mailto:calazans@inf.pucrio.br)

## Sumário

- ✓ 0 - Motivação
- ➔ 1 - Redes Intra-chip
- ➔ 2 - Um Estudo de Caso e Representações
- ➔ 3 - Síncronos versus Assíncronos
- ➔ 4 - Taxonomias Assíncronas
- ➔ 5 - Um Estilo de Projeto Assíncrono

http://www.inf.pucre.br/~gaph calazans@inf.pucre.br

## 1 - Redes Intra-chip

Arquitetura de comunicação baseada em enlaces chaveados que interligam os núcleos

http://www.inf.pucre.br/~gaph calazans@inf.pucre.br

## 1 - Redes Intra-chip

Habilita múltiplas comunicações simultâneas embora não todas imagináveis

http://www.inf.pucre.br/~gaph calazans@inf.pucre.br

## 1 - Redes Intra-chip

➔ Tipicamente, cada enlace é constituído por dois canais unidireccionais opostos e cada canal pode incluir

- ♦ Canal de dados paralelo (ex. 32 bits)
- ♦ Sinais de enquadramento da mensagem (ou pacote)
- ♦ Sinais de paridade e de sinalização de erro
- ♦ Sinais de controle de fluxo
- ♦ ...

http://www.inf.pucre.br/~gaph calazans@inf.pucre.br

## 1 - Redes Intra-chip

Cada roteador contém # buffers # chaves # controladores para - escalonamento - regulação do tráfego

http://www.inf.pucre.br/~gaph calazans@inf.pucre.br

## 1 - Redes Intra-chip

➔ Topologia

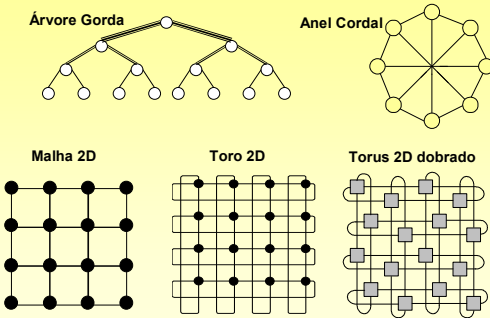
- ♦ Arranjo de roteadores e canais na forma de um grafo

➔ Tipos de topologia

- ♦ Direta
  - ◆ Malha 2-D
  - ◆ Toro ou toro dobrado 2-D
  - ◆ Anel cordal
- ♦ Indireta
  - ◆ Árvore-gorda (multi-estágio)

http://www.inf.pucre.br/~gaph calazans@inf.pucre.br

## 1 - Redes Intra-chip



Árvore Gorda      Anel Cordal

Malha 2D      Toro 2D      Torus 2D dobrado

<http://www.inf.pucre.br/~gaph>      [calazans@inf.pucre.br](mailto:calazans@inf.pucre.br)

## 1 - Redes Intra-chip

→ Modelo de comunicação = Troca de mensagens - Comunicação entre núcleos ocorre pela troca de mensagens, constituídas por:

- ◆ Cabeçalho (*header*)
  - ◆ Marca o início da mensagem → informação do caminho a ser utilizado para encaminhar a mensagem pela rede
- ◆ Carga útil (*payload*)
  - ◆ → informação a transferir (ex: dado, endereço, sinal de interrupção,...)
- ◆ Terminador (*trailer*)
  - ◆ Marca o final da mensagem e pode ser a última palavra da carga útil, detecção de erros, etc.



**Cabeçalho**

**Carga útil**

**Terminador**

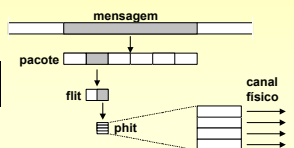
<http://www.inf.pucre.br/~gaph>      [calazans@inf.pucre.br](mailto:calazans@inf.pucre.br)

## 1 - Redes Intra-chip

→ Técnica de chaveamento: mensagens podem ser subdivididas em:

- ◆ Pacotes
  - ◆ Mais curtos que mensagens e mesma estrutura (cabeçalho + carga útil + terminador)
- ◆ Flits (*flow control units*)
  - ◆ Menor unidade sobre a qual é feita a regulação do tráfego
- ◆ Phit (*physical units*)
  - ◆ Relacionado à largura física do canal

**Em NoCs: usualmente a menor unidade é o flit**



mensagem

pacote

flit

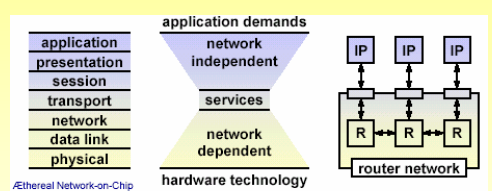
phit

canal físico

<http://www.inf.pucre.br/~gaph>      [calazans@inf.pucre.br](mailto:calazans@inf.pucre.br)

## 1 - Redes Intra-chip

Pilhas de Protocolos de comunicação e o modelo OSI



application demands

network independent

services

network dependent

hardware technology

application

presentation

session

transport

network

data link

physical

IP

IP

IP

R

R

R

router network

Ethernet Network-on-Chip  
Philips Research

E. Rijpkema, K. Goossens, A. Rădulescu, J. Dieffisen, J. van Meerbergen, P. Wielage, and E. Waterlander

<http://www.inf.pucre.br/~gaph>      [calazans@inf.pucre.br](mailto:calazans@inf.pucre.br)

## 1 - Redes Intra-chip

- Nível físico
  - ◆ transferência de dados em bits pelo canal físico de comunicação
- Nível de enlace
  - ◆ comunicação em nível de quadros (grupos de bits). Enquadra dados e transfere estes de forma confiável (tratamento de erros, controle do fluxo)
- Nível de rede
  - ◆ comunicação em nível de pacotes (grupos de quadros). Empacota mensagens, roteia pacotes entre a origem e o destino, controla congestionamento e estatísticas

<http://www.inf.pucre.br/~gaph>      [calazans@inf.pucre.br](mailto:calazans@inf.pucre.br)

## 1 - Redes Intra-chip

→ Vantagens oferecidas por NoCs (c.r.a barramentos)

- ◆ Largura de banda escalável
- ◆ Arquitetura reutilizável
- ◆ Arbitragem distribuída
- ◆ Conexões curtas e ponto-a-ponto
- ◆ Paralelismo na comunicação
- ◆ Comunicação assíncrona
- ◆ Canais de comunicação "pipelinizados"
- ◆ Pode ser estruturada em camadas, aumentando personalização

<http://www.inf.pucre.br/~gaph>      [calazans@inf.pucre.br](mailto:calazans@inf.pucre.br)

## 1 - Redes Intra-chip

### → Desvantagens de NoCs (c.r.a barramentos)

- ◆ Latência para atravessar um roteador
- ◆ Contenção na rede pode aumentar a latência
- ◆ Custo em área
- ◆ Requer uso de adaptadores de protocolo (wrappers)
- ◆ Mecanismos de hardware para garantir coerência de cache não são simples
- ◆ **Mudança de cultura – NUMA para NORMA**

## 1 - Redes Intra-chip

### → Infraestruturas de Redes Intrachip do GAPH

- ◆ Hermes – Topologia malha 2D, roteador com 5 portas bidirecionais e filas de entrada, algoritmos de roteamento diversos, várias dimensões de flit e filas.
- ◆ Mercury – Topologia toro 2D, com 3 fila centrais no roteador, algoritmo totalmente adaptativo
- ◆ Hermes-TU e Hermes-TB – Muito similar à Hermes, exceto que topologia Toro Unidirecional 2D e Toro Bidirecional 2D, e algoritmos de roteamento adaptados para a topologia
- ◆ Artemis – Similar à Hermes, mas com suporte a reconfiguração dinâmica de hardware (pode-se substituir módulos de processamento "à quente")
- ◆ Motim – Rede derivada da Hermes para projeto industrial, com chaveamento de circuitos, caminhos redundantes entre roteadores, etc.
- ◆ Hermes-G – Primeira versão com suporte a paradigmas não-síncronos de projeto, no caso o paradigma GALS. Versão da Hermes básica com filas de comunicação assíncronas entre roteadores da rede. Filho mais novo da família.

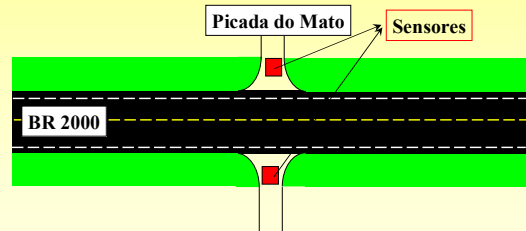
## Sumário

- ✓ 0 - Motivação
- ✓ 1 - Redes Intra-chip
- 2 - Um Estudo de Caso e Representações
- 3 - Síncronos versus Assíncronos
- 4 - Taxonomias Assíncronas
- 5 - Um Estilo de Projeto Assíncrono



## 2 - Um Estudo de Caso e Representações

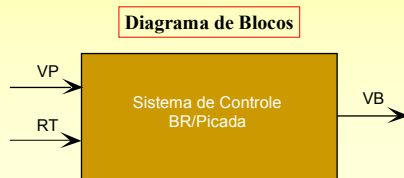
→ Problema simples e tradicional: controle automático de semáforo em cruzamento.



## 2 - Um Estudo de Caso e Representações

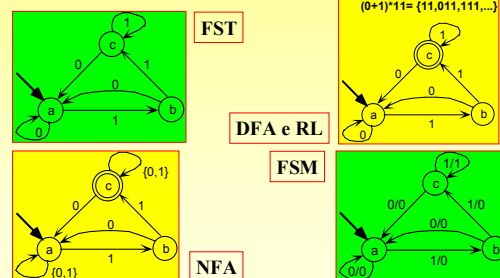
### → Interface externa com 3 sinais:

- ◆ VP - Veículo na Picada, entrada binária
- ◆ RT - Referência temporal, entrada (70s em 0 e 30s em 1)
- ◆ VB - Vermelho na BR, saída



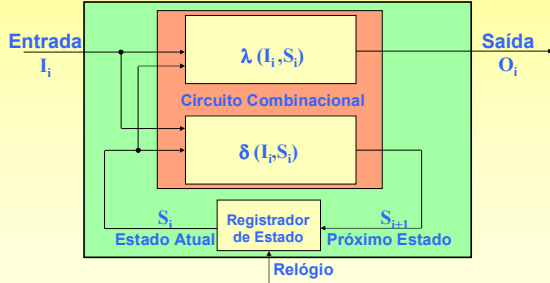
## 2 - Um Estudo de Caso e Representações

### Modelos de Representação



## 2 - Um Estudo de Caso e Representações

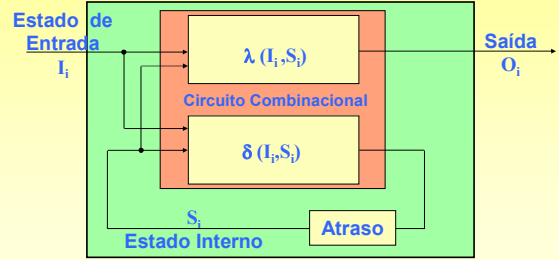
### Modelo Estrutural para FSMs Síncronas



<http://www.inf.pucri.br/~gaph> calazans@inf.pucri.br

## 3 - Modelos Seqüenciais Estruturais

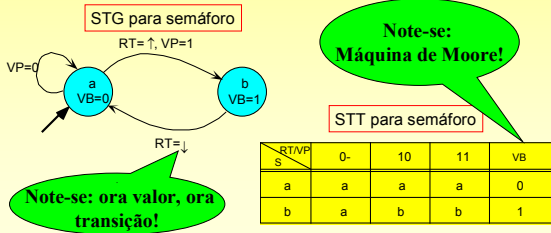
### Modelo Estrutural para FSMs Assíncronas



<http://www.inf.pucri.br/~gaph> calazans@inf.pucri.br

## 2 - Um Estudo de Caso e Representações

Estrutura Algébrica  $A = \langle I, S, O, \delta, \lambda \rangle$ , onde:  
 $I, O, S$  - 3 conjuntos: alfabeto de entrada e de saída, e estados.  
 $\delta, \lambda$  - 2 funções of  $I \times S \rightarrow S, O$  - funções de transição e de saída.



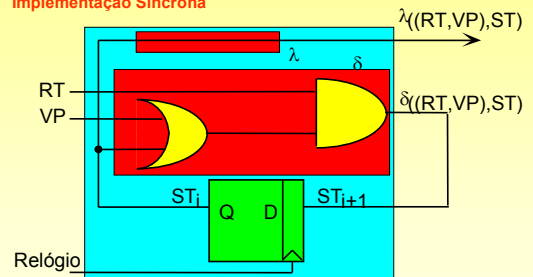
Note-se: Máquina de Moore!

Note-se: ora valor, ora transição!

<http://www.inf.pucri.br/~gaph> calazans@inf.pucri.br

## 2 - Um Estudo de Caso e Representações

### Implementação Síncrona



<http://www.inf.pucri.br/~gaph> calazans@inf.pucri.br

## 2 - Um Estudo de Caso e Representações

### Vários tipos de tabelas de fluxo assíncronas (AFTs) Revisão do conceito de estado!

	00	01	10	11
1	1.00	2.00	1.00	4.10
2	2.10	2.00	2.01	3.01
3	1.00	4.01	3.01	3.01
4	4.10	4.01	3.01	4.10

(a) SOC

	00	01	10	11
1	1.00	2.10	1.00	4.10
2	2.10	3.00	2.01	3.11
3	1.01	4.11	3.01	3.10
4	4.10	4.01	3.00	4.01

(b) MOC

	00	01	10	11
1	1.00	2.10	1.00	4.10
2	2.10	1.00	2.01	3.11
3	1.01	4.11	3.01	3.10
4	4.10	4.01	3.00	4.01

(c) UOC passível de instabilidade

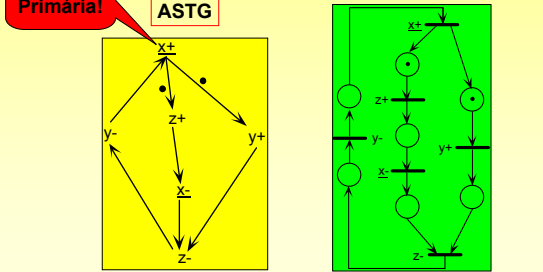
	00	01	10	11
1	1.00	2.10	1.00	4.10
2	2.10	3.00	2.01	3.11
3	1.01	4.11	3.01	3.10
4	4.10	3.01	3.00	4.01

(d) UOC com instabilidade

<http://www.inf.pucri.br/~gaph> calazans@inf.pucri.br

## 2 - Um Estudo de Caso e Representações

### Entrada Primária! ASTG Rede de Petri Equivalente



<http://www.inf.pucri.br/~gaph> calazans@inf.pucri.br

## 2 - Um Estudo de Caso e Representações

→ Versão assíncrona - Situação de regime:

- ♦ Sem veículo na Picada
- ♦ Referência temporal mudando periodicamente
- ♦ Sinal verde na BR
- ♦ Todo movimento em AFTs é ortogonal!

I→ S↓	RT VP			
	00	01	11	10
1	1,0			2,0
2	1,0			2,0

## 2 - Um Estudo de Caso e Representações

→ Operando-se analogamente para cada situação, gera-se tabela completa (**negrito** indica estado interno estável)

I→ S↓	RT VP			
	00	01	11	10
1	1,0	3,0	7,0	2,0
2	1,0	3,0	7,0	2,0
3	4,0	<b>3,0</b>	6,1	5,1
4	4,0	3,0	6,1	5,1
5	1,0	3,0	6,1	5,1
6	1,0	3,0	6,1	5,1
7	4,0	3,0	7,0	8,0
8	4,0	3,0	7,0	<b>8,0</b>

## 2 - Um Estudo de Caso e Representações

→ Tabela gerada possui redundâncias, minimização de estados é aplicável;

→ Resultado final, após minimização, incluindo codificação de estados é:

I→ S↓	RT VP				st1	st2
	00	01	11	10		
1	1,0	2,0	4,0	1,0	0	0
2	2,0	2,0	3,1	3,1	0	1
3	1,0	2,0	3,1	3,1	1	0
4	2,0	2,0	4,0	4,0	1	1

## Sumário

- ✓ 0 - Motivação
- ✓ 1 - Redes Intra-chip
- ✓ 2 - Um Estudo de Caso e Representações
- 3 - Síncronos versus Assíncronos
- 4 - Taxonomias Assíncronas
- 5 - Um Estilo de Projeto Assíncrono



## 3 - Síncronos versus Assíncronos

→ Diferença mais fundamental - modelo temporal:

- ♦ Síncronos - sinais discretos/ tempo discreto
- ♦ Assíncronos - sinais discretos/ tempo contínuo

→ Estilo síncrono - uma família coerente de métodos

→ Diversos estilos assíncronos:

- ♦ dependem das restrições adicionais impostas

## 3 - Síncronos versus Assíncronos

**Abordagem a adotar aqui:**

- Eliminação de tempo discreto e conseqüências sobre métodos de projeto
- Principais considerações de projeto derivadas da eliminação
- Exemplo de estilo de projeto assíncrono

### 3 - Síncronos versus Assíncronos

**Definições Estruturais**

**Assíncronos:** Qualquer interconexão arbitrária de portas lógicas, onde não há duas saídas de portas lógicas conectadas entre si.

**Síncronos:** Um circuito assíncrono onde todos os laços de realimentação passam através de um elemento de memória controlado por um sinal de relógio global do circuito. Além disso, o ambiente onde opera o circuito deve ser tal que nenhuma entrada ocorra fora de certas janelas de tempo pré-especificadas (**setup e hold**).

<http://www.inf.pucre.br/~gaph>    calazans@inf.pucre.br

### 3 - Síncronos versus Assíncronos

**Conceito de escorregamento do sinal de relógio**

Relógio no ponto A

Relógio no ponto B

Escorregamento do Sinal de Relógio

<http://www.inf.pucre.br/~gaph>    calazans@inf.pucre.br

### 3 - Síncronos versus Assíncronos

- Conjunto (incompleto) de modelos para tratamento de problemas de temporização
- Classes de modelos:
  - ◆ representação de informação
  - ◆ ambiente
  - ◆ fenômenos temporais
- Estilo assíncrono de projeto determinado pela escolha de subconjunto de modelos
- Confusão de nomenclatura ainda é grande!!!

<http://www.inf.pucre.br/~gaph>    calazans@inf.pucre.br

### 3 - Síncronos versus Assíncronos

- Subclassificação de Representação de informação
  - ◆ Modelos p/ codificação física de informação
    - ◆ trilha única ou trilha dupla
    - ◆ códigos - exemplos: espaçador e dados alternantes
  - ◆ Assinalamento da informação
    - ◆ assinalamento por nível ou por transição
  - ◆ Protocolos de comunicação
    - ◆ duas fases ou quatro fases

<http://www.inf.pucre.br/~gaph>    calazans@inf.pucre.br

### 3 - Síncronos versus Assíncronos

**Conceito de codificação em trilha dupla**

<http://www.inf.pucre.br/~gaph>    calazans@inf.pucre.br

### 3 - Síncronos versus Assíncronos

**Protocolos de Comunicação**

Dois Fases

Quatro Fases

<http://www.inf.pucre.br/~gaph>    calazans@inf.pucre.br



### 3 - Síncronos versus Assíncronos

**Modelagem do Ambiente**

- Conceito básico - mudança de entrada
  - ◆ mudanças simultâneas, não-simultâneas, inválidas
  - ◆ períodos críticos
- Uma classificação
  - ◆ modo completamente irrestrito
  - ◆ modo fundamental
  - ◆ modo entrada-saída
- Outra classificação
  - ◆ modo mudança única de entrada
  - ◆ modo múltipla mudança de entradas

http://www.inf.pucre.br/~gaph calazans@inf.pucre.br

### 3 - Síncronos versus Assíncronos

**Fenômenos Temporais**

- Atrasos para componentes
  - ◆ atraso ideal ou atraso inercial
- Classificação (magnitude do atraso)
  - ◆ ilimitado
  - ◆ limitado
    - ◆ atraso inteiro ou discreto
    - ◆ atraso real ou contínuo
- Classificação baseado na transição da saída:
  - ◆ binário
  - ◆ ternário

http://www.inf.pucre.br/~gaph calazans@inf.pucre.br

### 3 - Síncronos versus Assíncronos

**Atrasos de Componentes**

Entrada	1	1	2	3	4	5	6	7	8	9
Binário	0	1	0	1	0	1	0	1	0	1
Ternário	0	1	2	0	1	2	0	1	2	0

http://www.inf.pucre.br/~gaph calazans@inf.pucre.br

### 3 - Síncronos versus Assíncronos

**Classificação**

- ◆ atraso de realimentação
- ◆ atraso de porta
- ◆ atraso de fio

http://www.inf.pucre.br/~gaph calazans@inf.pucre.br

### 3 - Síncronos versus Assíncronos

**Corridas**

**Transitórios**

http://www.inf.pucre.br/~gaph calazans@inf.pucre.br

### 3 - Síncronos versus Assíncronos

**Metaestabilidade**

Analogia Mecânica

**Eletricamente, o mesmo pode ocorrer**

- ◆ Se o sinal de entrada transicionar ao mesmo tempo que o sinal que comanda seu armazenamento em um elemento de memória coisas horríveis podem acontecer:
  - ◆ Valor armazenado pode ser errado
  - ◆ Valor pode ser armazenado ora de forma correta, ora incorreta
  - ◆ Saída do circuito de armazenamento pode ficar em valor lógico inválido!

→ Metaestabilidade deve ser evitada a todo custo!

http://www.inf.pucre.br/~gaph calazans@inf.pucre.br

## Sumário

- ✓ 0 - Motivação
- ✓ 1 - Redes Intra-chip
- ✓ 2 - Um Estudo de Caso e Representações
- ✓ 3 - Síncronos versus Assíncronos
- 4 - Taxonomias Assíncronas
- 5 - Um Estilo de Projeto Assíncrono



<http://www.inf.pucre.br/~gaph>

[calazans@inf.pucre.br](mailto:calazans@inf.pucre.br)

## 4 - Taxonomias Assíncronas

- Pouco consenso para classificações, terminologia confusa
- Alguns livros abordam critérios ortogonais e propõem conjunto de critérios
  - ♦ modelo de atrasos
  - ♦ quantificação de atrasos
  - ♦ forma de especificação do projeto
  - ♦ quantidade de sinais de relógio
- Classificação inclui síncronos como caso
- Exemplos de livros livremente disponíveis:
  - ♦ Sparsø, J. & Furber, S. Principles of asynchronous circuit design - A systems perspective. Caps 1-8, 2002.
  - ♦ Calazans, N. L. V. Automated Logic Design of Sequential Digital Circuits. Caps 3 e 5, 1998.

<http://www.inf.pucre.br/~gaph>

[calazans@inf.pucre.br](mailto:calazans@inf.pucre.br)

## 4 - Taxonomias Assíncronas

### Uma Taxonomia (Sparsø)

- *speed-independent* – um circuito que opera corretamente assumindo atrasos positivos, limitados mas desconhecidos em portas lógicas e atraso ideal nulo nos fios
- *delay-insensitive* - um circuito que opera corretamente assumindo atrasos positivos, limitados mas desconhecidos em portas lógicas e fios
- *quasi-delay-insensitive (QDI)* – similar a delay-insensitive mas assume que algumas derivações (*forks*) são isocrônicas
- *self-timed* - circuitos cuja operação correta baseia-se em pressupostos de temporização e/ou de engenharia mais elaborados que as classificações anteriores

<http://www.inf.pucre.br/~gaph>

[calazans@inf.pucre.br](mailto:calazans@inf.pucre.br)

## Sumário

- ✓ 0 - Motivação
- ✓ 1 - Redes Intra-chip
- ✓ 2 - Um Estudo de Caso e Representações
- ✓ 3 - Síncronos versus Assíncronos
- ✓ 4 - Taxonomias Assíncronas
- 5 - Um Estilo de Projeto Assíncrono



<http://www.inf.pucre.br/~gaph>

[calazans@inf.pucre.br](mailto:calazans@inf.pucre.br)

## 5 - Um Estilo de Projeto Assíncrono

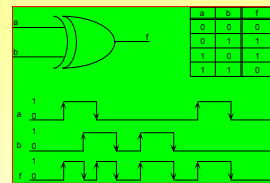
### → Pressupostos:

- ♦ protocolo de comunicação duas fases
- ♦ dados empacotados
- ♦ biblioteca de células assíncronas (6 células)
- ♦ lógica de eventos baseada em transições, não níveis lógicos

<http://www.inf.pucre.br/~gaph>

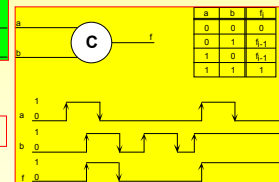
[calazans@inf.pucre.br](mailto:calazans@inf.pucre.br)

## 5 - Um Estilo de Projeto Assíncrono



Porta XOR

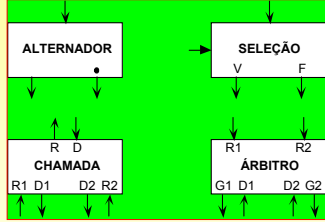
Elemento C



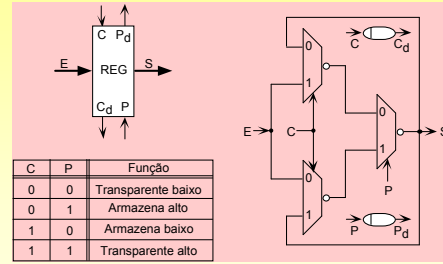
<http://www.inf.pucre.br/~gaph>

[calazans@inf.pucre.br](mailto:calazans@inf.pucre.br)

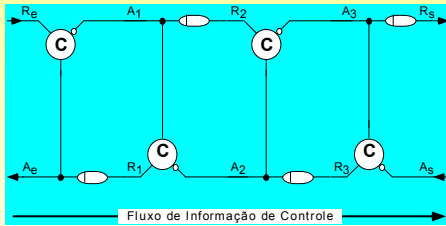
## 5 - Micropipelines - Células da biblioteca



## 5 - Micropipelines - Célula de memória



## 5 - Micropipelines - Estrutura de controle



## 5 - Micropipelines - Controle + Processamento

