



DISCIPLINA: *Organização e Arquitetura de Computadores I*

CÓDIGO: 4646Q

CRÉDITOS: 04

CARGA HORÁRIA: 60hs/aula

VALIDADE: a partir de 2016/I

REQUISITOS:

Pré-requisito: 4646B-04 *Fundamentos de Sistemas Digitais*

OBJETIVOS:

O cumprimento da disciplina busca dar ao aluno, ao final do semestre, condições de:

1. Identificar as estruturas fundamentais de conjuntos de instruções e linguagens de montagem de arquiteturas RISC, sendo capaz de empregar estes conceitos em programação destas arquiteturas.
2. Reconhecer as relações fundamentais existentes entre o hardware e o software em arquiteturas de computadores modernas em suas abstrações mais relevantes, organização do hardware, linguagem de montagem e linguagem de alto nível.
3. Identificar a relação entre linguagens de programação de alto nível e as estruturas de hardware em arquiteturas de computadores.
4. Utilizar e ter noções de como implementar programas básicos empregados na tradução e execução de programas escritos em linguagem de montagem, tais como montadores, ligadores e carregadores.
5. Identificar as principais formas de elaborar organizações de computadores que seguem o paradigma RISC: implementação monociclo, multiciclo e pipeline.
6. Dominar as técnicas básicas de projeto, controle e implementação de pipelines simples em arquiteturas de computadores modernas.

EMENTA:

Apresentação da organização básica de um processador. Estudo das principais unidades, fases de operação, fluxo de dados e instruções e principais variações arquiteturais dos processadores. Discussão do formato das instruções e a interação entre o processador e a memória. Utilização de linguagens de descrição de hardware e simuladores. Estudo e construção de programas em linguagem de montagem. Análise e discussão de casos reais.

Carimbo e Assinatura da Unidade:

Campus Central

Av. Ipiranga, 6681 – Prédio 32 -CEP: 90619-900
Fone: (51) 3320-3558 – Fax (51) 3320-3758
E-mail: informatica@pucrs.br
www.pucrs.br/facin



Nº DA UNIDADE: 01

CONTEÚDO: Organização básica de um processador

1.1. Introdução e revisão de conceitos

1.1.1. Revisão dos conceitos de circuitos combinacionais, circuitos sequenciais e sinal de clock

1.1.2. Registradores visíveis e registradores invisíveis ao programador

1.1.3. Conceito de bloco de dados e bloco de controle

1.2. Modelo de Von Neumann versus Modelo Harvard

1.2.1. Características do modelo de Von Neumann e modelo Harvard

1.2.2. Modos de endereçamento

1.2.3. Número e tipos de operandos

1.2.4. Memória de dados e memória de instruções

1.2.5. Endianness

1.3. Comparação de máquinas RISC e CISC

1.4. Exemplos motivacionais de sistemas reais de mercado

Nº DA UNIDADE: 02

CONTEÚDO: Linguagem de montagem

2.1. Linguagem de montagem versus linguagem de alto nível: visão geral

2.1.1. Compiladores, montadores, ligadores e carregadores

2.1.2. Instruções de alto nível versus instruções assembly

2.2. Exemplo de uma linguagem de montagem

2.2.1. Características do processador exemplo: registradores visíveis e invisíveis ao programador, RISC x CISC, Von Neumann x Harvard, modos de endereçamento

2.2.2. Operações lógicas, aritmética e estruturas de fluxo de controle e de dados

2.2.3. Alocação da memória (instruções, dados estáticos, dados dinâmicos, pilha, área reservada para interrupções) e Operações de acesso à memória

2.2.4. Estruturas de dados: vetores, matrizes, pilha

2.2.5. Procedimentos e Funções

2.2.6. Formato, codificação e decodificação de instruções

2.3. Construção de programas em linguagem assembly: Trabalho Integrador

Nº DA UNIDADE: 03

CONTEÚDO: Processador

3.1. Construção do Bloco de Dados

3.1.1. Elementos que compõe o bloco de dados

Carimbo e Assinatura da Unidade:

Campus Central

Av. Ipiranga, 6681 – Prédio 32 -CEP: 90619-900

Fone: (51) 3320-3558 – Fax (51) 3320-3758

E-mail: informatica@puccrs.br

www.puccrs.br/facin



- 3.1.2. Bloco de dados monociclo versus Bloco de dados multi-ciclos
- 3.1.3. Exemplo de bloco de dados para o processador exemplo
- 3.2. Construção do Bloco de Controle
 - 3.2.1. Implementação do controle da ULA
 - 3.2.2. Projeto da unidade de controle do processador
- 3.3. Conceitos básicos de pipeline
 - 3.3.1. Modificações necessárias no bloco de dados e bloco de controle
 - 3.3.2. Hazards estruturais, de dados e de controle

BIBLIOGRAFIA:

- **BÁSICA:**

1. PATTERSON, D. A.; HENNESSY, J. L. **Computer Organization and Design: the hardware and software interface.** 5 ed., Oxford: Morgan Kaufmann, 2014.
2. STALLINGS, W. **Arquitetura e organização de computadores.** 8 ed., Pearson, 2010.
3. MONTEIRO, M. A. **Introdução à organização de computadores.** 5 ed., LTC, 2007.

- **COMPLEMENTAR:**

1. PATTERSON, D. A.; HENNESSY, J. L. **Organização e projeto de computadores: a interface hardware/software.** 3 ed., Rio de Janeiro: Elsevier, 2005.
2. PATTERSON, David; HENESSY, John, L. **Arquitetura de computadores: uma abordagem quantitativa.** 4 ed., Rio de Janeiro: Campus, 2008.
3. TANENBAUM, A. S. **Organização estruturada de computadores.** 5 ed., Pearson, 2007.
4. PEDRONI, V. A. **Eletrônica digital moderna e VHDL.** Rio de Janeiro: Elsevier, 2010.
5. D'AMORE, R. **VHDL: Descrição e síntese de circuitos digitais.** Rio de Janeiro: LTC, 2005.

- **SOFTWARE DE APOIO:**

1. MARS (<http://courses.missouristate.edu/kenvollmar/mars>). Simulador gratuito de uso educacional para programação assembly do processador MIPS.

Carimbo e Assinatura da Unidade:

Campus Central

Av. Ipiranga, 6681 – Prédio 32 -CEP: 90619-900
Fone: (51) 3320-3558 – Fax (51) 3320-3758
E-mail: informatica@pucrs.br
www.pucrs.br/facin