

**Pontifícia Universidade Católica
do Rio Grande do Sul PUCRS**



Tecnologias Modernas para Projeto e Implementação de SoCs

Ney Laert Vilar Calazans



Grupo de Apoio ao Projeto de Hardware

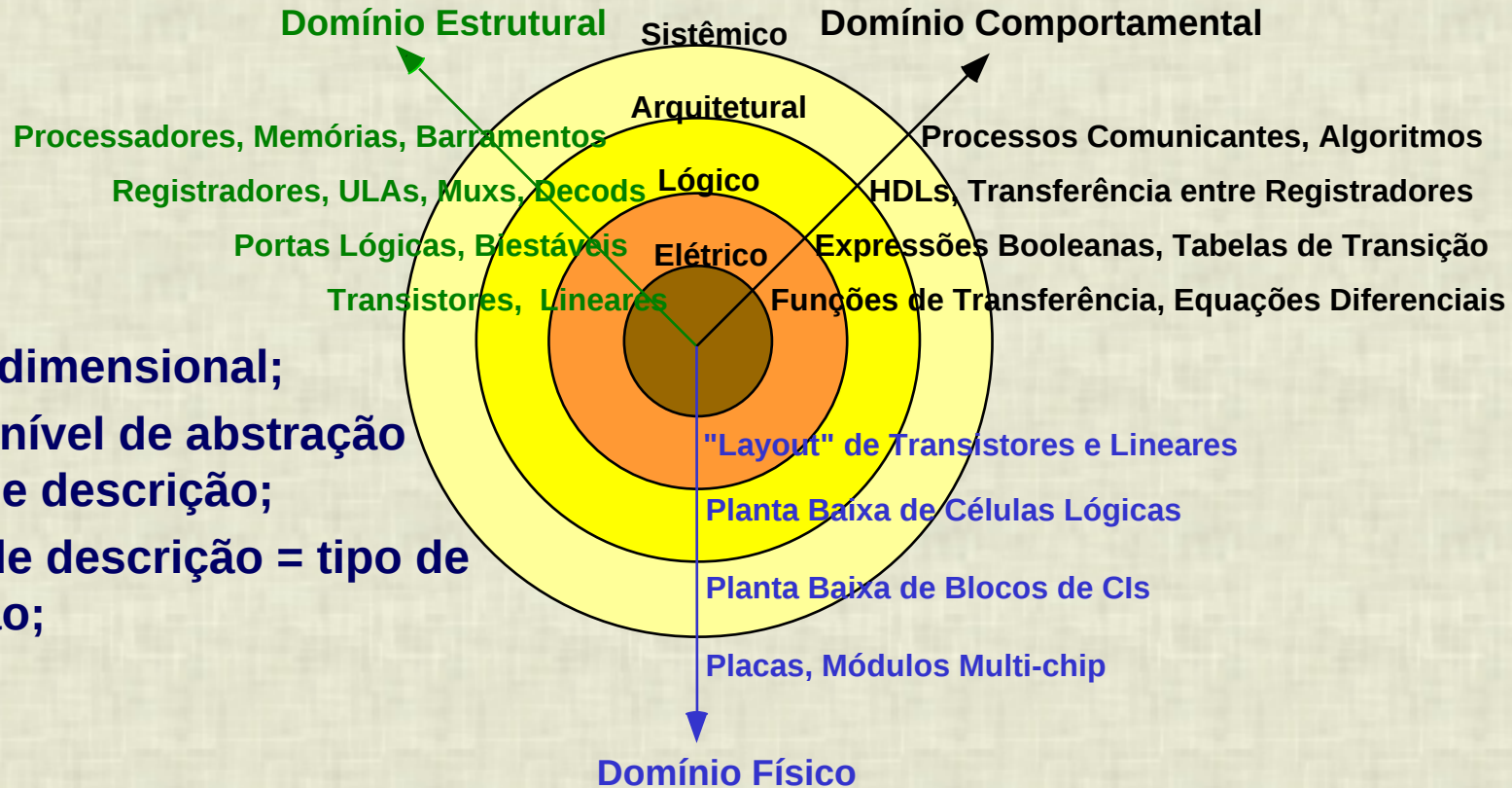
Sumário

- **O Projeto de Sistemas Digitais Complexos**
 - **Systems on a Chip (SoCs) e Projeto de SoCs**
 - **A Proposta de Pesquisa do GAPH**
 - **Pesquisa em Núcleos de Propriedade Intelectual (IP cores)**
 - **Pesquisa em Sistemas Reconfiguráveis**
 - **Pesquisa em Níveis Sistêmicos de Abstração**
 - **Pesquisa em Software Embarcado**
 - **Um Agregador – Iniciativa e Projeto BrazillP**
-

O Projeto de Sistemas Digitais Complexos

- **Processo de Projeto** - descrição inicial (especificação) -> descrição final (projeto final ou detalhado);
 - **Diferença entre especificação e projeto final** - quantidade de informação;
 - **Informação no projeto final** permite fabricar automaticamente (ou quase) o SD;
 - **Problema** - controlar a complexidade de projeto VLSI!
 - **Problema derivado** - complexidade impede passagem direta especificação -> projeto final;
 - **Solução** - decomposição hierárquica do processo de projeto, *continuum* de descrições;
 - **Complexidade** requer organização da hierarquia de descrições - *modelos para representar o processo de projeto.*
-

Modelo de Gajski-Kuhn ou Diagrama Y



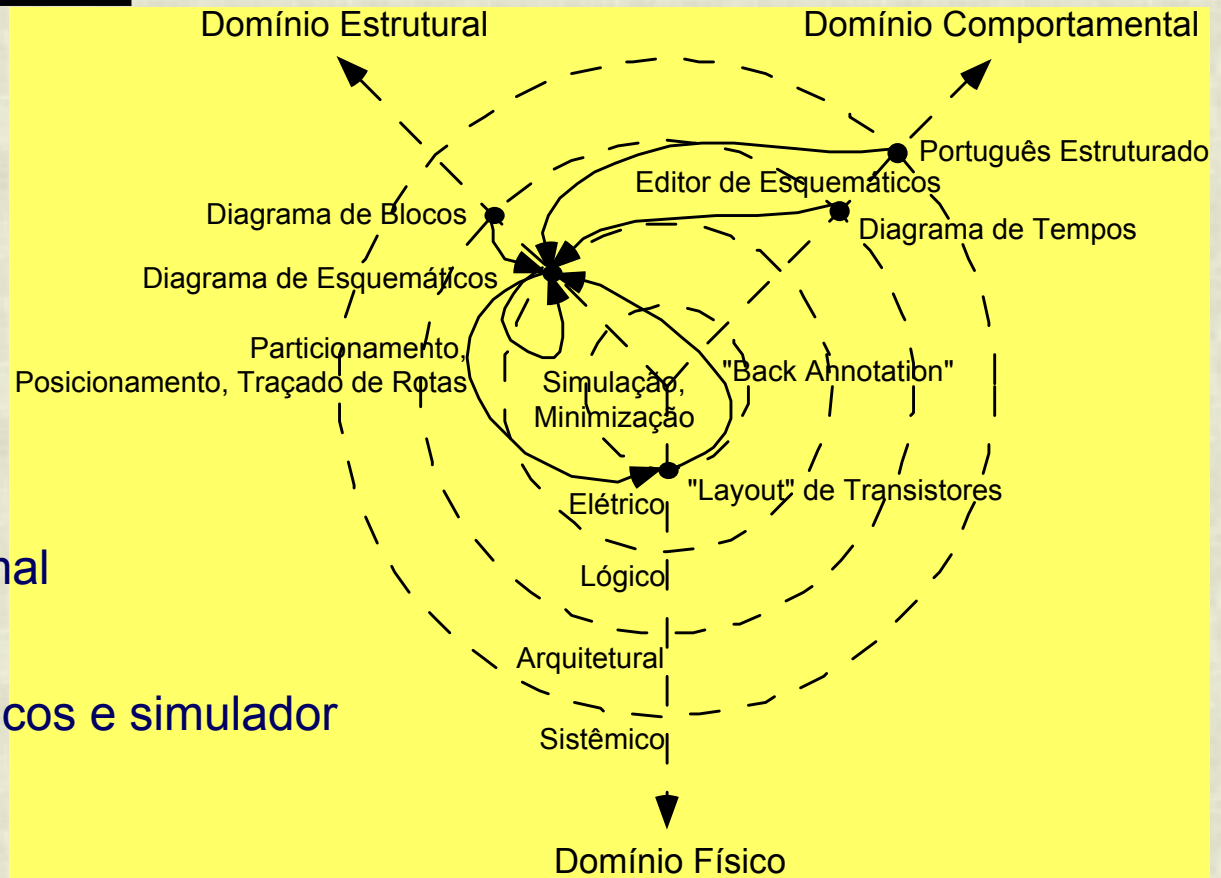
- Modelo bidimensional;
- Critérios: nível de abstração
domínio de descrição;
- Domínio de descrição = tipo de
informação;

Círculo = nível de abstração, eixo = domínio de descrição;
 Intersecção círculo-eixo (vértices) = descrição;
 Transformação entre níveis (aresta no grafo) = ferramenta.

Exemplo de Processo de Projeto

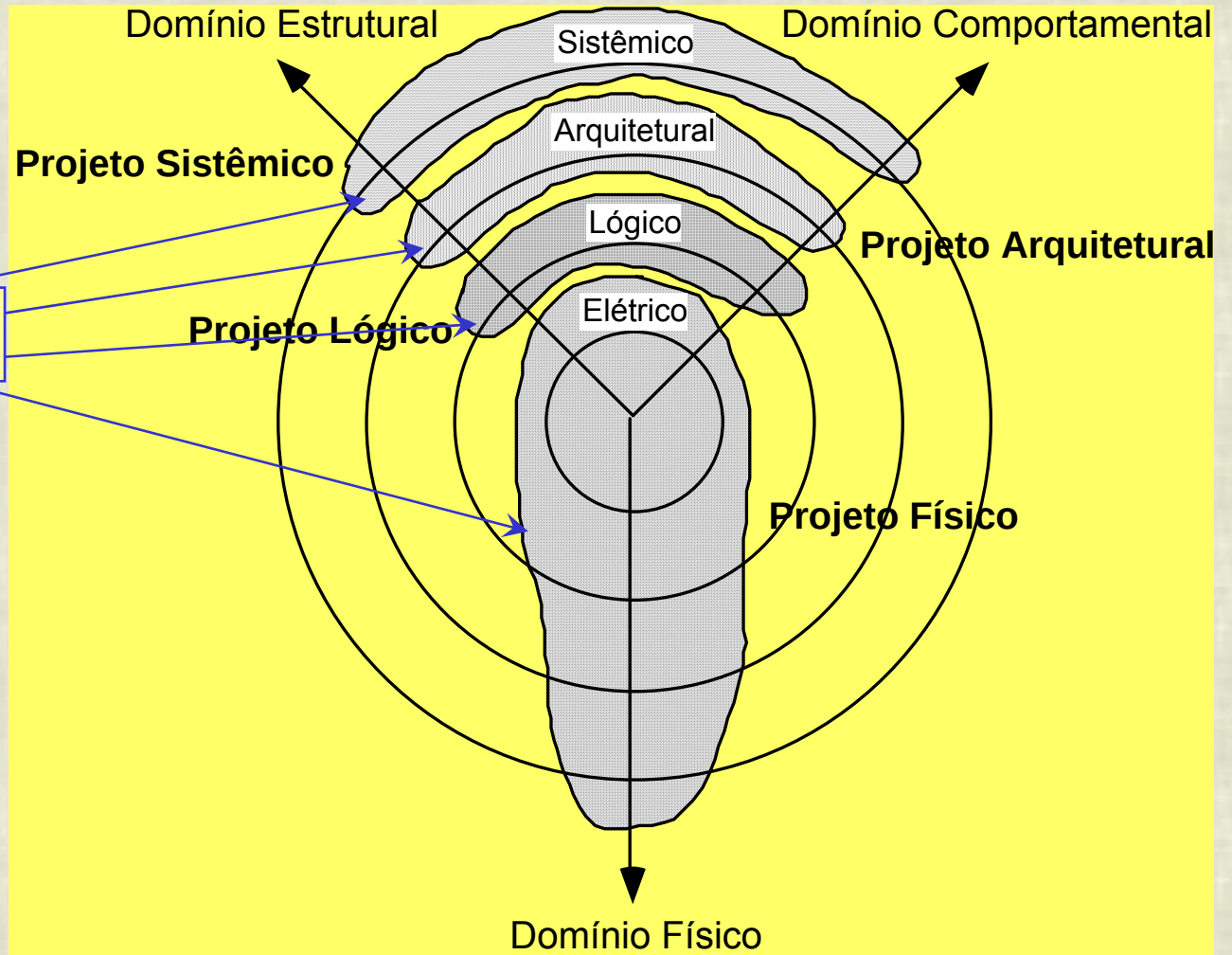
Processo Clássico de Projeto de SDs

- **Ponto de Partida**
 - especificação informal
- **Captura/Validação**
 - Editor de esquemáticos e simulador



Síntese física - Posicionamento e Traçado de Rotas, seguido de "back-annotation" e ressimulação

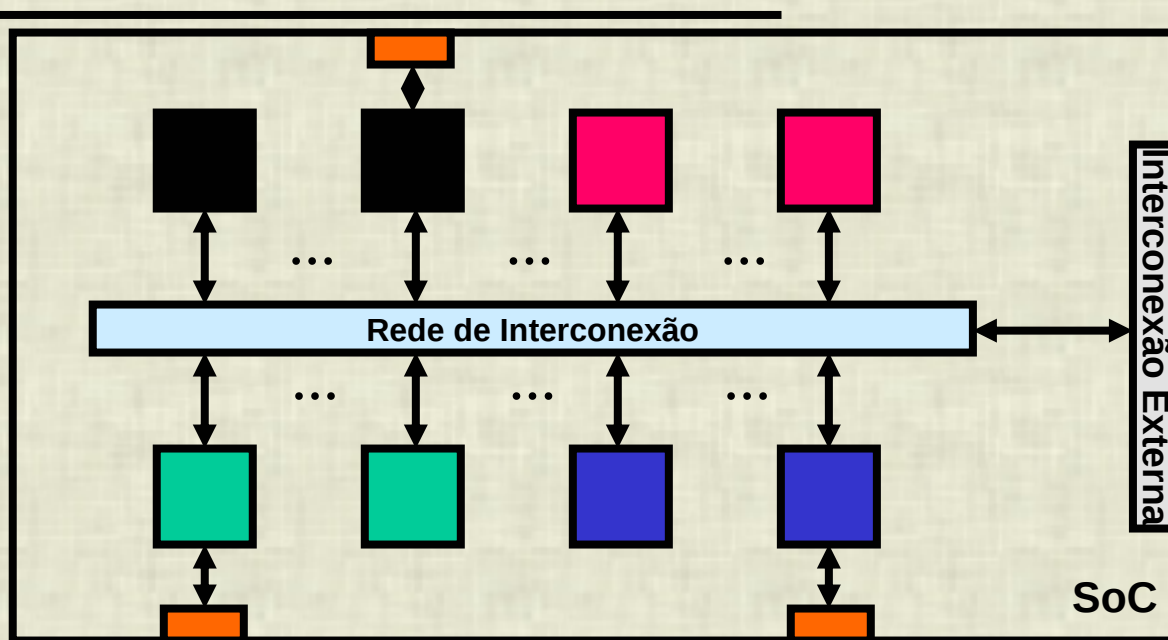
Estilos de Projeto



Sumário

- O Projeto de Sistemas Digitais Complexos
 - **Systems on a Chip (SoCs) e Projeto de SoCs**
 - A Proposta de Pesquisa do GAPH
 - Pesquisa em Núcleos de Propriedade Intelectual (IP cores)
 - Pesquisa em Sistemas Reconfiguráveis
 - Pesquisa em Níveis Sistêmicos de Abstração
 - Pesquisa em Software Embarcado
 - Um Agregador – Iniciativa e Projeto BrazilIP
-

O que são Systems on a Chip? Arquitetura



- Processador programável
- Área reconfigurável
- Bloco de memória
- Circuito de aplicação específica
- Entrada e saída dedicada

- Um SoC contém:
 - IPs Portáveis/reutilizáveis
 - CPU Embarcada
 - Memória Embarcada
 - Interfaces com o mundo real (USB, PCI, Ethernet)
 - Blocos Mixed-signal
 - HW Programável (FPGAs)
 - Software (on-chip e off)
 - > 500K portas lógicas
- Tecnologia: 0.25 μ m e abaixo (0.13 μ m, 90nm e diminuindo)
- Não é ASIC!
- Cada IP 50K – 1M portas
- Total de IPs ≥ 20

Tecnologias Habilitadoras de SoCs

- **Escala em Chips:**
 - Portas lógicas: de 1K em 1984 para 22M em 2000
 - Atraso: 10ns há 30 anos e ~27ps hoje, para NAND de 2 entradas
 - Frequência de relógio: 1MHz há 30 anos e 500MHz a 1GHz hoje
-

Desafio: Diminuição do Ciclo de Vida de Produtos

- Ciclos de vida de produtos: reduzindo-se
 - Tempo de desenvolvimento: reduzindo-se
 - Produtividade de projeto: aumento de ser maior que hoje
 - Pressão do mercado - Para vender 1 milhão de unidades:
 - TVs Preto e Branco – levou-se 18 anos
 - TVs a cores – levou-se mais de 10 anos
 - PCs – levou-se mais de 6 anos
 - Telefones celulares – menos de 4 anos
 - Leitor de DVDs – menos de 2 anos
-

Soluções em Investigação – Controle da Complexidade I

- **Estilos de Projeto de SoCs**
 - A nível de Sistema
 - Baseado em Plataformas
 - Baseado em Componentes
 - **Forma de Projeto:** Separação de projetos, métodos e ferramentas para
 - Computação
 - Comunicação
-

Soluções em Investigação – Controle da Complexidade II

- **Reforço ao Reuso**
 - **Padronização da Comunicação entre Módulos**
 - Barramentos simples ou hierárquicos – Amba/CoreConnect/Wishbone
 - Interfaces padronizadas - OCP/VSII/SRS
 - **Longevidade de Projeto**
 - **Sistemas Programáveis**
 - **Sistemas Reconfiguráveis**
 - **Escalabilidade de Projeto**
 - **IPs**
 - **NoCs**
-

Sumário

- O Projeto de Sistemas Digitais Complexos
 - Systems on a Chip (SoCs) e Projeto de SoCs
 - A Proposta de Pesquisa do GAPH
 - Pesquisa em Núcleos de Propriedade Intelectual (IP cores)
 - Pesquisa em Sistemas Reconfiguráveis
 - Pesquisa em Níveis Sistêmicos de Abstração
 - Pesquisa em Software Embarcado
 - Um Agregador – Iniciativa e Projeto BrazilIP
-

GAPH - História

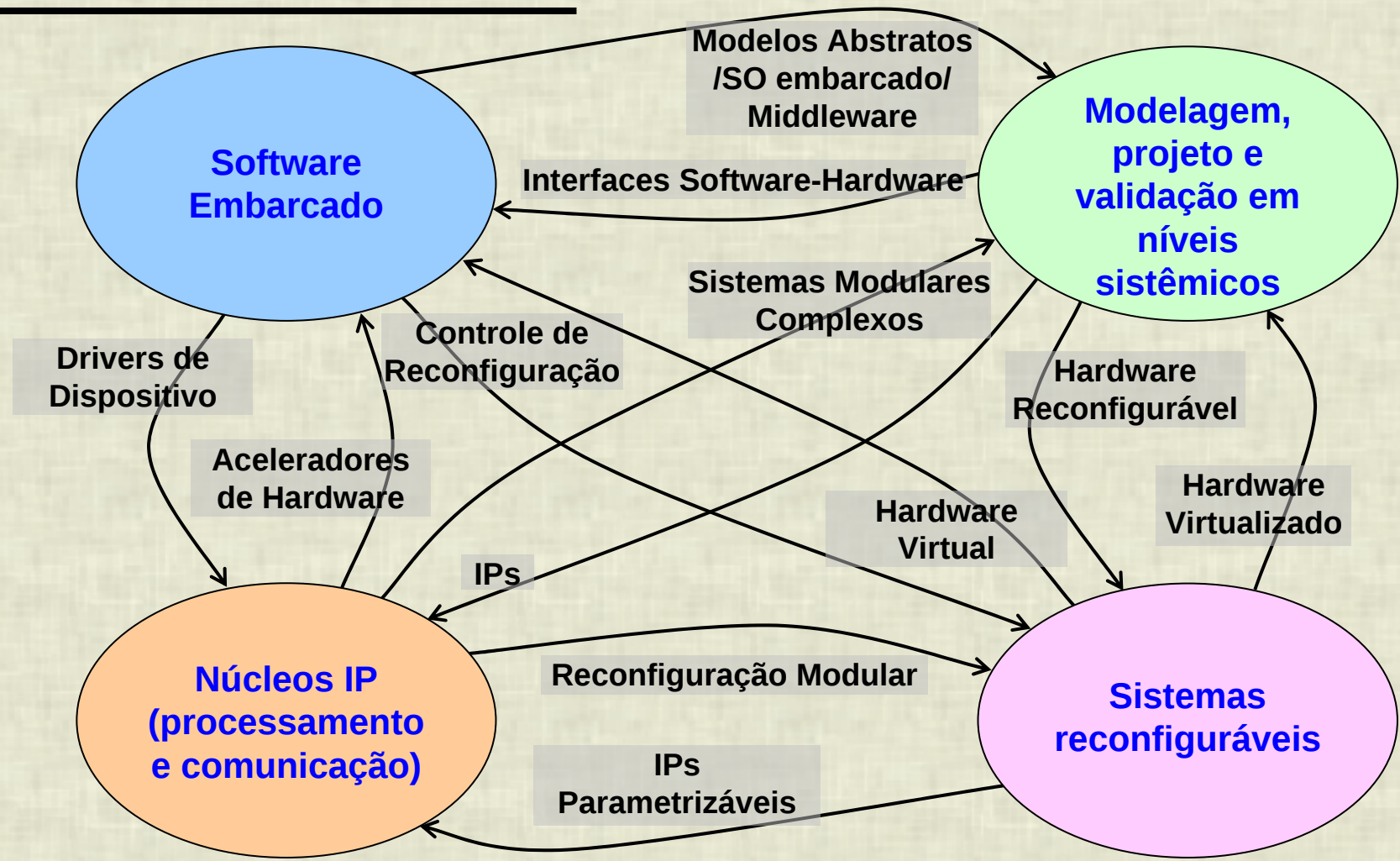
- **GAPH – Grupo de Apoio ao Projeto de Hardware**
 - **Criado em 1994, junto com o PPGCC da FACIN**
 - Ênfase em Lógica Programável & Cooperação Academia/Indústria
 - No início, fortemente voltado para dominar a tecnologia LP
 - Laboratórios de treinamento na graduação → motivação de alunos
 - **Em 1996, grupo de verdade formado - 2 professores pesquisadores tempo integral-DE**
-

GAPH - Números Atuais

- 30 pessoas (3+1 profs, 3 bolsistas tempo integral, 10 estudantes PG, 13 alunos de iniciação científica)
 - 8 Dissertações de mestrado apresentadas e aprovadas
 - 7 Teses / Dissertações em andamento (cooperação com GME/UFRGS), 3 dissertações iniciando
 - Laboratório
 - 2 máquinas UNIX (SUN Blade 2000 + UltraSparc20)
 - 15 PCs (até 2.4GHz/1Gbyte RAM)
 - 10+ plataformas de prototipação Hw (Xilinx/Altera até 1Mportas)
 - Ferramentas de CAD profissional abundantes para PLD/ASICs
 - Mentor - CNPq / Synopsys - PU / OCP - PU / Xilinx - PU / Altera - PU
 - Equipamentos de teste e medida (analísadores lógicos HP-Agilent / osciloscópios / ferramentas de análise *in-chip* Chipscope/SignalTap)
-

Pesquisa Atual do GAPH – Longo Prazo

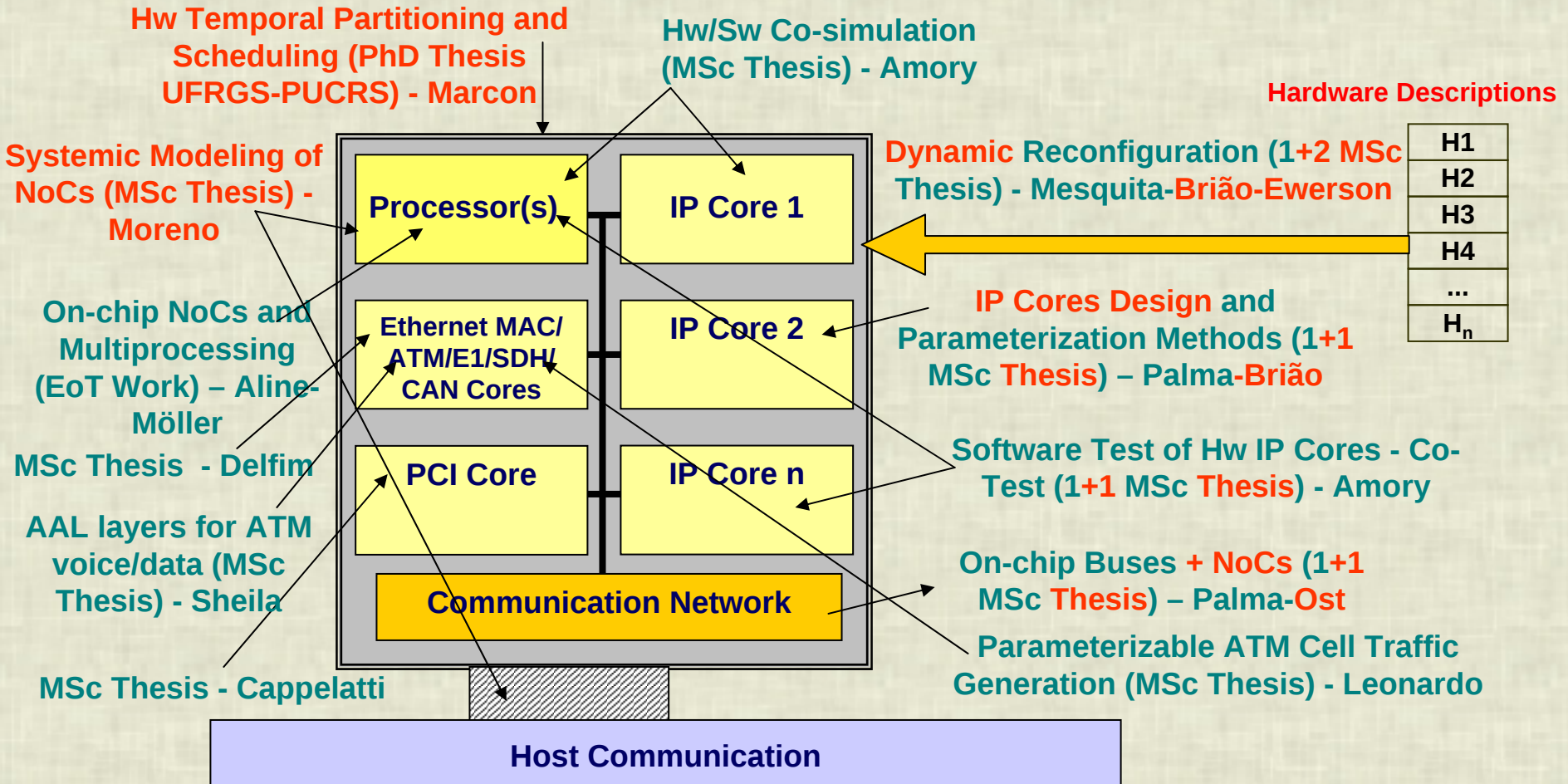
Áreas de Aplicação: Telecom -
Criptografia - Domótica
Processadores - Espaciais



Ênfase da Pesquisa:
SOC (e SORC)

Alguns trabalhos

Current and Past Works



Perspectives: Domotics, Space Applications, Bioinformatics, Cluster Computing

Sumário

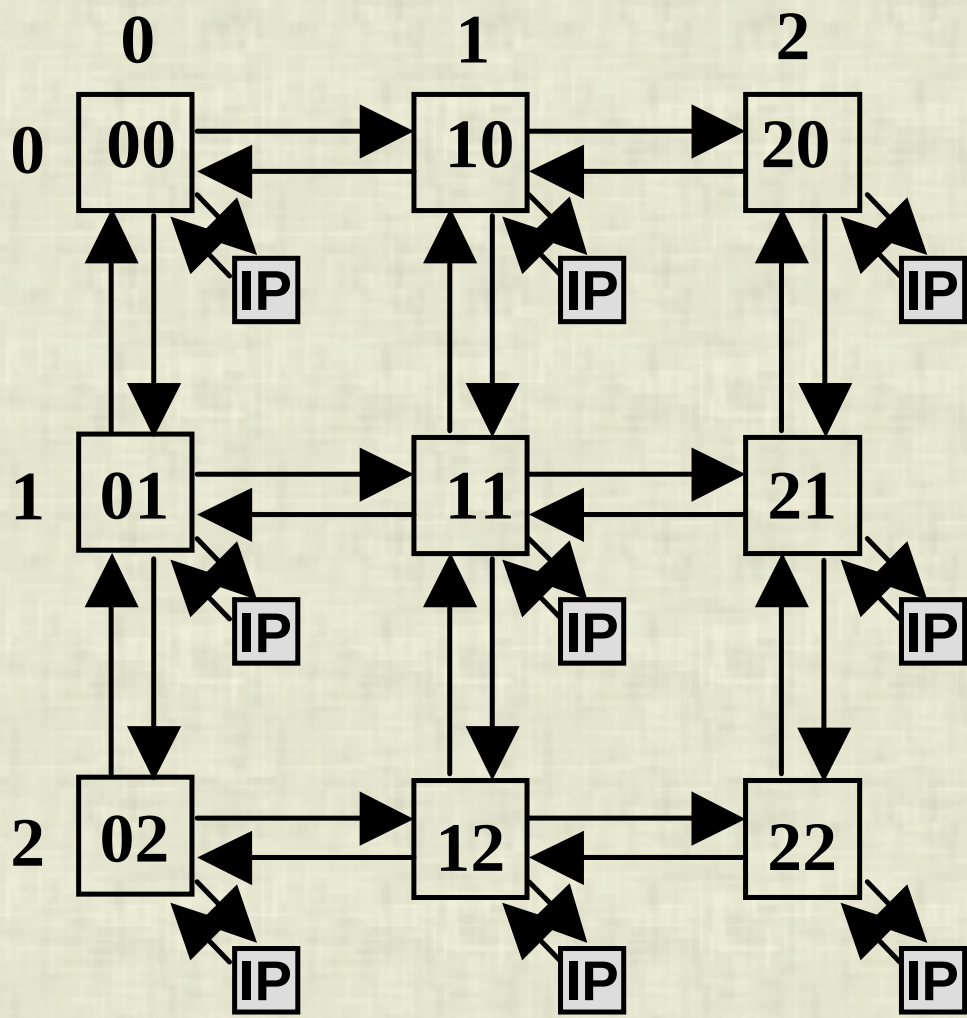
- O Projeto de Sistemas Digitais Complexos
 - Systems on a Chip (SoCs) e Projeto de SoCs
 - A Proposta de Pesquisa do GAPH
 - Pesquisa em Núcleos de Propriedade Intelectual (IP cores)
 - Pesquisa em Sistemas Reconfiguráveis
 - Pesquisa em Níveis Sistêmicos de Abstração
 - Pesquisa em Software Embarcado
 - Um Agregador – Iniciativa e Projeto BrazilIP
-

Pesquisa em Núcleos de Propriedade Intelectual

Núcleos de propriedade intelectual (IP cores)

- Módulos de hw complexos, pré-validados, pré-caracterizados
 - Compõem e viabilizam SoCs – reuso de projeto
 - Reutilização: ↓*time-to-market*
 - Comunicação entre *cores*:
 - centrada no *meio de comunicação* (e.g. barramentos padronizados como Amba, CoreConnect e Wishbone)
 - centrada na *interface de comunicação* (e.g. interfaces OCP, VSI e SRS)
-

O que é uma rede Intra-chip (NoC)? Um IP!



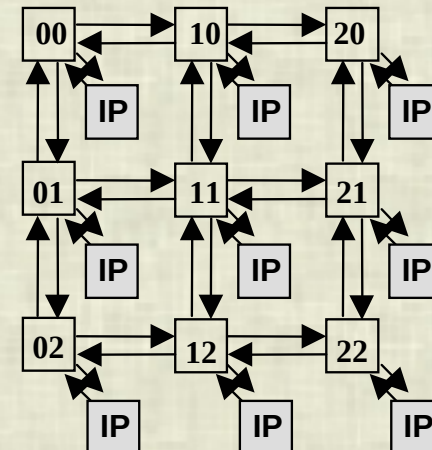
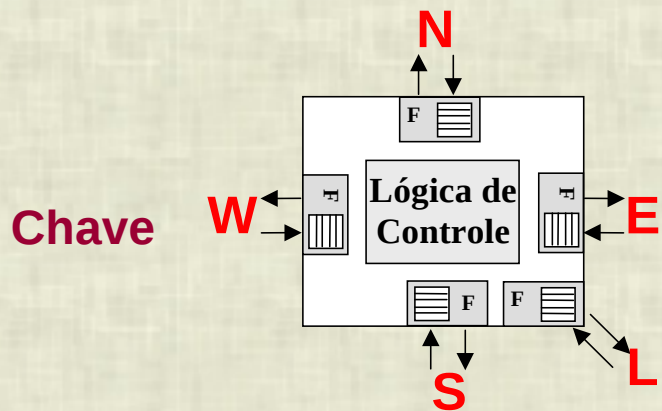
- Uma NoC contém:
 - IPs Processadores
 - IPs de comunicação (chaves)
- No futuro, SoCs com >100 IPs
- Barramentos não podem ser usados!
- Desempenho maior que barramentos
- Cada IP $\geq 1.000.000$ portas

NoC HERMES - características

Nível Físico	Caminhos bidirecionais de n bits com suporte à protocolo <i>handshake</i>
Nível Enlace	Protocolo assíncrono, técnica de handshake
Nível Rede	Comunicação ponto-a-ponto, utilizando chaveamento por pacotes
Nível Transporte e superiores	Não implementados
Pacote	1 fl 1 fl 1-2 Política de repasse de dados Quanto ao caminho percorrido ; possíveis
Chaveamento	Pac Rede direta ortogonal
Repasse de Pacotes	Wo 1. Regularidade física
Roteamento	Dis 2. Facilidade de implementação
Topologia	Mesh (2x2 na prototipação, nxm simulação)
Filas	Na entrada, com tamanho parametrizável

A Chave Hermes

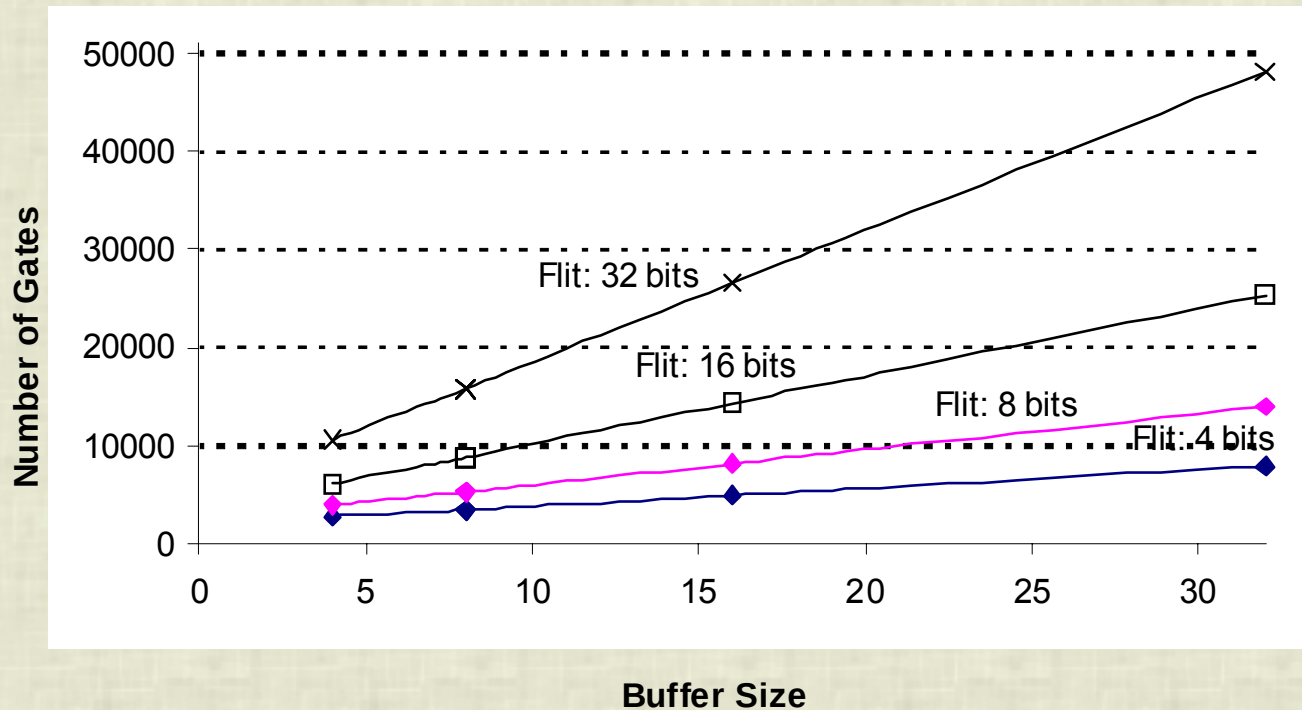
- módulo principal da rede
- realiza a transferência de mensagens entre os núcleos (**IP**)
- endereço composto pela coordenada XY da rede
- possui 5 portas bidirecionais
 - porta local liga a chave a seu núcleo
 - demais portas ligam a chave às chaves vizinhas
- Possui 1 fila para cada porta de entrada



NOC 3x3 com 9 chaves

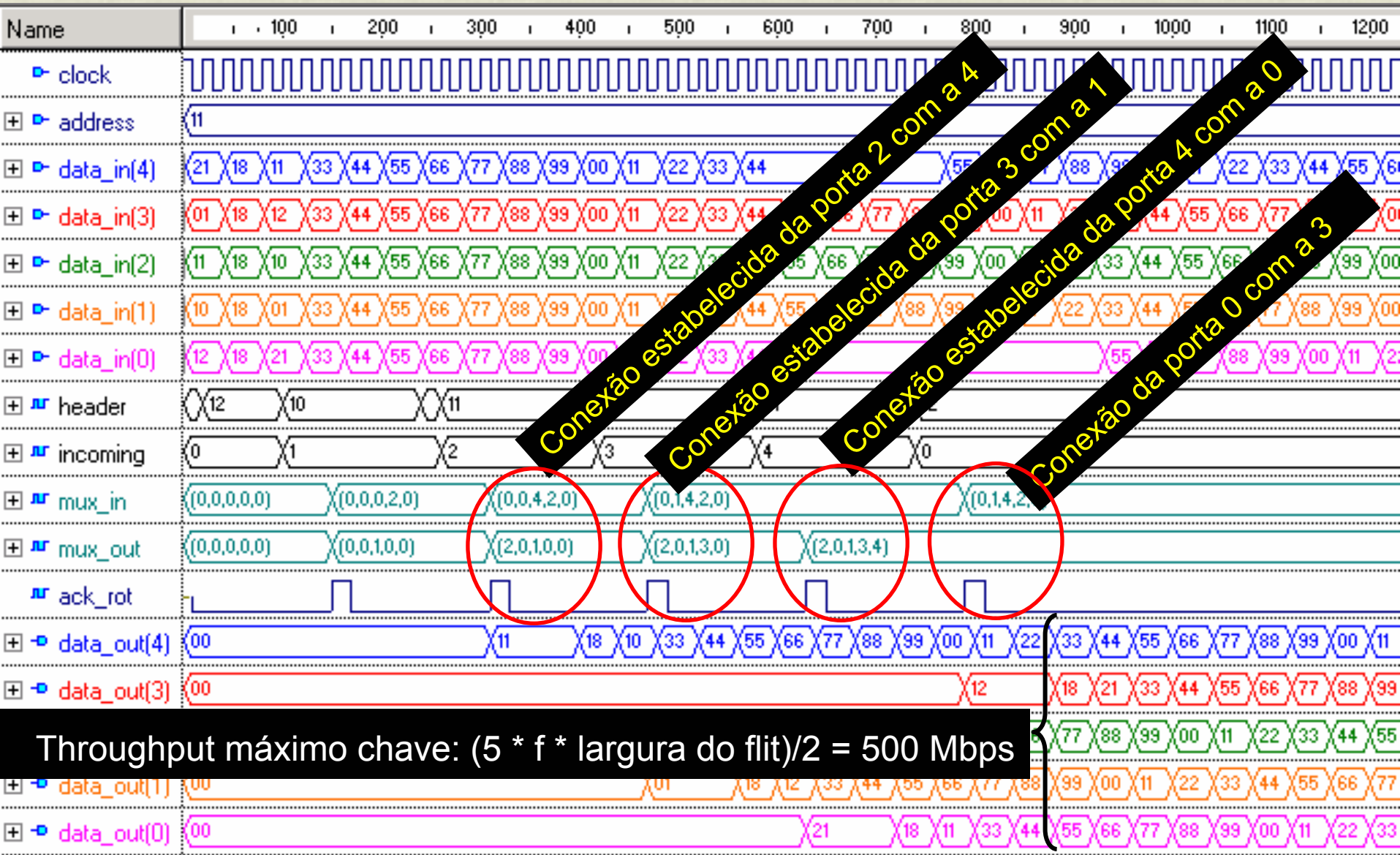
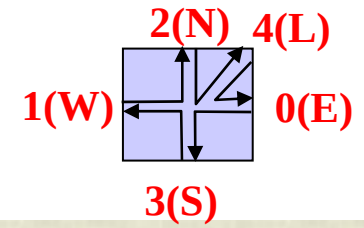
Bufferização: Área da Chave Hermes

- Área em número de gates (ASIC)



- Áreas das filas é **predominante** nas chaves e deve ser mantida ao mínimo

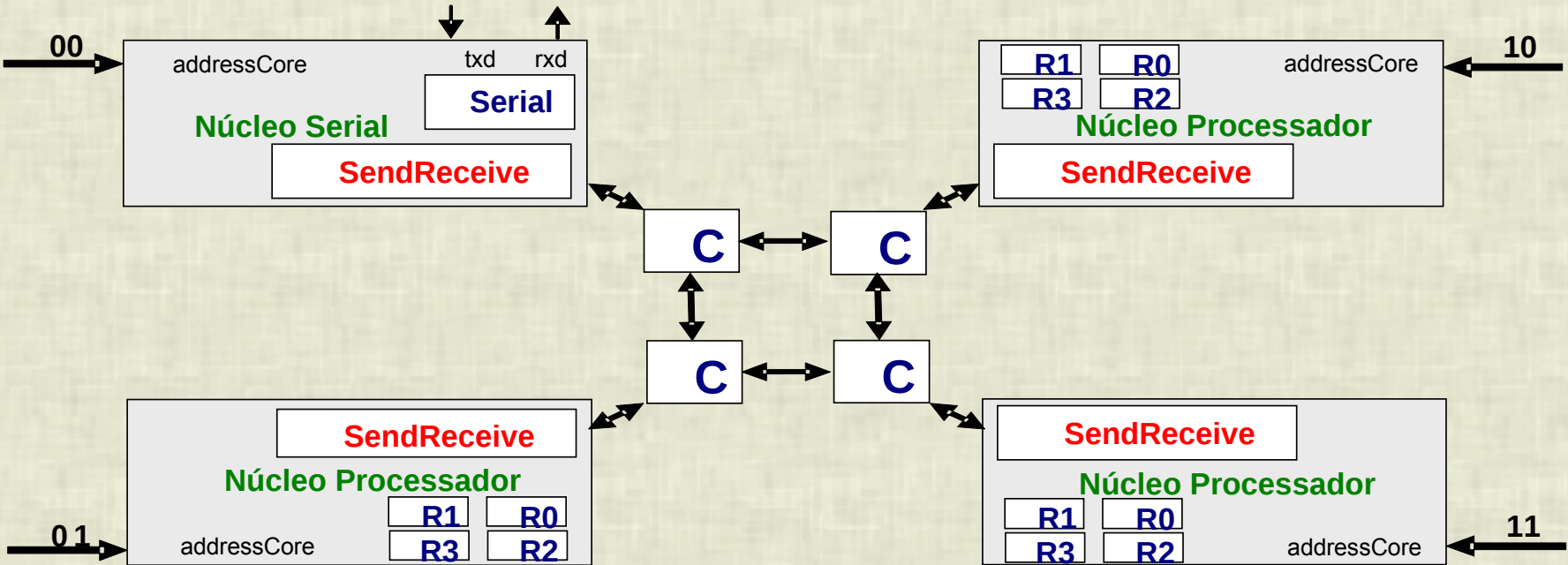
Validação Funcional da Chave



Throughput máximo chave: $(5 * f * \text{largura do flit})/2 = 500 \text{ Mbps}$

Prototipação da Rede Intra-chip

- Dispositivo XC2V1000 (capacidade - 1 milhão de portas)
- Mesh 2x2
- 2 núcleos foram desenvolvidos para validar a prototipação: núcleo Serial RS-232 e o núcleo Processador



Resultados de Área

- 1 núcleo serial e 3 núcleos processadores (com memória local).
- Sintetizado no Leonardo Spectrum.
- Consome $\pm 50\%$ do FPGA.
- chave utiliza 458 LUTs* = **4,47%** da capacidade total de LUTs.

* LUT = 1 tabela verdade de 4 variáveis

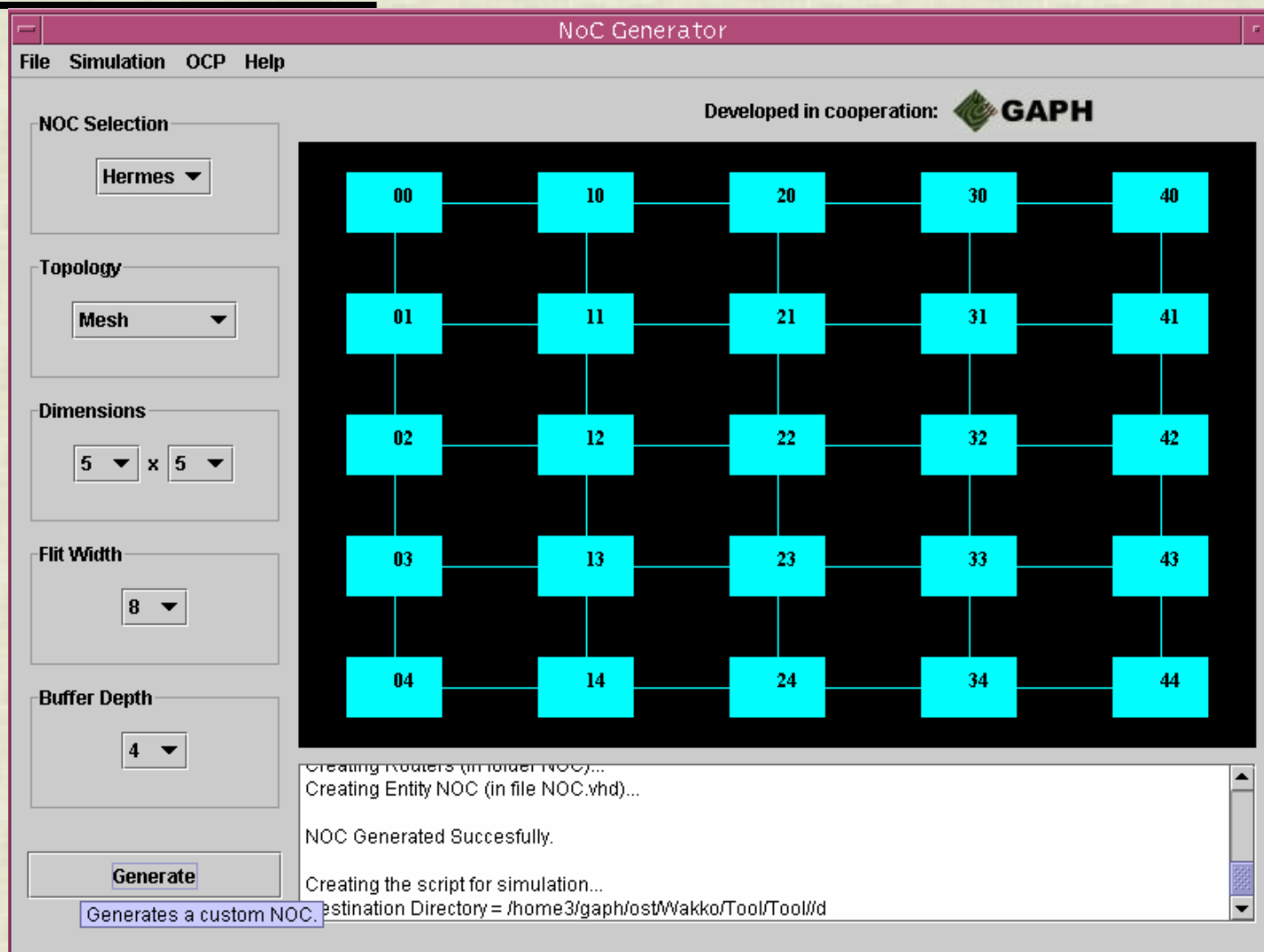
Área da NOC 2x2 para XC2V1000 FPGA

Recursos	Utilizado	Disponível	Utilizado/Total
Portas	513.107	1.000.000	51,31%
Slices	3.757	5.120	73,38%
LUTs	5.654	10.240	55,21%
Flip Flops	2.942	10.240	28,73%
BRAM	6	40	15,00%

Área dos módulos da NOC para FPGA e ASIC (0,35mm CMOS)

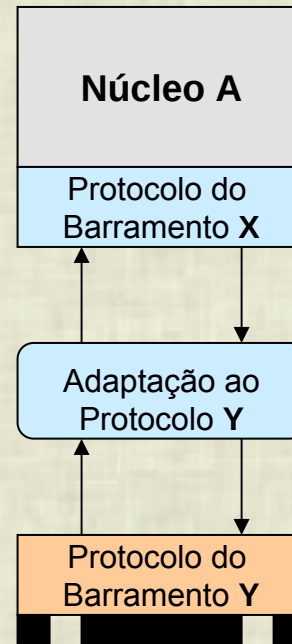
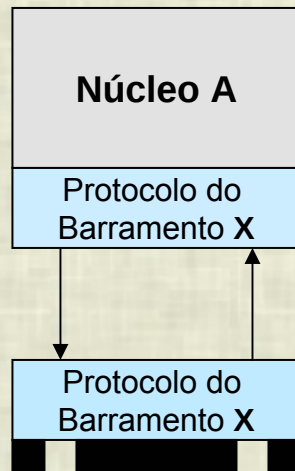
	Mapeamento Virtex II			Mapeamento ASIC
	LUTs	FFs	BRAM	
Chave	458	172	-	2.930
SR	193	233	-	1.986
Serial	91	93	-	752
Serial + SR	590	563	-	4.587
RAM	-	-	2	-
R8	513	114	-	1.885
RAM + SR + R8	1.043	576	2	5.678

Ferramenta de Geração de NoCs



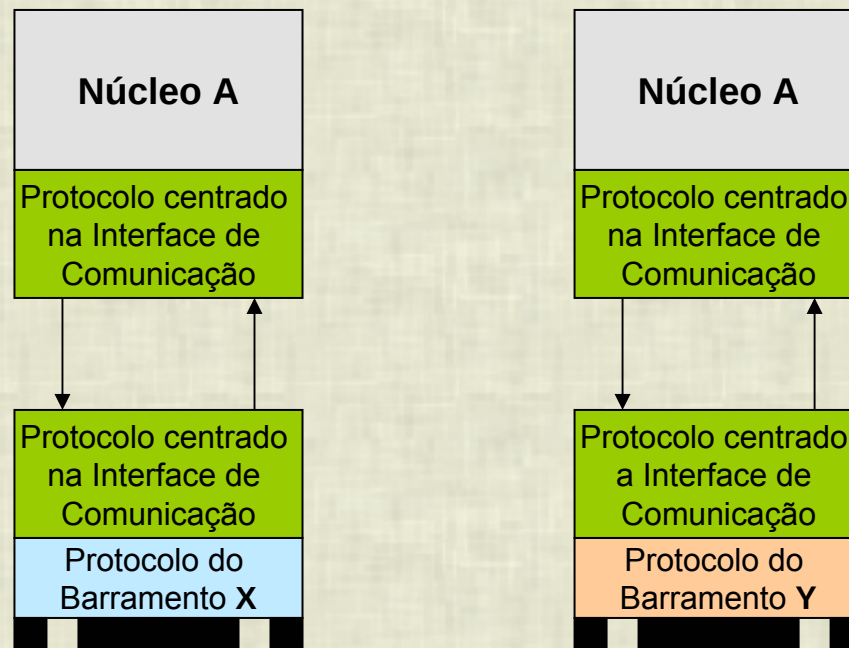
Interfaces de Comunicação Padronizadas

- **Abordagem centrada no meio de comunicação**
 - Barramentos *CoreConnect*, *Wishbone*, *AMBA*, *Avalon*, etc



Interfaces de Comunicação Padronizadas

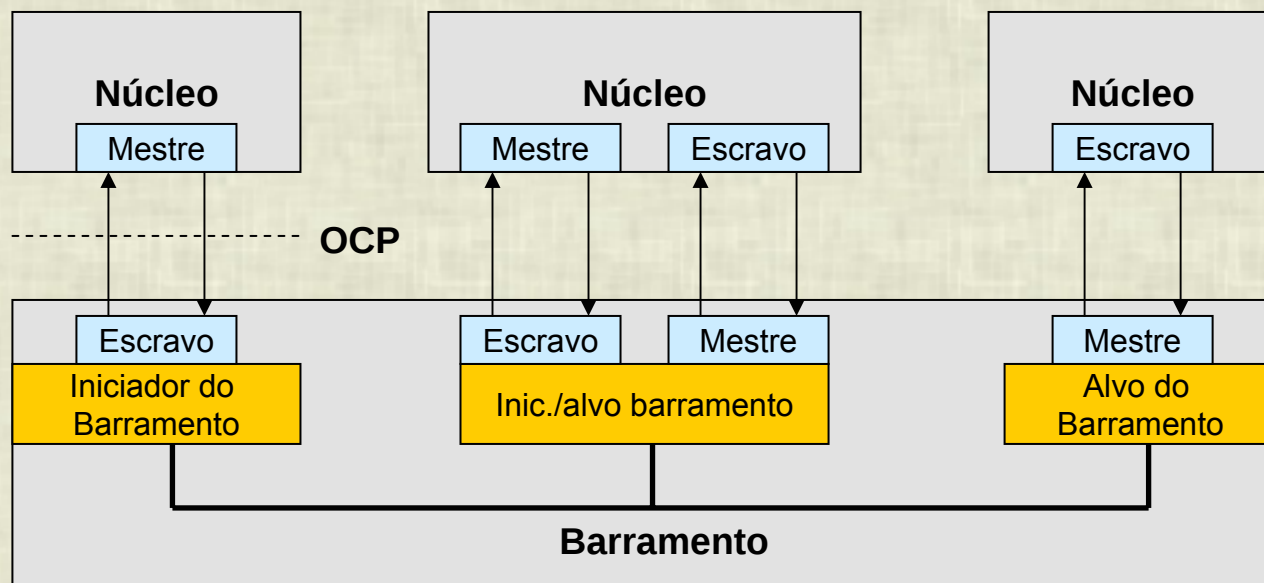
- Abordagem centrada na interface de comunicação
 - Protocolo OCP (*Open Core Protocol*), VSIA (*Virtual Socket Interface Alliance*), etc
 - Núcleos independentes do sistema de interconexão adotado



OCP-IP: *Open Core Protocol*

- **Características**

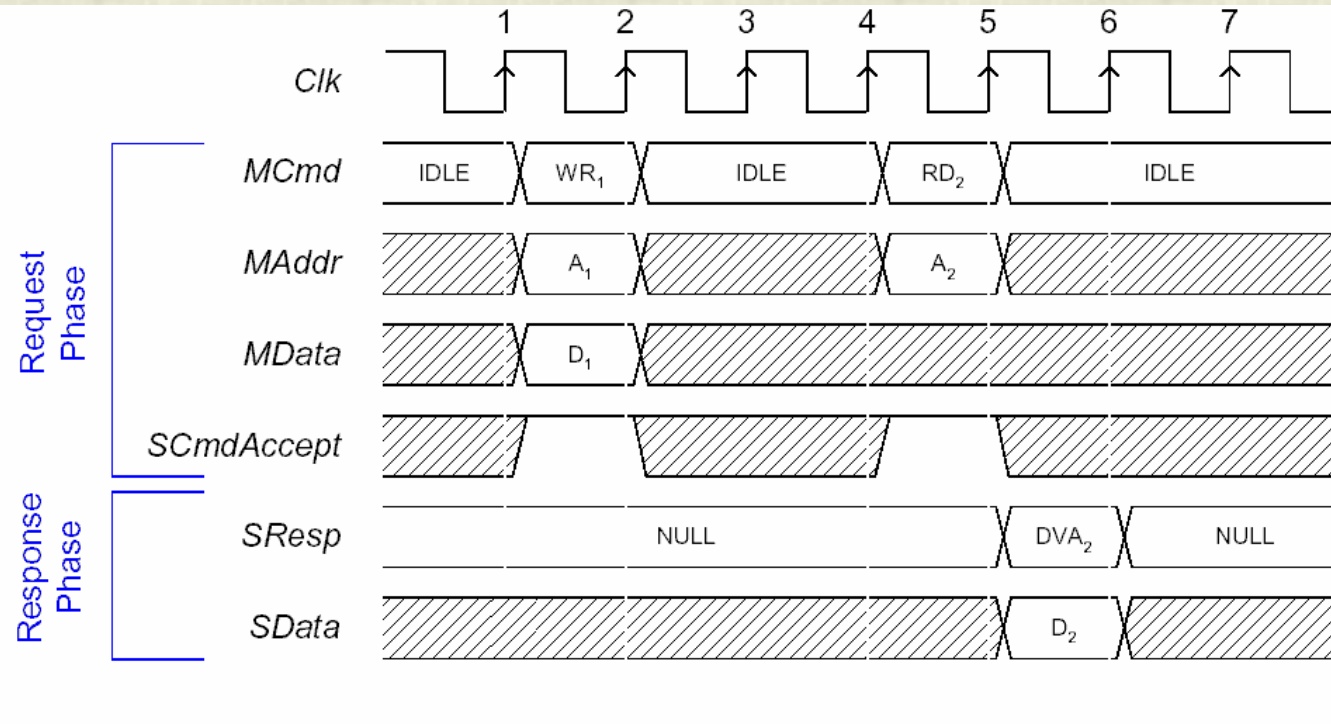
- Abordagem centrada à interface de comunicação
- Interface ponto-a-ponto
- Núcleos agem como mestres e/ou escravos



5. OCP-IP: Open Core Protocol

- Sinais Básicos

Sinal	Descrição
Clk	Sincronização
MData	Dado Mestre → Escravo
SCmdAccept	Escravo aceita requisição
SData	Dado Escravo → Mestre
MCmd	Tipo de transferência
MAddr	Endereço do escravo
SResp	Resposta do Escravo



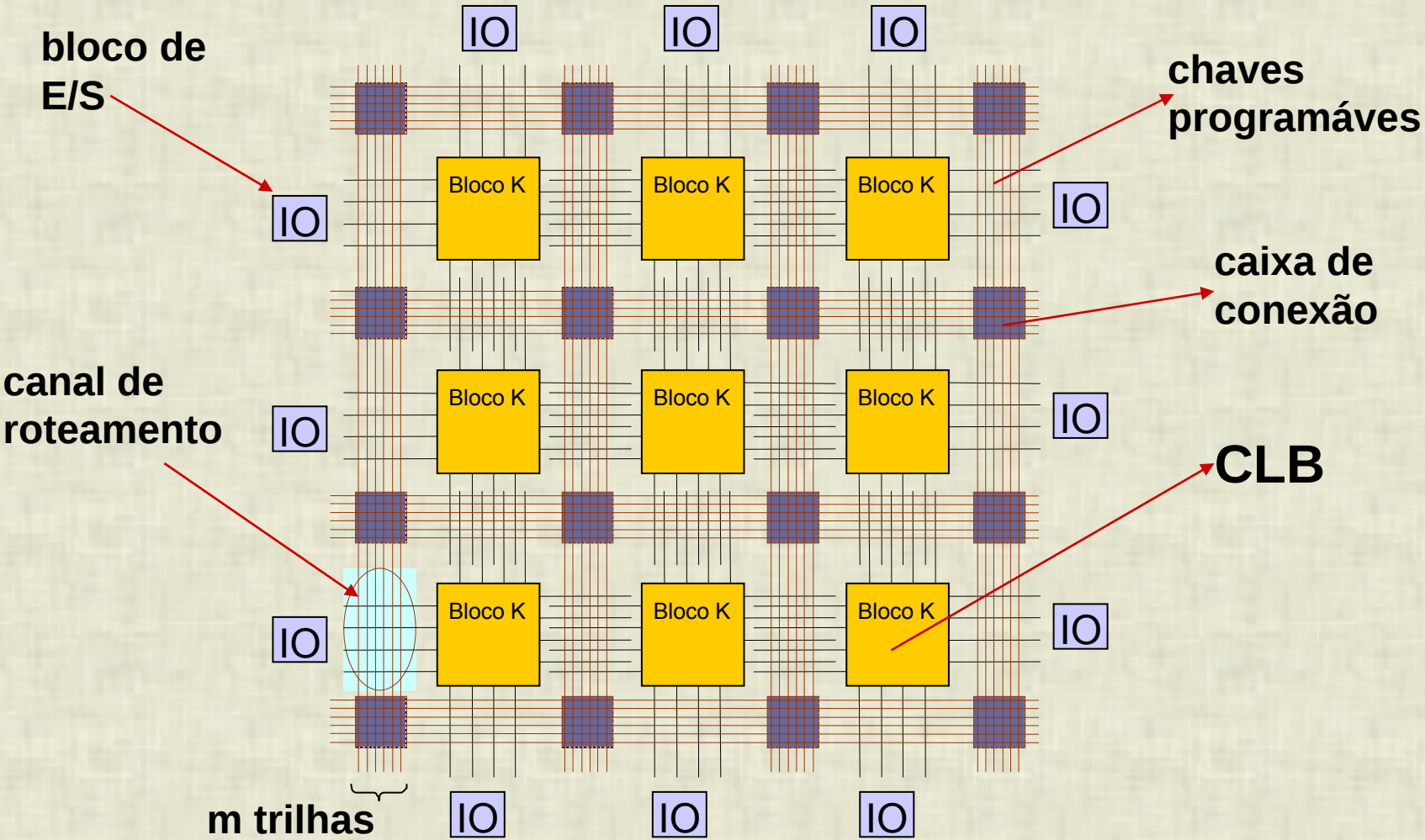
Sumário

- O Projeto de Sistemas Digitais Complexos
 - Systems on a Chip (SoCs) e Projeto de SoCs
 - A Proposta de Pesquisa do GAPH
 - Pesquisa em Núcleos de Propriedade Intelectual (IP cores)
 - **Pesquisa em Sistemas Reconfiguráveis**
 - Pesquisa em Níveis Sistêmicos de Abstração
 - Pesquisa em Software Embarcado
 - Um Agregador – Iniciativa e Projeto BrazilIP
-

O que é um Sistema Reconfigurável?

- Hardware modificável após fabricação
 - → por demanda do usuário final
 - memória de configuração
 - Analogia – processador
 - → sistema de hardware fixo
 - → executa diferentes tarefas mudando o software
 - memória de programa/dados
 - FPGAs – sistemas reconfiguráveis por excelência, mas não os únicos!
-

Arquitetura de FPGA



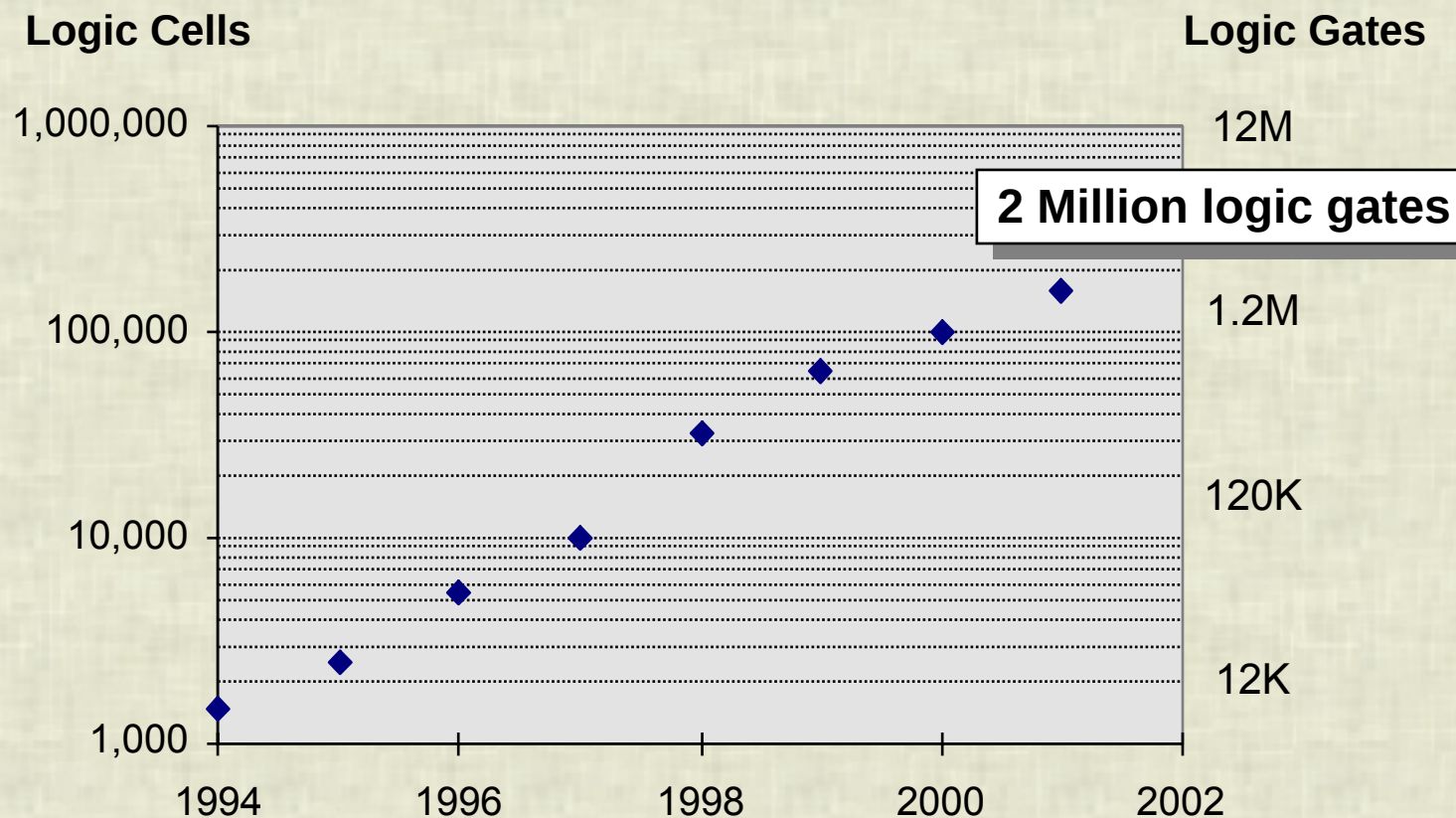
Características Gerais de FPGAs

- **Configuração das Funções Lógicas Combinacionais**
 - **Configurabilidade e Reconfigurabilidade**
 - **Opções de Arquiteturas Internas**
 - **Tendência Atual**
 - **XILINX - Famílias Virtex-II, Virtex-II-Pro, Spartan3 (baixo custo)**
 - **ALTERA - Família Apex, Stratix, Cyclone (baixo custo)**
-

Recursos Adicionais

- **Buffers three-state**
 - **Blocos de RAM**
 - **Controle de relógio – PLLs e DLLs**
 - **Multiplicadores rápidos**
 - **Processadores embutidos**
 - MIPS-Altera
 - PowerPC-Xilinx
-

Número de portas lógicas equivalentes



10Mportas - de fato em Jul/2000

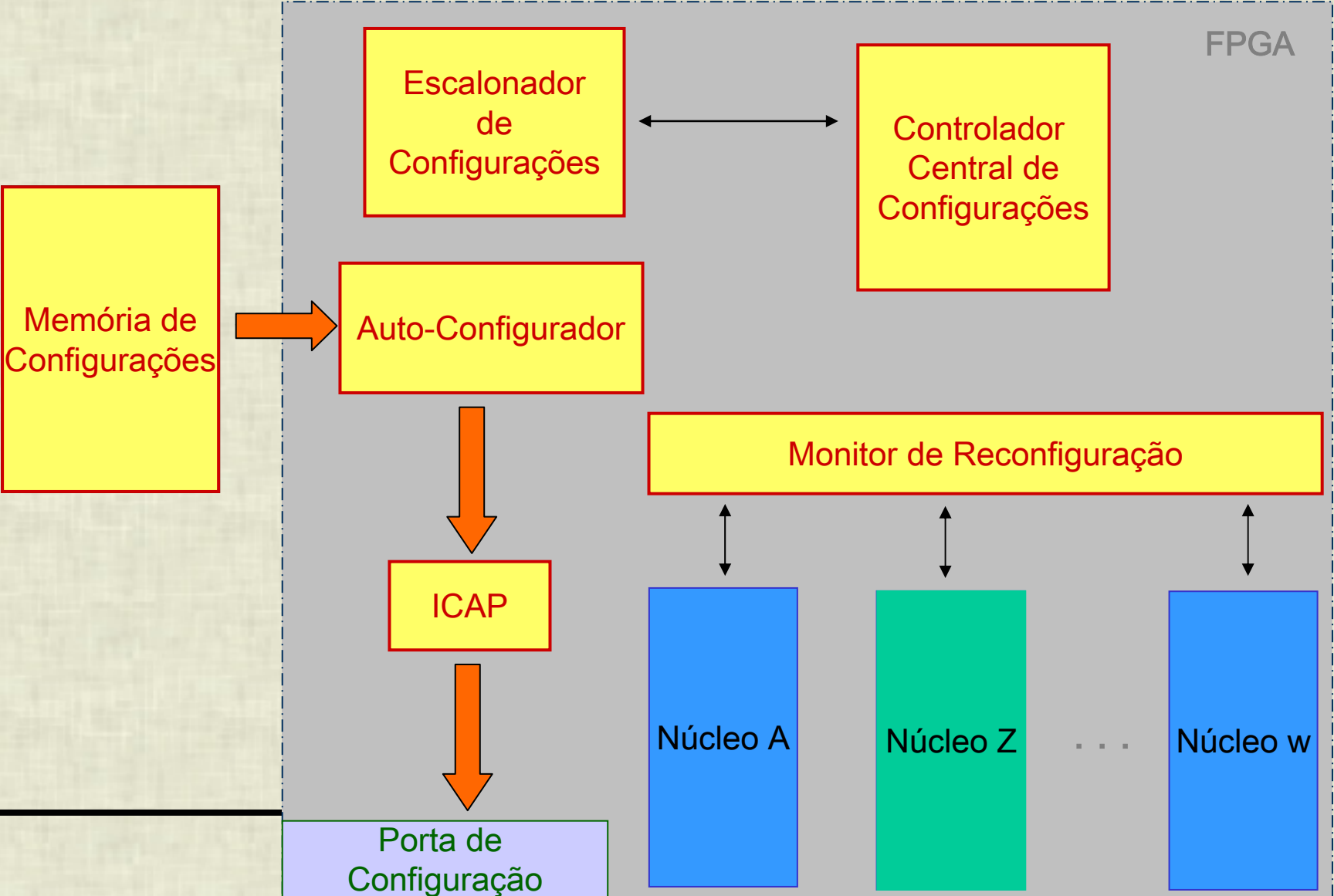
Reconfiguração Parcial e Dinâmica

- **Configuração**
 - Conjunto de bits determinam funções e estrutura do hardware
 - **Reconfiguração**
 - Processo de alterar uma dada configuração
 - Reconfiguração total
 - Reconfiguração parcial
 - Classificação de Sistemas Digitais Reconfiguráveis:
 - SDRs em nível de placa (GARP, Chess)
 - SDRs em nível de Chip (Virtex da Xilinx, ATMEL AT40K)
 - Ferramentas para reconfiguração parcial
 - Parbit, JBits, JRTR, Projeto Modular (*Modular Design*)
 - Interface Padrão de Comunicação proposta por Palma
-

Pesquisa em Sistemas Reconfiguráveis – RSCM

- **RSCM**
 - Reconfigurable System Configuration Manager
 - **Características**
 - Módulo de hardware interno ao FPGA – controla reconfiguração
 - Hardware formado por IP Cores
 - Sob demanda, RSCM remove/insere módulos
 - Escalonamento estático armazenado
 - Configuração com ou sem relocação de módulos no FPGA
 - Monitoração de atividade de IP cores
 - Sem ou com preempção
 - Desafios
 - Reconfiguração parcial e dinâmica
 - Relocação de módulos *sem ressíntese*
 - Preempção de IPs – salvamento de contexto
-

Pesquisa em Sistemas Reconfiguráveis - RSCM



Pesquisa em Sistemas Reconfiguráveis – Reconfiguração Parcial

- **Projeto Modular**

- Fluxo de Projeto Xilinx – originalmente para trabalho em equipe sobre sistemas complexos

- **Características**

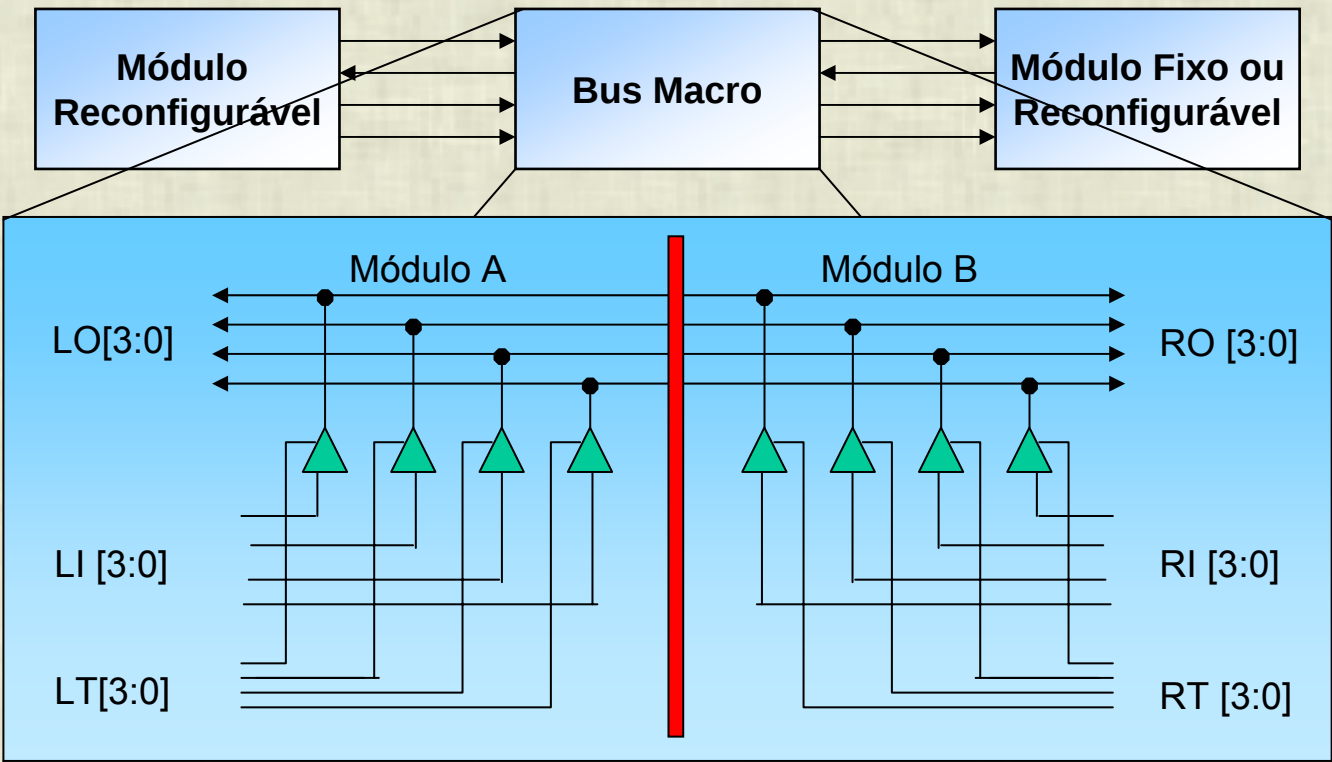
- Muitos passos para controlar
 - Posicionamento de IPs na planta baixa do circuito
 - Repetitividade do posicionamento
 - Repetitividade do roteamento
- Pouca automatização de execução → erros freqüentes
- Baseado na comunicação mediante BUS MACROS
- Quantidade de bus macros limitada pelo número de tristates do FPGA

- **Propostas**

- Ferramenta MDLauncher – scripts p/ automatizar fluxo
 - Controlar largura da comunicação partes fixa ↔ reconfigurável
-

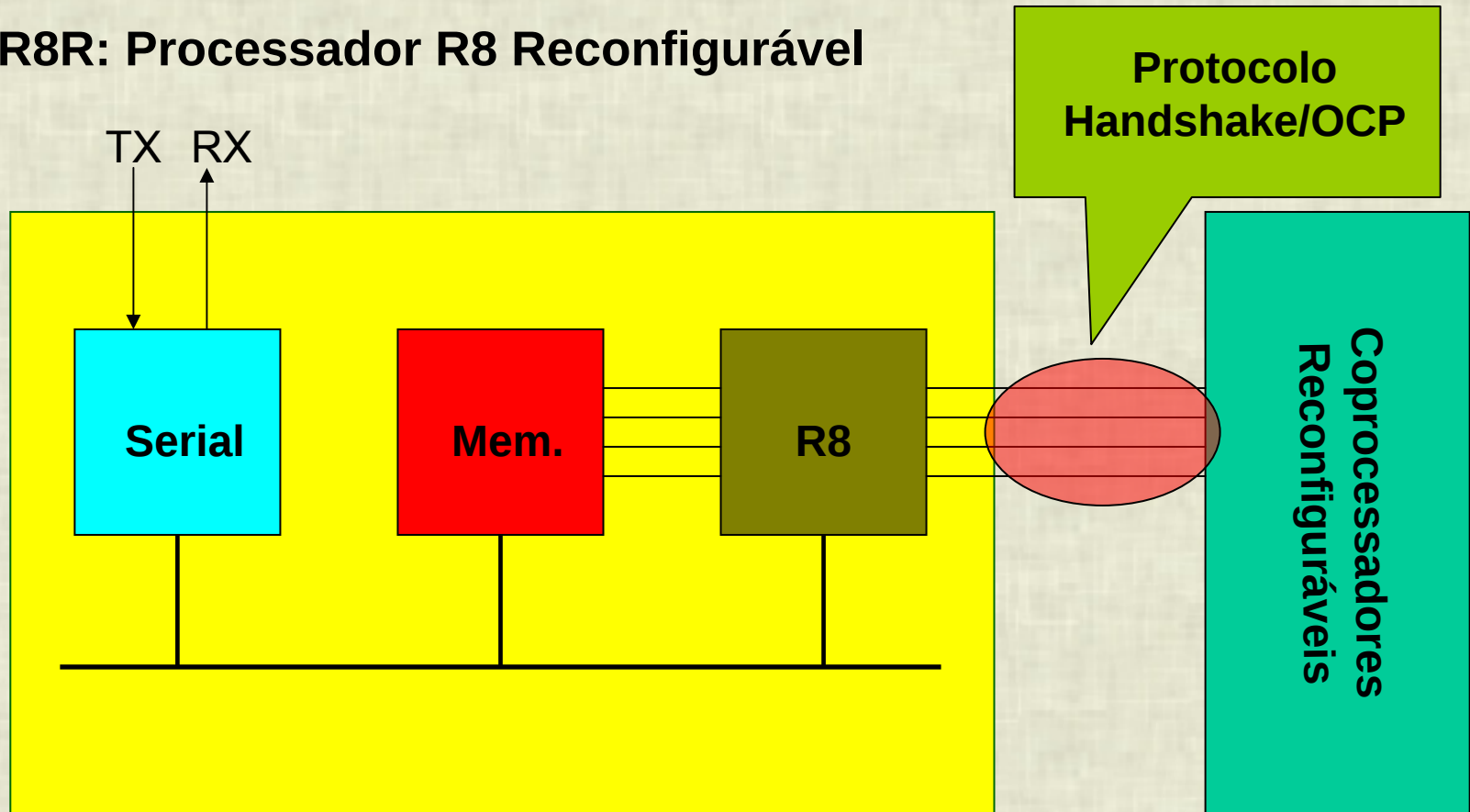
Projeto Modular – Tecnologia Habilitadora

- **Bus Macro**
 - Permite comunicação entre módulos reconfiguráveis e fixos



Estudo de Caso – um processador reconfigurável

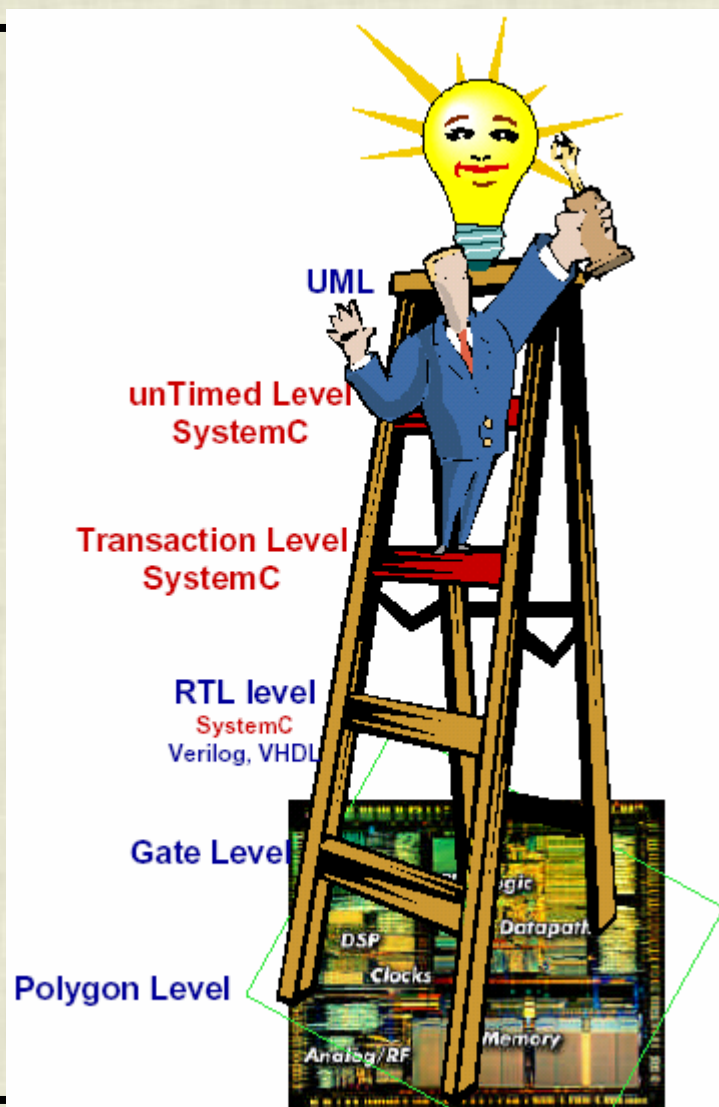
- R8R: Processador R8 Reconfigurável



Sumário

- O Projeto de Sistemas Digitais Complexos
 - Systems on a Chip (SoCs) e Projeto de SoCs
 - A Proposta de Pesquisa do GAPH
 - Pesquisa em Núcleos de Propriedade Intelectual (IP cores)
 - Pesquisa em Sistemas Reconfiguráveis
 - Pesquisa em Níveis Sistêmicos de Abstração
 - Pesquisa em Software Embarcado
 - Um Agregador – Iniciativa e Projeto BrazilIP
-

Pesquisa em Níveis Sistêmicos de Abstração



- VHDL/Verilog são de muito baixo nível para SOCs
- Arnout propôs 3 novos níveis de abstração
- Níveis adicionais favorecem projeto e verificação de SoCs
- Outra proposta vai mais longe – Haverinen propôs 3 níveis

Abstraction removes:	
Message Layer (L-3)	Resource sharing, time
Transaction Layer (L-2)	Clock, protocols
Transfer Layer (L-1)	Wires, registers
RTL Layer (L-0)	Gates, gate/wire delays

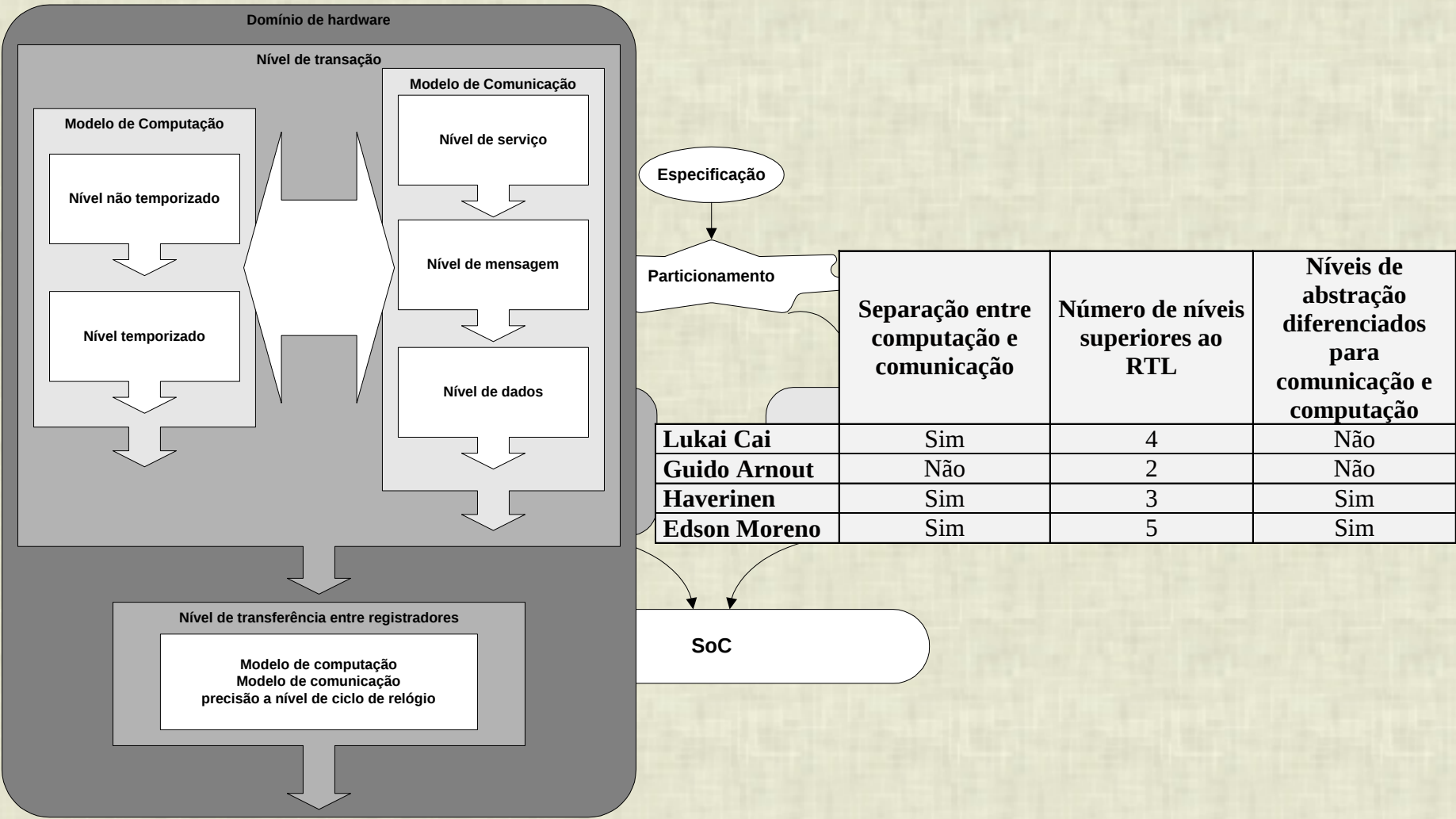
Pesquisa em Níveis Sistêmicos de Abstração

- **SystemC para implementar um processador no nível de transação**
 - Sem clock
 - Projeto e validação – muito mais rápidos
 - Detecção de erros mais cedo
 - Resultados iniciais publicados no SBCCI-2003
 - **Trabalho atual**
 - Modelagem de NoCs
 - Definição de propostas de modelos para
 - Processamento
 - Comunicação
-

Níveis de Abstração Acima do RTL

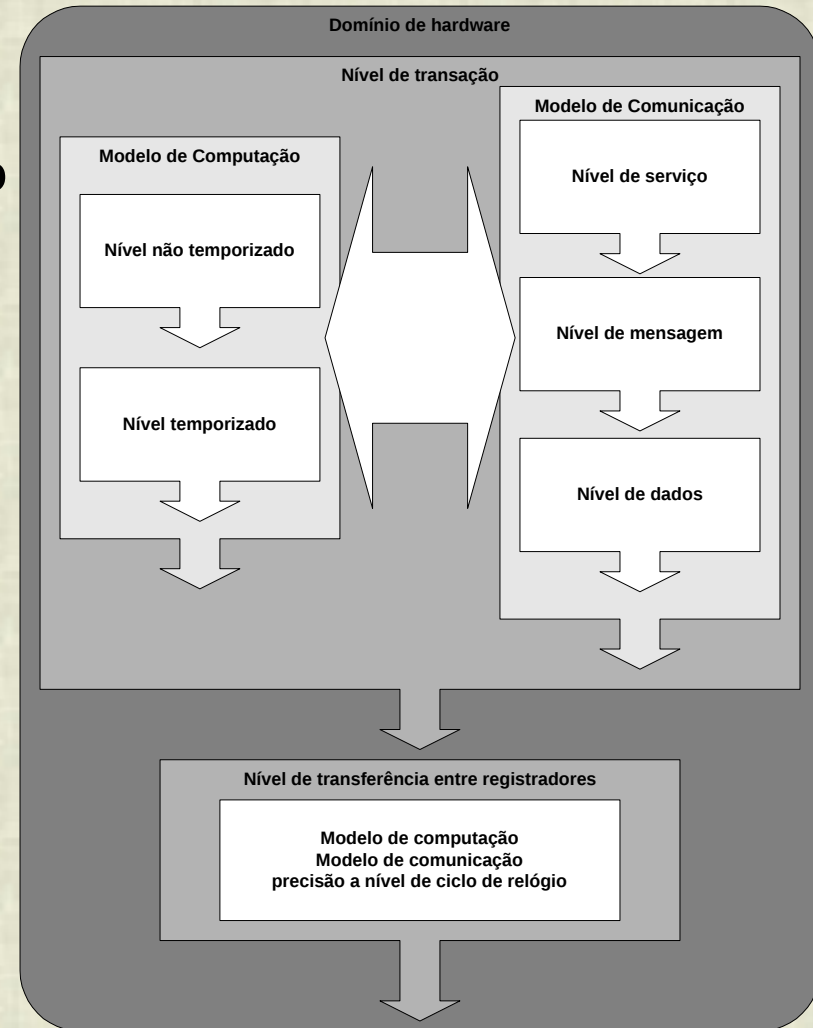
- **Níveis de abstração adotados**
 - **Especificação:**
 - **Característica:** não há particionamento hw/sw
 - **Modelagem:** definição do sistema
 - **Descrição:** busca do algoritmo mais otimizado
 - **Transação:**
 - **Característica:**
 - há particionamento hw/sw
 - Separação entre comunicação e computação
 - Comunicação ocorrendo de forma abstrata sem precisão de ciclos de relógio
 - **Transferência entre registradores:**
 - **Característica:**
 - Há particionamento hw/sw
 - Comunicação e computação integrados
 - Comunicação descrita a partir de sinais bem definidos
-

Níveis de Abstração Acima do RTL



Níveis de Abstração Acima do RTL

- **Níveis de abstração - Comunicação**
 - Nível de serviço
 - Nível de mensagem
 - Nível de dado
 - Nível RTL
- **Níveis de abstração - computação**
 - Nível não temporizado
 - Nível temporizado
 - Nível RTL
- **Por que diferenciar?**
 - **Processamento e comunicação:**
 - Duas espécies diferentes!
 - Como Datapath e Controle



Níveis de Abstração – Uso de SystemC

- **Linguagem de descrição de hardware adotada**
 - SystemC 2.0.1
 - **Justificativas**
 - Permite níveis de abstração proposto
 - Mais pessoal treinado em C/C++ que VHDL/Verilog
 - Tipos de dados específicos para projeto de hardware
 - **Características**
 - Estende biblioteca de classes C/C++
 - Gera especificação executável
 - Provê ambiente homogêneo de descrição de hw e sw
 - Permite mecanismos de validação mais abstratos que formas de onda
-

Sumário

- O Projeto de Sistemas Digitais Complexos
 - Systems on a Chip (SoCs) e Projeto de SoCs
 - A Proposta de Pesquisa do GAPH
 - Pesquisa em Núcleos de Propriedade Intelectual (IP cores)
 - Pesquisa em Sistemas Reconfiguráveis
 - Pesquisa em Níveis Sistêmicos de Abstração
 - Pesquisa em Software Embarcado
 - Um Agregador – Iniciativa e Projeto BrazilIP
-

Pesquisa em Software Embarcado

- **Assunto em início de desenvolvimento**
 - Importância crescente de software no projeto de SoCs
 - Processadores existem em qualquer SoC (em média, 4!)
 - **Capacidade para lidar com FPGAs complexos**
 - Plataformas Virtex/Apex – Processadores soft: MicroBlaze/Nios
 - Plataformas Virtex-II Pro/Excalibur – Processadores hard: PowerPC/ARM
 - Ambientes de projeto Hw/Sw – Xilinx/EDK e Altera/SOPC Builder
 - **Possibilidade concreta**
 - Projeto TV Digital Brasileira
 - Drivers de dispositivo
 - Middleware
-

Sumário

- O Projeto de Sistemas Digitais Complexos
 - Systems on a Chip (SoCs) e Projeto de SoCs
 - A Proposta de Pesquisa do GAPH
 - Pesquisa em Núcleos de Propriedade Intelectual (IP cores)
 - Pesquisa em Sistemas Reconfiguráveis
 - Pesquisa em Níveis Sistêmicos de Abstração
 - Pesquisa em Software Embarcado
 - Um Agregador – Iniciativa e Projeto BrazilIP
-

A Iniciativa e o Projeto Brazil-IP (<http://www.brazilip.org>)

- **Iniciativa** – repositório nacional de IPs – fomento a reuso
- **Projeto** – 2003-2006, 2MR\$, 8 instituições, ênfase em RH
 - **Fênix** – uma plataforma para desenvolver sistemas wireless
 - 9 IPs processadores
 - 1 IP de comunicação – NoC Hermes
 - NoC funcionando em hardware!!

