



PONTIFÍCIA UNIVERSIDADE CATÓLICA DO RIO GRANDE DO SUL
FACULDADE DE ENGENHARIA
FACULDADE DE INFORMÁTICA
CURSO DE ENGENHARIA DE COMPUTAÇÃO



Gerador de Relógio com Escalonamento Dinâmico de Frequência para Sistemas Globalmente Assíncronos e Localmente Síncronos

VALTER TOFFOLO

Trabalho de Conclusão de Curso

Orientador: Prof. Dr. Ney Laert Vilar Calazans

Porto Alegre
Novembro, 2010

AGRADECIMENTOS

Gostaria de demonstrar minha profunda gratidão à minha família: meus pais e meu irmão, que sempre estiveram ao meu lado nessa caminhada, pelo seu apoio constante, desde os momentos difíceis até as decisões felizes. Agradeço também à minha namorada por toda sua paciência quando a minha acabava e pelo carinho nas horas de desamparo.

Agradeço aos colegas que trilharam seu caminho ao meu lado, pelos estudos em grupo e por tudo que nos divertimos juntos, e por tudo que não estudamos. Um agradecimento especial aos antigos colegas do CPAD, colegas do GSE e ao pessoal do GAPH. Aos professores sempre dispostos a compartilhar de seu conhecimento e preocupados com seus alunos, fica também meu agradecimento.

Em especial, nesse tempo cursando a graduação, agradeço ao professor César Augusto de Rose por tudo que fez por mim, e ao professor Eduardo Augusto Bezerra pelas oportunidades e confiança.

Ao doutorando Julian Pontes um agradecimento especial pelo suporte no desenvolvimento desse trabalho, pela sua disponibilidade constante e grande companheirismo. Agradeço também meu orientador Ney Calazans pelo apoio, confiança e paciência durante o desenvolvimento desse trabalho.

Aos avaliadores, Edson Moreno e Letícia Poehls, agradeço pela atenção e dedicação, além da ótima revisão que fizeram deste trabalho, contribuindo com a clareza e organização do volume final.

RESUMO

Com o avanço do processo de fabricação de semicondutores é possível produzir circuitos cada vez maiores, mais rápidos e mais complexos. Essa tendência tem encontrado diversos desafios, dos quais é possível destacar: a dificuldade na implementação de projetos demasiadamente complexos; o aumento dos problemas na distribuição do sinal de relógio. Diversas alternativas visam contornar estes problemas, notadamente o aumento do poder de processamento através da replicação de elementos de processamento, o que dá margem ao surgimento de novas abordagens de comunicação, entre elas as redes intrachip. Isso permite o projeto de circuitos cada vez maiores, intensificando os problemas com a distribuição do sinal de relógio. Este problema pode ser contornado através do uso de técnicas de sistemas assíncronos ou semi-síncronos.

Este projeto tem o objetivo de suprir as necessidades de geração de um sinal de relógio com frequência variável para uma implementação assíncrona de rede intrachip. Para este fim, um oscilador em anel controlado por tensão é modelado e dimensionado para trabalhar na faixa de frequência necessária. A frequência de oscilação desta classe de geradores de relógio sofre variações ocasionadas por variações no processo de fabricação e na temperatura de funcionamento. Portanto, um controlador digital com realimentação é projetado a fim de controlar tais variações. O projeto é conduzido prezando pelo baixo consumo de potência.

Ao fim do projeto a área e consumo de potência do gerador de relógio são comparados com os da rede intrachip ao qual este é integrado, mostrando um baixo consumo de potência e área reduzida, além do potencial para redução na potência dissipada na rede intrachip abordada.

LISTA DE FIGURAS

Figura 1 – Estrutura do roteador da NoC Hermes-GLP [PON08a].	11
Figura 2 – Estrutura do controle de relógio do roteador da Hermes-GLP[PON08a].	11
Figura 3 – Exemplo de controle de frequência do sinal de relógio em uma NoC Hermes-GLP 3x3. Os roteadores mais escuros possuem frequência de operação mais elevada [PON08a].	12
Figura 4 – Variação global de processo.	20
Figura 5 – Variação local de processo. Dispositivos arquiteturalmente idênticos com características diferentes.	21
Figura 6 - Arquitetura simplificada do gerador de relógio.	23
Figura 7 – Fluxo de projeto Digital/Analógico/ <i>Mixed Signal</i> adotado. A coluna da esquerda especifica o fluxo digital, enquanto na esquerda detalha o fluxo analógico. No centro encontra-se o ambiente de validação <i>mixed signal</i> .	24
Figura 8 – Elemento de atraso selecionado.	26
Figura 9 – Circuito utilizado para avaliação do dimensionamento do elemento de atraso.	27
Figura 10 – Resultados com anel de 13 estágios e PMOS com tamanhos extremos.	29
Figura 11 – Resultado da variação no dimensionamento do transistor PMOS de controle.	31
Figura 12 – Simulações de melhor e pior caso de processo e temperatura.	32
Figura 13 – Histograma de frequência em função de variações no processo em diferentes temperaturas.	32
Figura 14 – Histograma de frequência em função de variações no processo no melhor e pior caso de temperatura para anel com 13 elementos.	33
Figura 15 – Layout do oscilador em anel de 11 estágios.	34
Figura 16 – Circuito adotado para o árbitro.	35
Figura 17 – Oscilador em anel com filtro <i>mutex</i> .	35
Figura 18 – Histograma de frequência em função de variações no processo no melhor e pior caso de temperatura para anel com 11 elementos e árbitro.	36
Figura 19 – Esquemático do conversor digital para analógico.	37
Figura 20 – Simulação do DAC em série com o oscilador.	37
Figura 21 – Alteração da curva de frequência do oscilador causada pelo processo de fabricação.	38
Figura 22 – Alteração na curva de frequência do oscilador causada pela temperatura.	39
Figura 23 – Interface externa do controlador.	40
Figura 24 – Negociação da frequência desejada.	41
Figura 25 – Restrições de timing utilizadas na síntese usando o oscilador em anel projetado.	44
Figura 26 – Circuito sintetizado do controlador.	44
Figura 27 – Comparação entre área do roteador e do gerador de relógio.	46
Figura 28 – Comparação entre o consumo de potência do roteador e do gerador de relógio.	46

LISTA DE TABELAS

Tabela 1 – Especificações do gerador de relógio.	25
Tabela 2 – Tabela comparativa de trabalhos relacionados.	51

LISTA DE ABREVIATURAS

AMS	Analog <i>Mixed Signal</i>
ASIC	Application Specific <i>Integrated Circuit</i>
CMOS	Complementary Metal Oxide Semiconductor
DAC	Digital-to-analog Converter
DCO	Digitally Controlled Oscillator
DCM	Digital Clock Manager
DFS	Dynamic Frequency Scaling
DRC	Design Rules Check
DSP	Digital Signal Processing
DVFS	Dynamic Voltage and Frequency Scaling
FIFO	First In, First Out
FPGA	Field-Programmable Gate Array
GALS	Globally Asynchronous, Locally Synchronous
LVS	Layout versus Schematic
MPSoC	Multiprocessor System on a Chip
NMOS	Negative-channel Metal Oxide Semiconductor
NoC	Network on Chip
PMOS	Positive-channel Metal Oxide Semiconductor
RISC	Reduced Instruction Set Computer
SoC	System on a Chip
VCO	Voltage-controlled Oscillator
VHDL	VHSIC Hardware Description Language
VHSIC	Very High Speed <i>Integrated Circuit</i>

SUMÁRIO

1	INTRODUÇÃO.....	9
1.1	Motivação	10
1.2	Objetivos.....	13
1.3	Estrutura do Documento.....	14
2	FUNDAMENTAÇÃO TEÓRICA	15
2.1	Sistemas Globalmente Assíncronos Localmente Síncronos.....	15
2.2	Controle Dinâmico de Frequência	16
2.3	Projeto com Sinal Misto	16
2.4	Projeto Analógico.....	17
2.5	Projeto Digital	18
2.6	Variações no Processo	18
3	PROJETO DO GERADOR DE RELÓGIO	23
3.1	Metodologia e Visão Geral.....	23
3.2	Projeto do Oscilador	25
3.3	Conversor de sinal digital para analógico	36
3.4	Projeto do Controlador.....	38
4	RESULTADOS	45
5	TRABALHOS RELACIONADOS.....	49
6	CONSIDERAÇÕES FINAIS.....	53

1 INTRODUÇÃO

O aumento do número de transistores em um único chip levou o projeto de circuitos integrados a um novo nível de complexidade. Uma vez que junto com esse avanço vem o aumento da complexidade e, conseqüentemente, do tempo de projeto, as estratégias de implementação de circuitos precisam ser revistas para permitir o máximo aproveitamento da tecnologia. Para alcançar grande produtividade na execução dos projetos, os problemas precisam ser divididos em partes menores (usado a conhecida técnica de *divisão e conquista*) e o reuso de partes deve ser priorizado.

Tendo em vista que o aumento da frequência de operação não acompanha a evolução da taxa de integração [ITR05], o poder de um único elemento de processamento dificilmente pode ser melhorado. A solução natural para este problema é o aumento do número de elementos de processamento no mesmo chip e conseqüentemente do grau de paralelismo empregado nas operações. Quando o elemento de processamento em questão é um processador tem-se um sistema multiprocessado em chip (em inglês *multiprocessor system on a chip* ou MPSoC). O uso de MPSoCs provê escalabilidade e reuso. Além disso, a possibilidade de incluir mais de um único processador em um chip tornou possível o projeto de sistemas com múltiplas funcionalidades relacionadas, mas que servem a um propósito específico. Como exemplo podemos citar os chips para telefones celulares que incluem processadores DSP (que fazem processamento digital de sinais, do inglês *Digital Signal Processing*) e RISC (do inglês, *Reduced Instruction Set Computing*, ou seja, computação com um conjunto reduzido de instruções) no mesmo chip, além de funcionalidades de processamento de áudio e vídeo, entre outras [MAR05].

Circuitos integrados com mais de um processador necessitam de uma arquitetura de comunicação intrachip de grande desempenho, capaz de prover a escalabilidade requerida em MPSoCs. Originalmente tais arquiteturas basearam-se no uso de barramentos. Com o aumento do número de elementos de processamento no mesmo chip, a complexidade das comunicações internas no nível mais alto da hierarquia do projeto torna-se cada vez maior, exigindo

crecentes porções de área do chip, além de aumentar o atraso dos sinais e capacitâncias parasitas. É premente a necessidade de modelar arquiteturas de comunicação específicas, reutilizáveis e escaláveis. Todos esses aspectos contribuem para o estabelecimento de uma nova abordagem de interconexão intrachip, mais semelhante a uma rede completa do que meros fios compartilhados. As vantagens da abordagem de redes para comunicação intrachip incluem estrutura, desempenho, escalabilidade e modularidade [DAL01]. Com uma rede bem estruturada, elementos de processamento podem ser adicionados e removidos com menor impacto no projeto.

O emprego de redes intrachip (NoC, do inglês *Network on Chip*) em MPSoCs é capaz de prover a escalabilidade requerida, reduzir o tempo de projeto em função do aumento no nível de reuso e dessa forma permitir o aproveitamento da taxa de integração fornecida pelas novas tecnologias de silício. Entretanto, há outros problemas a serem sanados. A construção de um MPSoC esbarra também nos problemas de distribuição de um relógio global para sincronizar um SoC com escorregamento controlado. Uma alternativa é o emprego da técnica de projeto Globalmente Assíncrona e Localmente Síncrona [TEE07] [OGR07] (GALS).

1.1 Motivação

Em trabalho anterior, Pontes et al. [PON08b] propuseram uma arquitetura NoC denominada Hermes-GLP (abreviatura de Hermes GALS *Low Power*), com capacidade de ajustar dinamicamente a frequência de operação de roteadores de acordo com a prioridade dos pacotes. A Figura 1 mostra a estrutura do roteador da Hermes-GLP, enquanto a Figura 2 mostra o controlador de frequência adotado. O autor mostra em [PON08b] que esta NoC tem potencial para redução do consumo de potência na comunicação de um SoC. O projeto desta NoC foi prototipado em FPGA. Na implementação descrita em [PON08b], o escalonamento da frequência de operação era obtido através da seleção de

um número restrito de frequências fornecidas pelo gerente de relógio do FPGA, ou DCM, do inglês *Digital Clock Manager*.

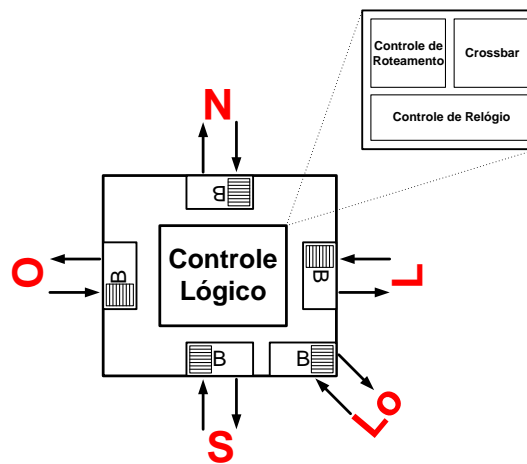


Figura 1 – Estrutura do roteador da NoC Hermes-GLP [PON08a].

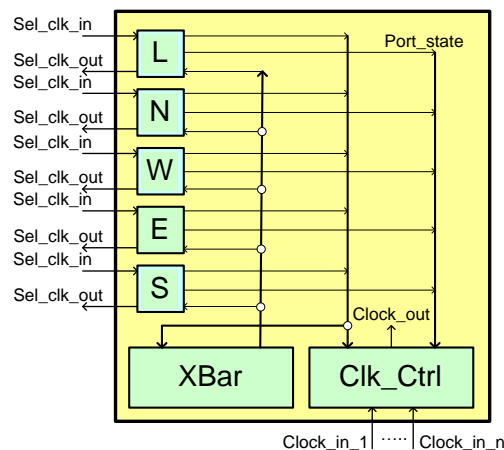


Figura 2 – Estrutura do controle de relógio do roteador da Hermes-GLP [PON08a].

A Figura 3 ilustra o controle de relógio dos roteadores em tempo de execução.

Atualmente, dentro do grupo de pesquisa GAPH, há interesse em dar continuidade aos trabalhos com a Hermes-GLP através da implementação de uma versão dessa NoC em tecnologias ASIC recentes, como CMOS 65nm. Isso torna necessário a implementação ASIC de um gerador de relógio para substituir o DCM existente em FPGAs, como o utilizado na prototipação da Hermes-GLP. O presente trabalho tem a finalidade de suprir essa necessidade, criando um gerador de relógio especialmente ajustado às necessidades da NoC, ou seja, baixo consumo de potência e área reduzida.

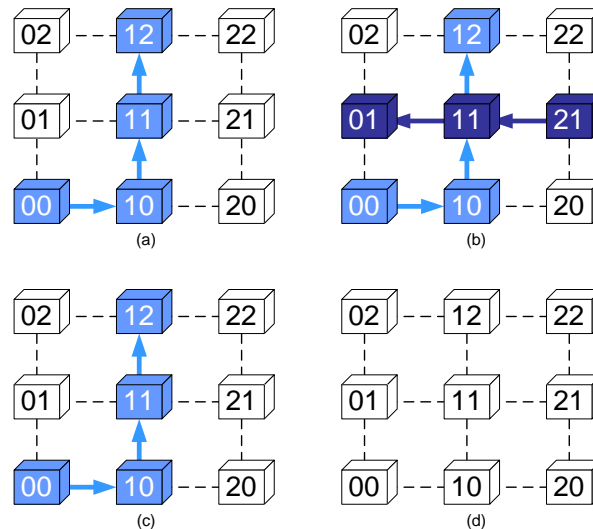


Figura 3 – Exemplo de controle de frequência do sinal de relógio em uma NoC Hermes-GLP 3x3. Os roteadores mais escuros possuem frequência de operação mais elevada [PON08a].

Além disso, o roteador terá a possibilidade de escolher entre um número maior de frequências, o que pode reduzir ainda mais o consumo de potência através da seleção daquela que melhor se ajustar às necessidades de múltiplas taxas de transferência. Também está incluída nos trabalhos futuros apontados por [PON08b] a implementação de escalonamento dinâmico de tensão e frequência [BEI08] (DVFS, em inglês *Digital Voltage and Frequency Scaling*) para um gerenciamento ainda melhor do consumo de potência. Para essa finalidade, o escalonamento dinâmico de frequências é um elemento fundamental que também será disponibilizado por este trabalho.

Além dos aspectos práticos, o autor tem também suas motivações pessoais que acredita que acrescentarão bastante em suas habilidades acadêmicas e profissionais. Estes fatores motivacionais intrínsecos incluem:

- um aprendizado sobre o funcionamento e projeto de MPSoCs e NoCs, através da leitura e pesquisa a respeito desses assuntos;
- o desenvolvimento de suas habilidades com ferramentas e tecnologias utilizadas no projeto de hardware, através da leitura de manuais e interação com membros mais experientes no assunto dentro do grupo de pesquisa GAPH;

- a publicação de artigos científicos sobre o assunto em conferências internacionais e outros meios de veiculação científica relevantes.

1.2 Objetivos

Tendo em vista os argumentos expostos anteriormente, expõe-se aqui um conjunto de objetivos gerais a serem alcançados na realização desse trabalho:

1. Implementação de um sistema de geração de relógio ajustável para a implementação de controle dinâmico de frequências em sistemas GALS.
2. Integração do gerador proposto à rede intrachip Hermes-GLP.
3. Avaliação da abordagem proposta.

Para a execução desses objetivos gerais deriva-se uma série de objetivos específicos:

1. Desenvolvimento do esquemático e layout de um oscilador em anel.
2. Caracterização elétrica através de simulação elétrica do oscilador em anel. Isto inclui a validação com variação de processo global e local bem como variação de temperatura.
3. Desenvolvimento de um sistema digital de controle do oscilador.
4. Validação do controle e do oscilador em anel através de simulações de sinal misto (*mixed-signal*).
5. Síntese lógica e física do controlador e análise de área, temporização (*timing*) e potência.

1.3 Estrutura do Documento

O restante desse documento está organizado da seguinte forma: O Capítulo 2 apresenta uma série de conceitos considerados relevantes para o acompanhamento desse trabalho (GALS, Controle Dinâmico de Frequência, Projetos de Sinal Misto, Analógico e Digital e Variação de processo global e local). O Capítulo 3 traz uma revisão dos trabalhos relacionados. O Capítulo 4 descreve a estrutura geral do controlador de frequência e apresenta a metodologia e as ferramentas adotadas no projeto. O Capítulo 5 descreve o projeto do oscilador enquanto o Capítulo 6 descreve o projeto do controlador. O Capítulo 7 apresenta os resultados obtidos, enquanto o Capítulo 8 apresenta algumas conclusões e propostas de trabalhos futuros.

2 FUNDAMENTAÇÃO TEÓRICA

2.1 Sistemas Globalmente Assíncronos Localmente Síncronos

Um Sistema Globalmente Assíncrono e Localmente Síncrono é caracterizado pela definição de diversas ilhas de sincronismo, ou seja, regiões do circuito que funcionam sincronamente em um determinado domínio de frequência. Entre as ilhas, não existe relação de frequência e/ou fase. Sinais que cruzam os domínios distintos devem ser sincronizados no novo domínio antes que possam ser utilizados em qualquer computação.

Os mecanismos de sincronização mais comumente empregados são o uso de sincronizadores e o uso da técnica chamada *clock stretching*, ou seja, prolongamento do sinal de relógio. Sincronizadores usam *flip-flops* em série para reduzir a probabilidade de metaestabilidade, fenômeno ocorrido em função da violação do tempo de *setup* e *hold* dos *flip-flops*, cuja consequência é a indefinição do nível lógico do sinal, ficando este na metade da excursão de tensão. O mecanismo de *clock stretching* pausa o relógio durante a troca de dados e volta a oscilar somente quando os dados estão estáveis e sem risco de violação de tempos de *setup* e *hold* durante a amostragem no novo domínio [MOO02].

Os osciladores desenvolvidos nesse trabalho habilitam o uso de ambas as técnicas. O uso de sincronizadores é trivial e não necessita alteração na estrutura do oscilador em anel. A técnica de prolongamento do sinal de relógio exige a adição de um elemento de exclusão mútua ou um alongador (*stretcher*) [PON08a]. Neste trabalho é utilizado um elemento de exclusão mútua.

2.2 Controle Dinâmico de Frequência

Além do problema de distribuição de relógio, outro problema que o avanço no uso de MPSoCs enfrenta é a quantidade de energia disponível, principalmente em sistemas embarcados. Para atender restrições, é necessário o emprego de técnicas avançadas de controle de potência, como o controle dinâmico de frequência e o controle dinâmico de tensão e potência.

O controle dinâmico da frequência de operação de um SoC (do inglês *Dynamic Frequency Scaling* – DFS), é um método de redução de potência onde a frequência do sinal de relógio é modulada em função de alguma variável de controle. O trabalho [PON08b], por exemplo, emprega DFS em redes intrachip, onde a variável de controle utilizada é a prioridade dos pacotes a serem transmitidos. O emprego de DFS sozinho, na maioria das vezes, reduz apenas o valor de potência dissipada, enquanto a energia consumida permanece inalterada, uma vez que, embora a potência seja reduzida linearmente, o tempo de computação aumenta na mesma proporção. Como exceção a esse caso pode-se citar o trabalho de [PON08b], onde a prioridade dos pacotes é associada à frequência de operação dos IPs que se comunicam, de forma que a frequência do roteador acompanha a menor frequência de operação entre produtor e consumidor. Desta forma, o emprego de DFS reduz a quantidade de chaveamentos onde nenhuma computação é realizada. Como resultado, obtém-se redução do consumo de energia, uma vez que o tempo de computação é mantido quase inalterado enquanto a potência é reduzida.

2.3 Projeto com Sinal Misto

O desenvolvimento do ambiente de projeto com sinal misto (*mixed signal*) é uma das contribuições desse trabalho. Um projeto é dito ter sinal misto quando contém módulos analógicos e digitais. Módulos analógicos assumem valores contínuos de tensão ou corrente, enquanto os módulos digitais usam dois

valores discretos de tensão. Além da diferença na representação dos dados, o projeto e desenvolvimento de módulos digitais e analógicos também apresentam diferenças tanto no desenvolvimento quanto na verificação do projeto. O projeto *mixed signal* deve prover métodos de verificação que permitam a interação e validação de módulos analógicos e digitais operando em conjunto.

Embora os métodos de projeto e verificação sejam diferentes, o resultado final de ambos é um leiaute que deve estar ser verificado utilizando a regras de projeto (*design rules checking* – DRC) e o confronto do leiaute com o esquemático (*layout versus schematic* – LVS).

2.4 Projeto Analógico

Módulos analógicos são geralmente desenvolvidos usando leiautes totalmente personalizados (*full custom*), onde cada módulo é desenhado de forma dedicada, podendo usar métodos automatizados de desenho.

A validação de módulos analógicos é feita utilizando simulação elétrica. Através de uma série de simulações, verifica-se se as especificações funcionais e elétricas do projeto foram atingidas.

Simulações elétricas podem envolver simulações de melhor e pior caso (*corner cases*) e simulações estatísticas. Enquanto na simulação de melhor e pior caso verifica-se o funcionamento dos módulos em situações extremas, na simulação estatística, verifica-se o funcionamento em diversos pontos dentro de uma distribuição estatística que descreve as variações dos parâmetros do processo.

2.5 Projeto Digital

O projeto digital normalmente é baseado em bibliotecas de células padrão (*standard cells*) e conta com etapas de posicionamento e roteamento (*place and route*) totalmente automatizadas. Existem casos em que, devido a restrições de timing e/ou potência, o projeto digital é feito utilizando leiautes totalmente personalizados, sendo que a caracterização dos componentes deve ser feita após o leiaute, por extração. Nos projetos que utilizam células padrão o tempo de propagação, taxa de inclinação de sinais (*slew rate*), potência interna, potência estática, e outros aspectos das células da biblioteca são caracterizadas para o melhor e pior caso. Cada caso é composto de um extremo de variação no processo (lento, rápido ou típico), uma temperatura e uma tensão.

A verificação de sistemas digitais é dividida em simulação funcional e verificação de temporização. A verificação funcional é feita através de simulação e análise formal. A verificação de temporização é realizada através da análise estática de temporização (*static timing analysis* ou STA) e simulação com temporização anotada. Em sistemas síncronos, por exemplo, a verificação do cumprimento do tempo de *setup* dos *flip-flops* é feita através da análise da temporização quando se utiliza o modelo de células com o pior caso de temporização devido à temperatura, tensão, processo e extração (resistência e capacitância máximas). Já a verificação do tempo de *hold* é feita utilizando o outro extremo de temporização da biblioteca de células, com o melhor caso de extração. Os valores de temporização podem então ser anotados no *netlist* final (no formato de arquivos SDF) para verificação funcional junto com a temporização.

2.6 Variações no Processo

O projeto de fabricação de circuitos integrados é altamente complexo e composto por diversas etapas químicas. Mesmo controlado por máquinas de

altíssima precisão, desvios no alinhamento das máscaras, desvios nos níveis de dopagem ou implantação e alteração do tamanho efetivos dos Gates dos transistores MOS e na espessura do óxido são inevitáveis. Dessa forma, um transistor em um chip pode apresentar correntes diferentes de outro transistor projetado com os mesmo tamanhos, mas em outra posição no chip, no *wafer* ou entre *wafers*.

A equação de corrente do dreno descreve basicamente o comportamento de um transistor MOS bem como quantifica o seu desempenho. A equação abaixo descreve simplificada a corrente I_d de um transistor [RAB03].

$$I_d = \mu C_{ox} \frac{W}{L} f(V_{DS}, V_{GS}, V_T)$$

Onde:

- μ é a mobilidade dos elétrons em um nMOS (*holes* em um pMOS)
- $C_{ox} = \epsilon_{ox}/t_{ox}$ é a capacitância do óxido por unidade de área.
- W/L é a razão de comprimento do canal
- V_t é a *tensão de threshold* do transistor.

Além das variações no processo, variações de temperatura e tensão influenciam fortemente a equação de corrente [SHI08]. A temperatura, embora não apareça explicitamente na equação, influencia na mobilidade e na tensão de *threshold*, sendo que tanto a mobilidade quanto a tensão de *threshold* são inversamente proporcionais à temperatura. Assim, a corrente I_d é diretamente proporcional a temperatura quando a variação da tensão de threshold em função da temperatura domina sobre a variação da mobilidade, de outra forma, a corrente I_d é inversamente proporcional a temperatura. Em tecnologias menos avançadas, com largura do canal superior a 90nm, a corrente é inversamente proporcional a temperatura, mas a partir de 90nm ocorre um fenômeno conhecido como inversão térmica [CAL08], onde a partir de certo valor de temperatura, a corrente começa a aumentar com o aumento da temperatura.

Quanto a relação de processo, essa pode ser classificada em duas componentes:

Variação Global: Afeta todos os dispositivos de um chip da mesma forma devido a variações de processo. Por exemplo, as dimensões do polissílicio e da difusão devido ao processo de corrosão (*etching*). A Figura 4 mostra as origens da variação de processo global.

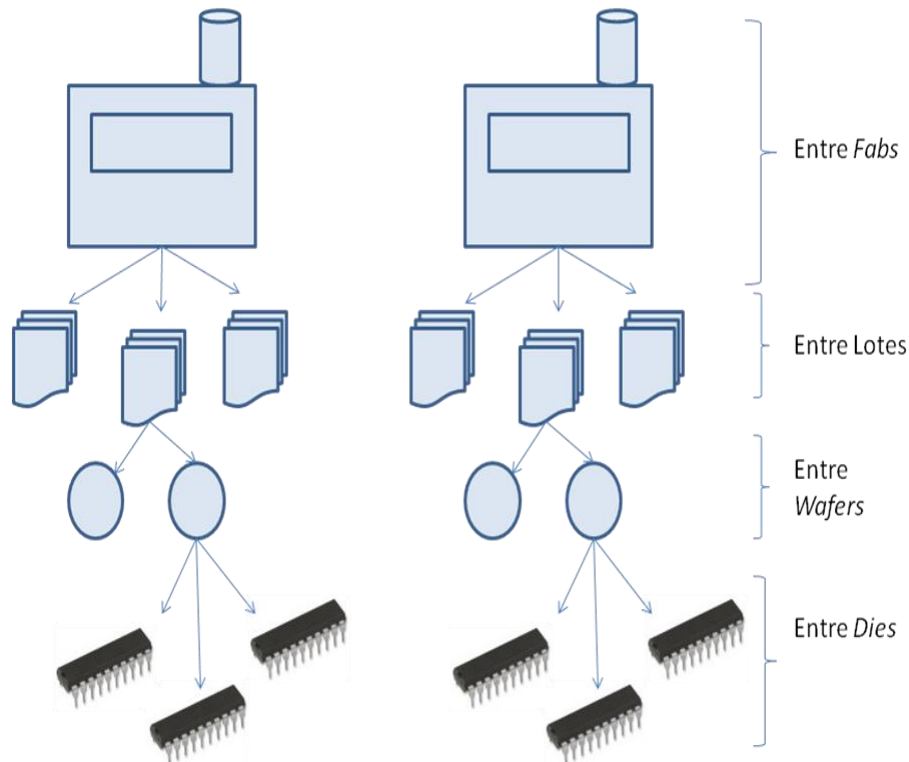


Figura 4 – Variação global de processo.

Varição Local: Variação entre dispositivos dentro de um mesmo chip que causa diferenças das características de dispositivos arquiteturalmente idênticos, também conhecido como *mismatch*. A Figura 5 mostra um exemplo onde dois transistores PMOS e dois transistores NMOS no mesmo chip possuem tensões de *threshold* diferentes embora projetados de forma idêntica mesmo quando localizados próximos no chip.

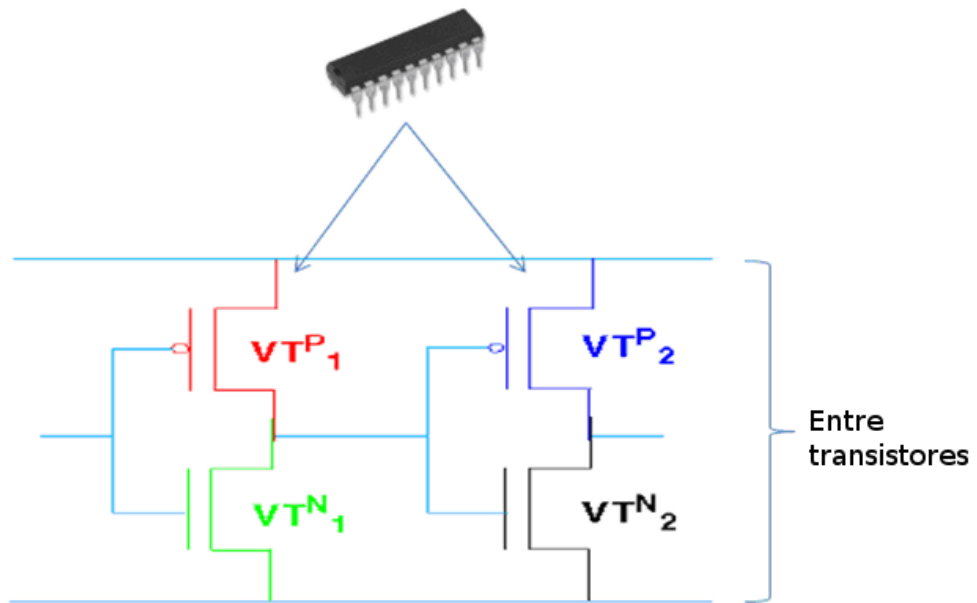


Figura 5 – Variação local de processo. Dispositivos arquiteturalmente idênticos com características diferentes.

3 PROJETO DO GERADOR DE RELÓGIO

3.1 Metodologia e Visão Geral

O projeto do gerador de relógio divide-se em uma parte analógica e uma parte digital. A parte analógica é representada por um oscilador em anel controlado por tensão. A tensão de controle é proveniente de um conversor Digital-Analógico (DAC). O controle da tensão fornecida pelo DAC é de responsabilidade do controlador digital, caracterizando um controlador digital com realimentação. Há uma entrada para seleção da frequência desejada e outra para a frequência de referência. A saída do gerador de relógio é justamente o sinal de relógio gerado. A Figura 6 mostra a estrutura geral do gerador. Outras entradas e saídas são detalhadas na Figura 23.

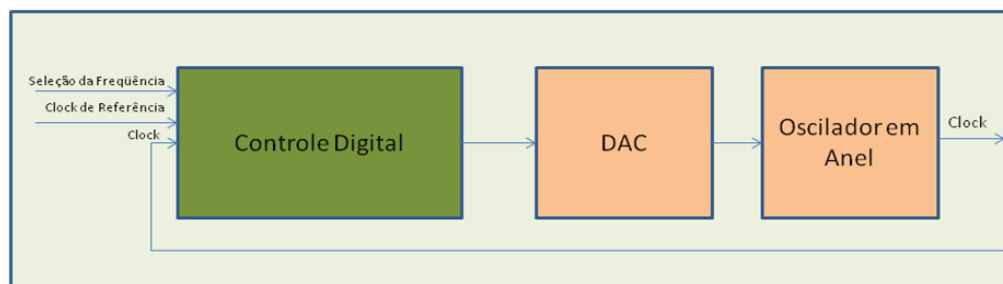


Figura 6 - Arquitetura simplificada do gerador de relógio.

A Figura 7 mostra o fluxo de projeto adotado. O desenvolvimento do projeto se fez utilizando as ferramentas da Cadence e Mentor. A parte analógica foi modelada inicialmente através do Virtuoso Schematic Editor, e posteriormente simulada utilizando o Spectre Circuit Simulator. Já a parte digital foi escrita em linguagem VHDL e validada através de simulação utilizando a ferramenta Incisive Unified Simulator. Ambas as partes foram desenvolvidas fazendo uso das bibliotecas da tecnologia 65nm da STMicroelectronics.

Após a validação por simulação do código RTL da parte digital e do esquemático da parte analógica, partiu-se para a implementação física dos módulos digitais (usando projeto usando células padrão com o RTL Compiler + Encounter) e dos módulos analógicos (usando projeto com leiaute totalmente

personalizado com o Virtuoso). Para a validação do layout foi utilizada a ferramenta Calibre da Mentor.

Para validar o funcionamento integrado dos módulos, adotou-se um ambiente de verificação para sinal misto composto dos módulos digitais e analógicos bem como dos módulos *connectlib* para permitir a conversão elétrica para *standard_logic* bem como de *standard_logic* para elétrica.

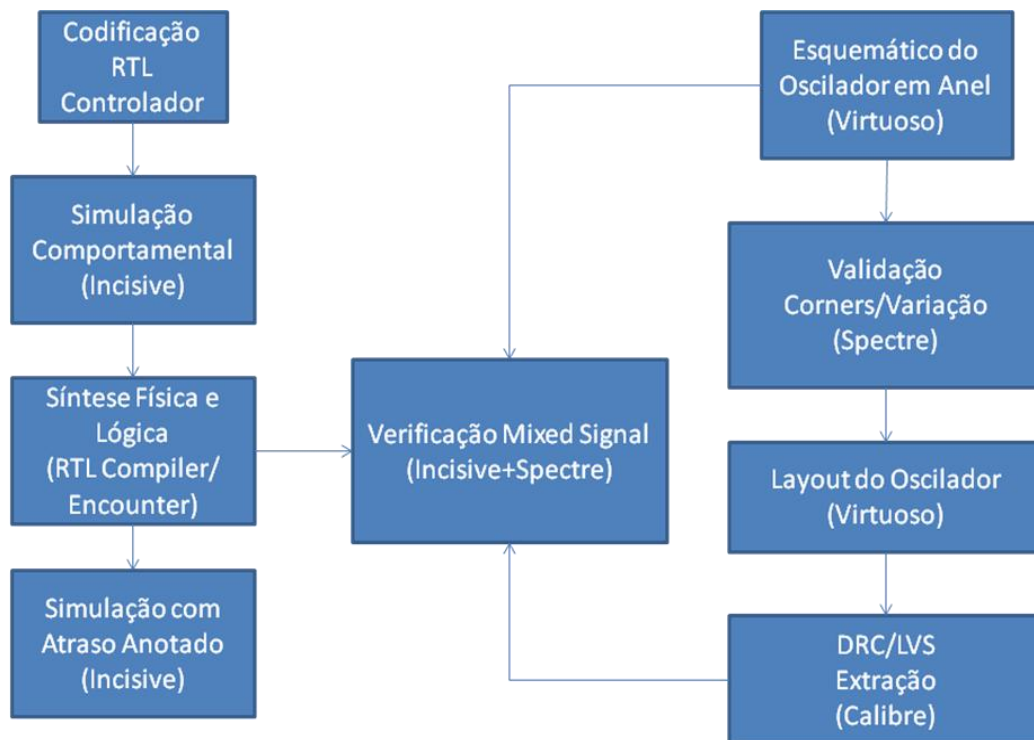


Figura 7 – Fluxo de projeto Digital/Analógico/Mixed Signal adotado. A coluna da esquerda especifica o fluxo digital, enquanto na esquerda detalha o fluxo analógico. No centro encontra-se o ambiente de validação *mixed signal*.

As especificações deste gerador de relógio visam atender as necessidades da Hermes-GLP, conforme capítulo 1.1. Além disso, algumas restrições adicionais foram criadas, a fim de permitir o seu uso em condições adversas, como condições extremas de temperatura. A Tabela 1 mostra as especificações utilizadas.

Tabela 1 – Especificações do gerador de relógio.

Temperatura mínima	-20°C
Temperatura máxima	120°C
Maior frequência mínima aceitável	100MHz
Menor frequência máxima aceitável	500MHz
Tensão de operação	1V
Máxima rampa de transição	12ps

3.2 Projeto do Oscilador

Um oscilador em anel consiste em uma série de elementos de atraso, sendo este o elemento fundamental no projeto do oscilador. Para o presente trabalho foi selecionado um elemento de atraso bastante simples, com número reduzido de transistores, a fim de diminuir o consumo de potência e área do circuito. A Figura 8 ilustra tal elemento. Trata-se de um inversor com um transistor PMOS em série com a alimentação. Variando-se a tensão no *gate* do transistor, a corrente máxima entre *source* e *drain* é limitada. Diminuindo a corrente máxima entre a alimentação e a saída do inversor, o tempo de carga da capacitância do componente conectado à saída aumenta. Com isso, há um aumento no tempo de propagação e conseqüente diminuição na frequência de oscilação do anel.

Para confeccionar um oscilador em anel, o primeiro passo é o dimensionamento dos transistores que compõem o elemento de atraso, o que determina as características funcionais do elemento. Antes de realizar esta tarefa é necessário definir os critérios que serão utilizados para escolha melhor dimensionamento. Como o projeto tem como um dos objetivos obter baixo consumo de potência, o dimensionamento selecionado deve contemplar esta característica. Porém, esta especificação é apenas qualitativa, sendo que se pode escolher um dimensionamento que apresente o menor consumo de

potência em relação às outras alternativas sem ter um limite numérico estabelecido. Outra característica do projeto é sua aplicação, que requer uma frequência máxima de operação de 500MHz, impondo assim um critério quantitativo para escolha do dimensionamento adequado dos transistores. Para obter baixas frequências sem aumento excessivo no número de elementos no anel, uma alternativa é utilizar modelos lentos de transistor. A tecnologia ST65nm oferece uma grande diversidade de transistores divididos em transistores de propósito geral (*General Purpose*) e transistores de baixo consumo de potência (*Low Power*) em função da espessura do óxido do *gate*, sendo o que no segundo a espessura é maior. Além disso, cada uma dessas duas categorias possui ainda transistores com diversas tensões de *threshold*: baixa, média e alta (chamados *Low V_t*, *Standard V_t* e *High V_t*).

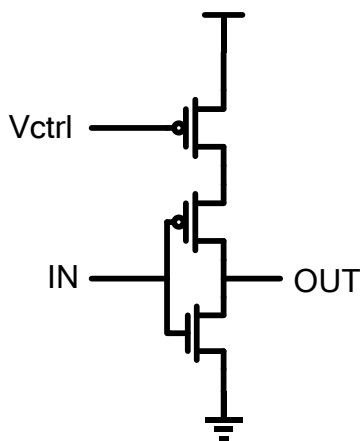


Figura 8 – Elemento de atraso selecionado.

A utilização de um transistor com alta tensão de *threshold* torna o chaveamento mais lento. Além disso, desejamos baixo consumo de potência, o que é obtido por transistores *low power*, o quais também são mais lentos. Dessa forma, o modelo de transistor escolhido foi o modelo com alta tensão de *threshold* e baixa potência, chamado *hvtlp – high voltage threshold, low power*. Neste projeto, o *duty cycle* do oscilador não será usado como critério para o dimensionamento, visto que a aplicação alvo não tem restrições nesse sentido. De qualquer forma, informações sobre esta característica são exploradas, de forma a disponibilizar dados para futuras adaptações desde trabalho para outras finalidades.

Como a frequência de trabalho desejada é o fator determinante na escolha do dimensionamento dos transistores, os fatores que contribuem para determinação da frequência de oscilação do anel devem ser levados em consideração. A carga na saída do elemento de atraso é um destes fatores, visto que o tempo de propagação do elemento é diretamente proporcional à capacitância da carga. No caso do oscilador em anel, a carga na saída do elemento de atraso será igual à sua capacitância de entrada, que por sua vez depende também do dimensionamento dos transistores. Por este motivo, simulações de um elemento de atraso isolado não geram resultados concisos sobre suas características transientes a menos que a carga na saída seja adequada ao dimensionamento do elemento. Isso leva à opção por simulações do anel completo para avaliar o dimensionamento dos transistores. Porém, o anel também terá uma carga em sua saída. O oscilador será usado para alimentar uma árvore de relógio, cuja capacitância de entrada não é conhecida em tempo de projeto. Uma variação na carga presente na saída do anel provocaria uma alteração da frequência de oscilação. Para evitar tais variações indesejadas, pode-se adicionar na saída do anel um *buffer* com características pré-determinadas, tornando-se este *buffer* a carga na saída do anel. Utilizando um *buffer* com grande capacidade de fornecer corrente é possível obter uma carga conhecida na saída do anel, a qual não sofre alterações significativas com a alteração da carga na saída do *buffer*.

Observadas essas considerações, o dimensionamento do elemento de atraso foi feito baseado no comportamento de um anel de elementos de atraso com as características citadas, conforme se observa na Figura 9. No entanto, a figura mostra um anel de cinco estágios, ou seja, um anel com cinco elementos de atraso, apenas para fins ilustrativos. Para o projeto em si, o número de elementos no anel foi variado de forma a obter diversas faixas de frequência.

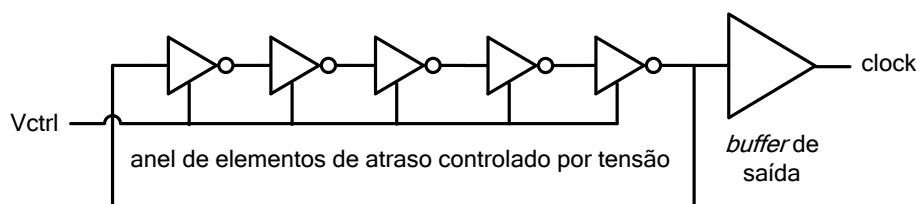


Figura 9 – Circuito utilizado para avaliação do dimensionamento do elemento de atraso.

O dimensionamento de um elemento consiste em encontrar a relação entre o tamanho dos transistores que melhor atende a critérios específicos. No elemento de atraso selecionado, temos três transistores para dimensionar de forma a minimizar a potência média e ajustar a frequência para a faixa de 500 MHz. Sabemos que a potência dissipada depende da corrente nos elementos, sendo que a corrente dinâmica máxima de curto-circuito é dada pelo dimensionamento dos transistores em saturação ou chaveamento que compõe o caminho entre a alimentação e a massa. Por esse motivo, pode-se fixar o tamanho do transistor NMOS como o mínimo possível para a tecnologia utilizada, minimizando assim o consumo de potência. Partindo desse princípio, resta apenas encontrar a relação de tamanho dos dois transistores PMOS para o tamanho escolhido do NMOS.

Neste projeto, a análise de resultados de simulações foi utilizada para determinar a melhor relação entre o tamanho dos transistores e melhor número de elementos no anel. Simulações iniciais mostraram que, nos intervalos de tamanho utilizados para os transistores, não houve alteração no sentido da taxa de variação da frequência e potência dissipada em relação à variação do tamanho dos transistores. Por esse motivo, uma análise com os valores extremos é suficiente para determinar se os critérios utilizados no dimensionamento são melhores preenchidos utilizando-se um tamanho maior ou menor para um dado transistor. O número de elementos no anel também foi variado, a fim de avaliar o consumo de potência. As simulações com anéis de diferentes tamanhos geraram faixas de frequências fora do desejado. O ANEXO A mostra simulações com 7, 13, 17 e 23 estágios. Este anexo também mostra simulações feitas com uso de divisor de frequência, com a intenção de obter frequências menores a partir de anéis com poucos elementos. Além disso, o *duty cycle* se aproxima bastante da faixa de 50% com esse divisor. Porém, os resultados em termos de consumo de potência total não foram satisfatórios.

A Figura 10 mostra as simulações executadas utilizando esses valores extremos, variando-se a tensão de controle, em um anel com 13 estágios. O transistor NMOS foi fixado com $W=0.135\mu\text{m}$, tamanho mínimo definido para a tecnologia utilizada. Para os transistores PMOS foram utilizadas as relações de 1 e 9 vezes o tamanho do NMOS.

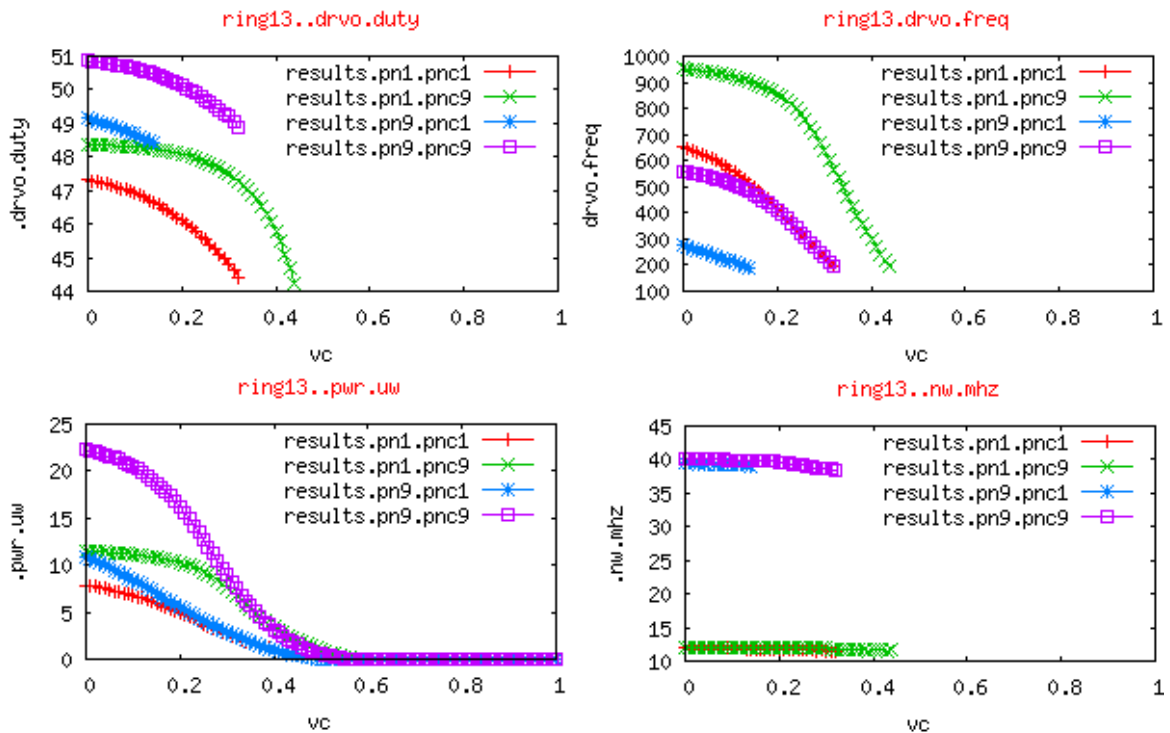


Figura 10 – Resultados com anel de 13 estágios e PMOS com tamanhos extremos.

Para o transistor cujo gate está ligado diretamente à entrada do elemento (chamaremos de “PMOS do inversor”), a relação aparece na figura como “pni” ($i=1$ ou $i=9$), já para o transistor com gate ligado à tensão de controle (chamaremos de “PMOS de controle”), a relação foi nomeada “pncj” ($j=1$ ou $j=9$). Assim, a curva “results.pn1.pnc9” indica os resultados obtidos com o dimensionamento do transistor PMOS do inversor igual ao do NMOS e com o dimensionamento do transistor PMOS de controle igual a nove vezes o do NMOS. A tensão de controle aparece no eixo horizontal sob o nome de “vc”. Os gráficos mostram o *duty cycle* percentual do sinal de relógio obtido na saída do oscilador (gráfico superior esquerdo) e a frequência do mesmo em MHz (gráfico superior direito). Os seguintes mostram o consumo de potência do circuito em μW (gráfico inferior esquerdo), e por último o consumo de potência normalizado (gráfico inferior direito), obtido dividindo-se a potência média pela frequência de saída, em nW/MHz . O maior tamanho utilizado para os transistores PMOS pode ser calculado a partir dessa relação, resultando em $1.215\mu\text{m}$ ($=9 \times 0,135\mu\text{m}$). Essas simulações foram feitas para o caso típico: transistor com processo típico e temperatura de 27°C .

Os resultados obtidos mostram que o menor consumo de potência em relação à frequência é obtido com o tamanho mínimo do transistor PMOS do inversor. Fixado este valor, resta definir o dimensionamento a ser utilizado para o transistor PMOS de controle. Podemos observar que o tamanho desse transistor é diretamente proporcional à frequência de oscilação. Porém, um tamanho maior torna a curva menos linear, o que exigiria um controlador com maior complexidade para ajustar a frequência desejada. Além disso, para o anel de 13 estágios, a curva que melhor cobre a frequência de operação desejada é aquela referente ao menor tamanho do transistor PMOS de controle. Como a aplicação para a qual o oscilador está sendo projetado não tem restrições relativas ao *duty cycle*, podemos seguramente utilizar um transistor de menor tamanho, mesmo com uma curva de *duty cycle* menos favorável. Simulações adicionais foram feitas para avaliar um possível ajuste no dimensionamento do transistor de controle. O mesmo foi feito para os anéis com diferente número de estágios, com resultados apresentados no ANEXO A, onde também há resultados de simulações utilizando um divisor de frequência. O uso de um divisor de frequência na saída do anel melhora o *duty cycle*, porém o consumo de potência aumenta significativamente, motivo pelo qual não foi usado divisor de frequência neste projeto. A Figura 11 mostra um comportamento bastante semelhante quando utilizado o transistor PMOS com relação de duas vezes o tamanho mínimo do NMOS, com acentuação da curva conforme o dimensionamento aumenta, além de um aumento significativo na frequência máxima. Isso demonstra que uma pequena correção no dimensionamento desse transistor pode ser feita para corrigir a frequência caso seja necessário, sem grandes impactos no controlador. Após o dimensionamento do circuito, simulações de melhor e pior caso foram conduzidas para analisar a variação dos parâmetros em função das variações no processo de manufatura e condições de trabalho. Com isso, foram feitas simulações usando uma temperatura extremamente baixa de -27°C combinada com o modelo de transistor “SS” fornecido pelo fabricante. O nome SS vem de “*Slow-Slow*”, indicando que o modelo simula o comportamento do pior caso de processo de manufatura, onde ambos os transistores NMOS e PMOS são fabricados com semicondutores de baixa mobilidade, óxido de maior espessura, e outros fatores que os tornam mais lentos.

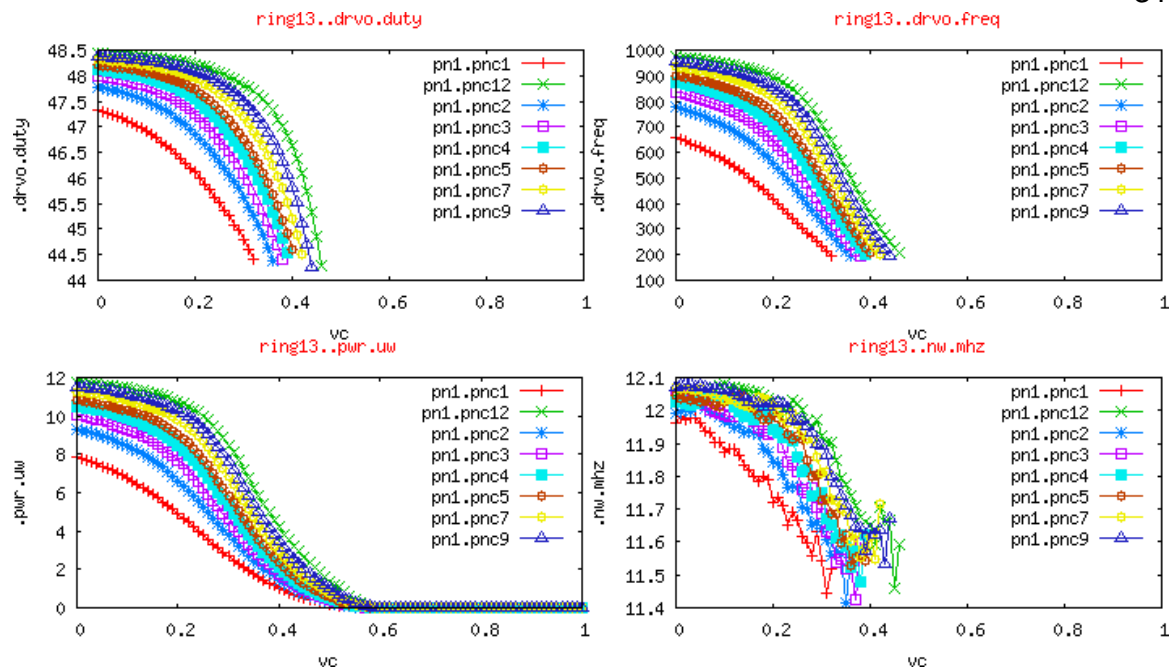


Figura 11 – Resultado da variação no dimensionamento do transistor PMOS de controle.

Em seguida foram feitas simulações em temperatura ambiente de 20°C e modelo do caso típico de manufatura e comportamento do transistor (*Typical-Typical* ou TT), bem como em temperatura elevada de 80°C e modelo de transistor rápido (*Fast-Fast* ou FF). Essas simulações têm o objetivo de identificar as características do oscilador em condições extremas, a fim de garantir seu funcionamento nessas condições. Para a aplicação em questão, a característica que queremos garantir é a frequência, especialmente a frequência máxima de operação.

Analisando as simulações de melhor e pior caso, observa-se que no pior caso a frequência máxima é inferior à frequência desejada de 500MHz. Para quantificar a ocorrência do pior caso de processo de fabricação, pode ser feita uma simulação Monte Carlo. Esse tipo de simulação varia os parâmetros do processo de acordo com a distribuição estatística fornecida pelo fabricante para a tecnologia do projeto. Assim, é possível ter uma aproximação realista do número de componentes que seriam descartados no teste por não atender as especificações do projeto. Além das variações do processo de fabricação do *wafer*, são inseridas variações de um transistor para outro no mesmo *wafer*, simulando o que ocorre no processo de fabricação. Essas variações atenuam a ocorrência do pior caso, além de alterar o comportamento do circuito por mudar a relação projetada entre o comportamento de um transistor em relação a outro.

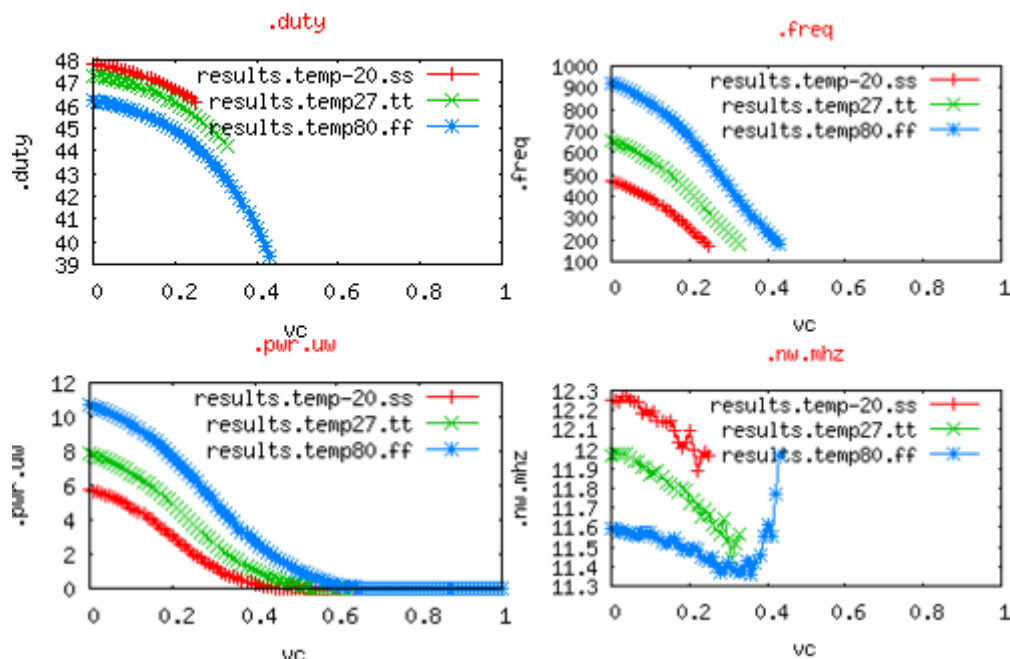


Figura 12 – Simulações de melhor e pior caso de processo e temperatura.

A Figura 13 mostra um histograma com a ocorrência de cada faixa de frequência máxima de operação do oscilador na fabricação de cinco mil unidades.

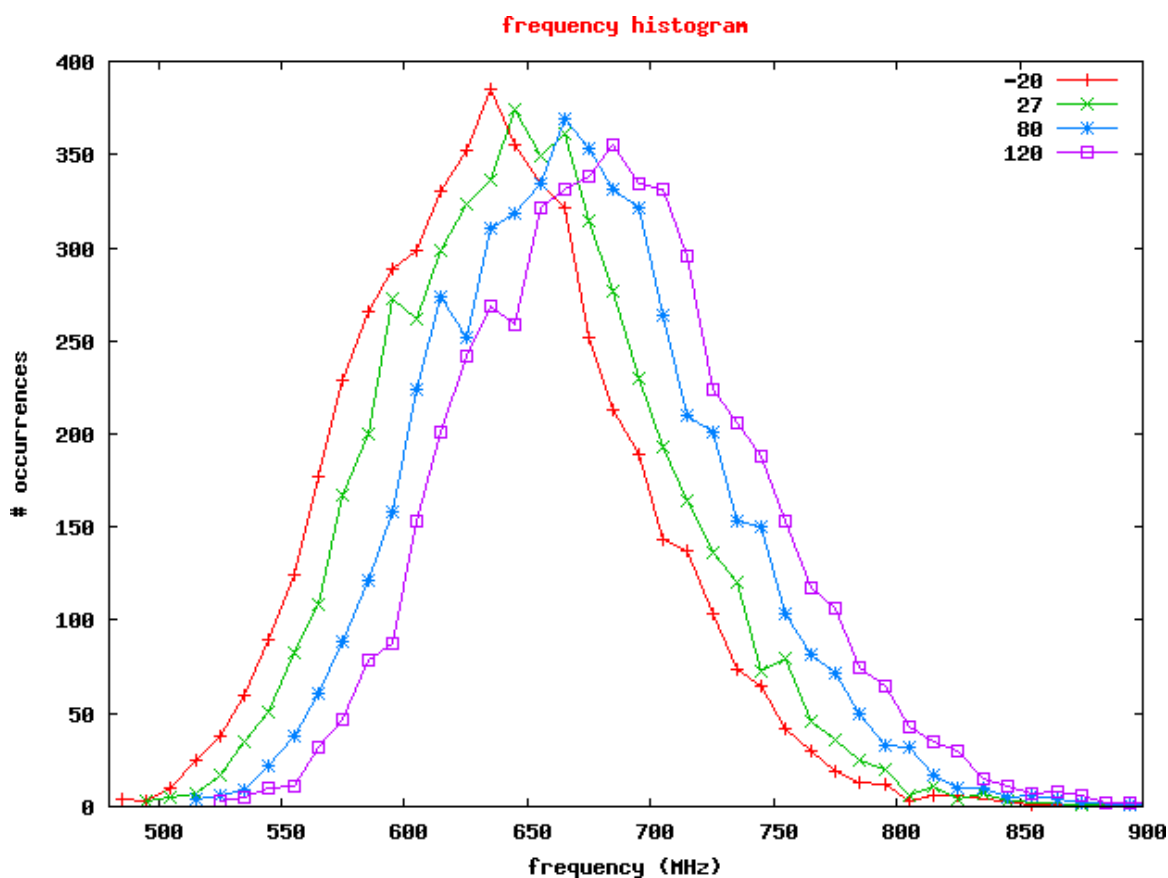


Figura 13 – Histograma de frequência em função de variações no processo em diferentes temperaturas.

Os pontos do histograma foram obtidos com faixas de frequência de 15MHz. Como a frequência máxima depende também da temperatura, o gráfico contém curvas de frequência obtidas através de simulações em diferentes temperaturas. Através deste histograma percebe-se que poucas unidades têm frequência máxima inferior a 500 MHz, tornando baixo o número de componentes não defeituosos descartados no teste. O número de componentes com alta frequência de operação também é importante, pois é utilizado para determinar a frequência máxima de operação do controlador digital, dado importante no processo de síntese do mesmo. Um histograma mais detalhado, com número de ocorrência de componentes com frequência máxima apresentada com variação de 1MHz, é apresentado na Figura 14. Esta Figura mostra o histograma de frequência dos mesmos cinco mil componentes funcionando nos dois extremos de temperatura utilizados na especificação do projeto.

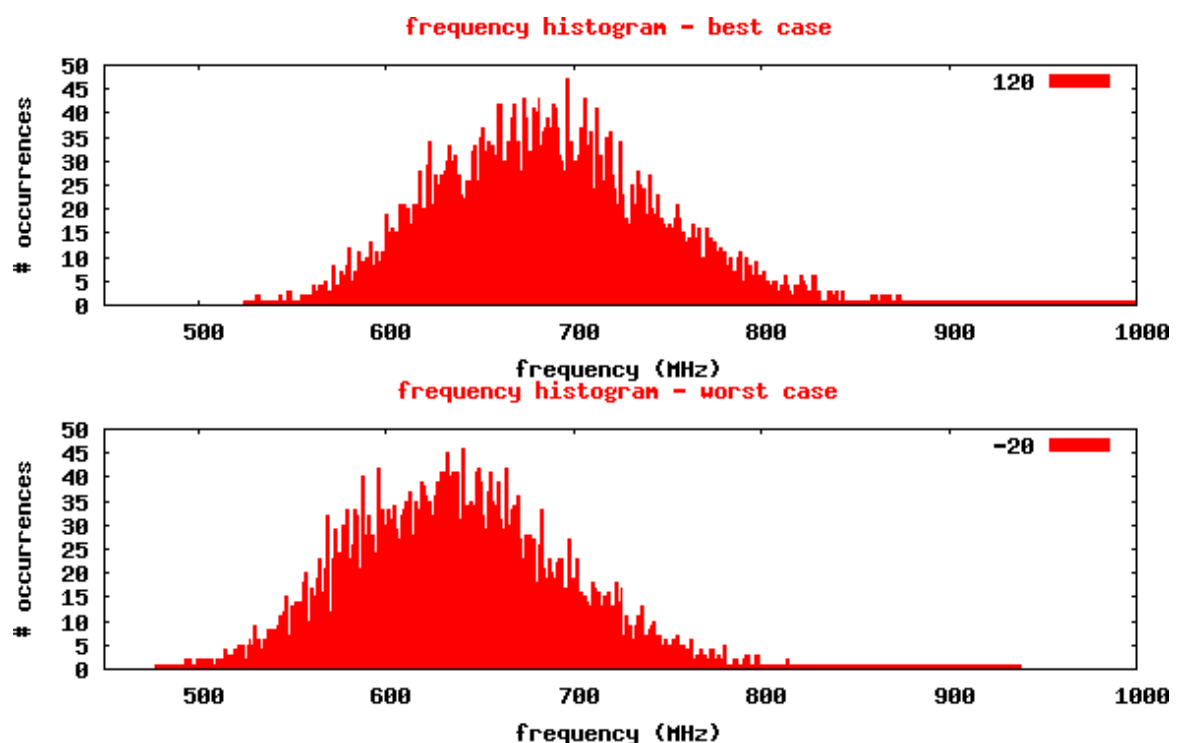


Figura 14 – Histograma de frequência em função de variações no processo no melhor e pior caso de temperatura para anel com 13 elementos.

No melhor caso, a frequência máxima média é de 685 MHz com desvio padrão de 58 MHz, sendo que para o pior caso o valor médio é 637 MHz com desvio padrão de 55MHz. Com esses dados, podemos calcular a porcentagem de componentes cuja frequência máxima está abaixo da menor frequência máxima aceitável, ou seja, 500 MHz. No melhor caso, 500 MHz está 3,19 vezes

o desvio padrão abaixo da média. Assim sendo, 99,93% dos componentes estão acima dessa frequência. Para o pior caso, o ponto de corte está a apenas 2.45 vezes o desvio padrão abaixo da média. Esses dados mostram que 99,28% das unidades produzidas funcionarão corretamente na temperatura mínima especificada de -20°C , incorrendo em um descarte de 0,73% das unidades na ocasião do teste.

O oscilador em anel teve um consumo máximo de $7,792 \mu\text{W}$ quando operando na frequência máxima, para a temperatura e processo de fabricação típicos. Sua área, após o layout, resultou em $36\mu\text{m}^2$. O layout do oscilador é visto na Figura 15.

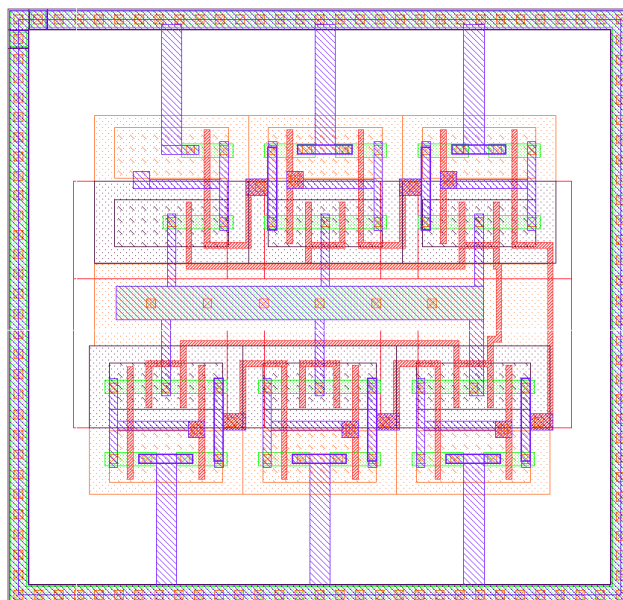


Figura 15 – Layout do oscilador em anel de 11 estágios.

Um componente importante no anel é o árbitro ou filtro *mutex*, mostrado na Figura 16. O objetivo desse filtro é permitir que o oscilador seja desativado quando solicitado, o que faz com que o anel pare de oscilar e reduz assim o consumo de potência dinâmica. Esse é o princípio básico de implementações GALS baseadas em *clock-stretching* como em [MOO02]. O filtro tem duas entradas e duas saídas, e permite que apenas uma saída tenha nível lógico alto por vez. Com isso pode-se implementar um mecanismo que impeça o relógio de ser interrompido durante um ciclo, fazendo com que as interrupções ocorram sempre ao final de cada ciclo.

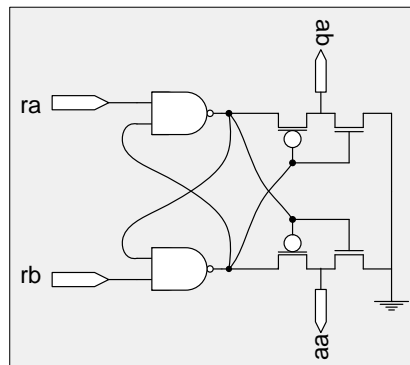


Figura 16 – Circuito adotado para o árbitro.

Este filtro foi adicionado ao anel conforme ilustra a Figura 17.

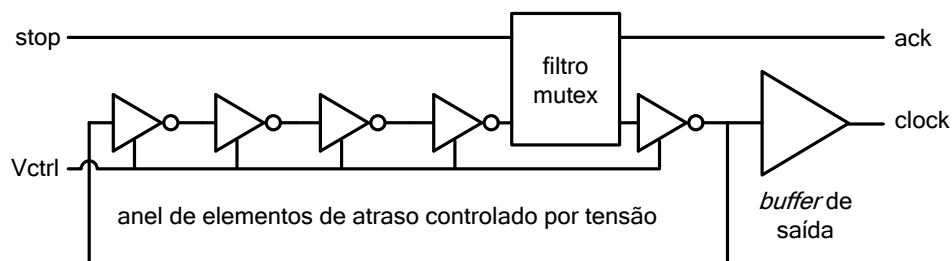


Figura 17 – Oscilador em anel com filtro *mutex*.

Com a inserção deste elemento no anel, um atraso adicional é incluído, reduzindo a frequência de oscilação. Para avaliar as conseqüências dessas alterações, novas simulações com modelo típico foram realizadas. Como as simulações revelaram uma frequência de operação abaixo do desejado, o número de elementos no anel foi reduzido para 11, a fim de aumentar a frequência de operação. Em seguida, simulações Monte Carlo foram realizadas, apresentadas na Figura 18. Nestas simulações, o desvio padrão fornecido como resultado das simulações foi 53,96 com um valor médio de 625,74. A frequência mínima de 500 MHz fica 2,33 desvios padrão abaixo da média. Consultando uma tabela z, verifica-se que estatisticamente 99,01% dos componentes fabricados terão frequência máxima acima de 500 MHz na temperatura de -20°C. Além disso, se sintetizarmos um controlador capaz de controlar uma frequência máxima de 800 MHz 99,06% dos componentes terão um controlador funcional na temperatura de 120°C, uma vez que a frequência média nessa temperatura é 667,63 com desvio padrão de 56,22, ficando o valor limite 2,35 desvios padrão acima da média.

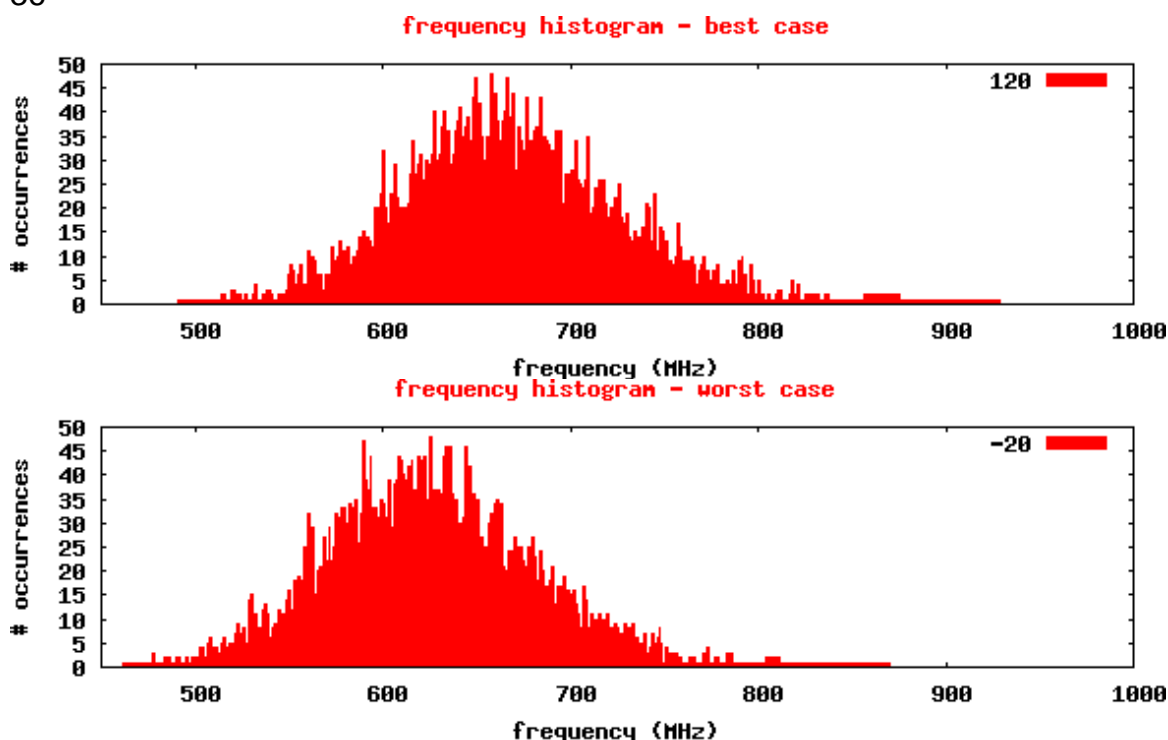


Figura 18 – Histograma de frequência em função de variações no processo no melhor e pior caso de temperatura para anel com 11 elementos e árbitro.

3.3 Conversor de sinal digital para analógico

Para que seja possível implementar um controlador digital para este oscilador é necessário o uso de um conversor com uma entrada digital que será convertida para um nível nominal de tensão em sua saída. Esses conversores são conhecidos como DAC, do inglês, *Digital-to-Analog Converter*. Implementações de DAC utilizando componentes discretos são bastante simples, porém sua implementação em tecnologia CMOS não é tão trivial. Isto se dá pelo fato de que grande parte dos modelos de DAC utiliza como principal componente o resistor. Entretanto, componentes puramente resistivos são de difícil obtenção em tecnologia CMOS, devido aos efeitos capacitivos e baixo tempo de propagação que ocorrem quando um resistor CMOS é obtido a partir do mesmo princípio que resistores convencionais: dois terminais ligados por um componente resistivo, geralmente longo e fino. Além dos efeitos adversos do uso dessa abordagem em CMOS, uma grande área é necessária para tal.

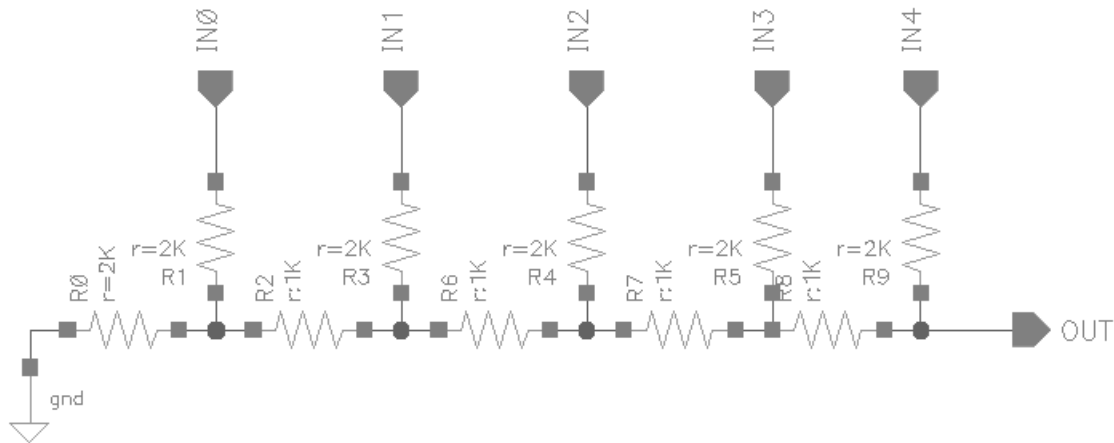


Figura 19 – Esquemático do conversor digital para analógico.

Devido ao escopo deste trabalho não incluir maiores estudos a respeito de DACs e a dificuldade encontrada no projeto desse conversor, optou-se por utilizar um modelo simples com resistores convencionais. O modelo utilizado foi o R-2R, o qual é apresentado na Figura 19.

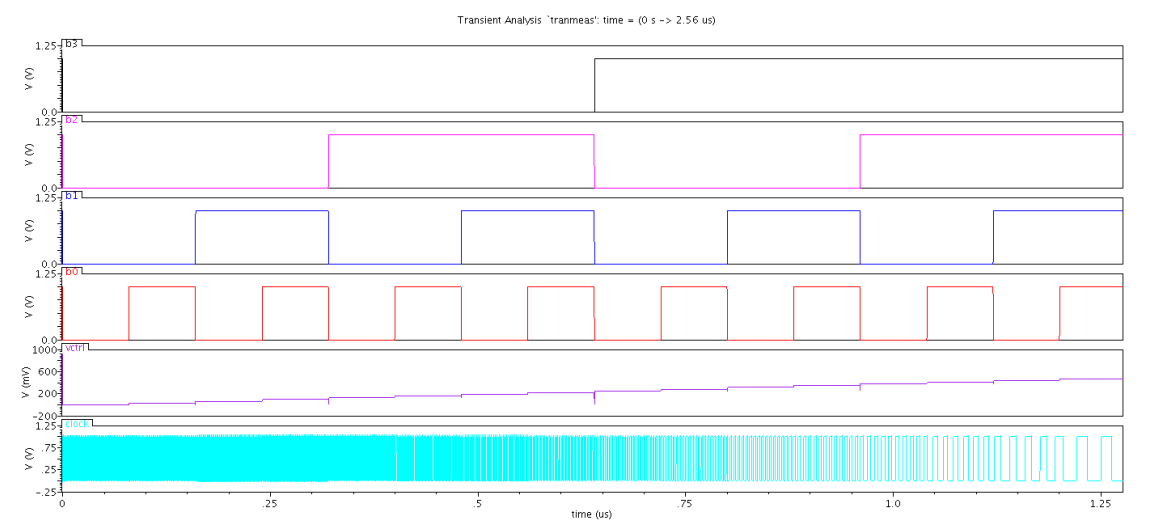


Figura 20 – Simulação do DAC em série com o oscilador.

Na Figura vê-se a estrutura básica desse tipo de conversor, a qual pode ser facilmente expandida para o número desejado de bits de entrada, e conseqüentemente resolução do nível de tensão na saída. Através de simulações utilizando a ferramenta Spectre, observa-se ser constante a diferença de tensão obtida na saída ao incrementar em uma unidade o valor da palavra digital presente na entrada. A Figura 20 mostra a alteração da palavra digital na entrada do DAC e a conseqüente variação no nível de tensão na sua saída, esta ligada à entrada de controle de tensão do oscilador, variando assim a

frequência de oscilação. Na simulação mostrada na figura foi utilizado um DAC de 5 bits, sendo o bit menos significativo representado por b0, e o bit mais significativo b4 tem nível lógico mantido em zero. Isso pode ser justificado pela observação da Figura 12, da qual podemos concluir que para tensões de controle acima de 0,5 V a frequência de oscilação obtida fica abaixo da frequência mínima especificada no projeto.

3.4 Projeto do Controlador

Nesse projeto, um controlador digital é usado para corrigir o erro na frequência gerada pelo oscilador. Em tempo de projeto, pode-se definir qual tensão de controle do oscilador gera uma determinada frequência. Porém, variações no processo de manufatura e na temperatura causam alterações nos valores nominais. A Figura 21 mostra as curvas de frequência do sinal gerado pelo oscilador em função da tensão de controle.

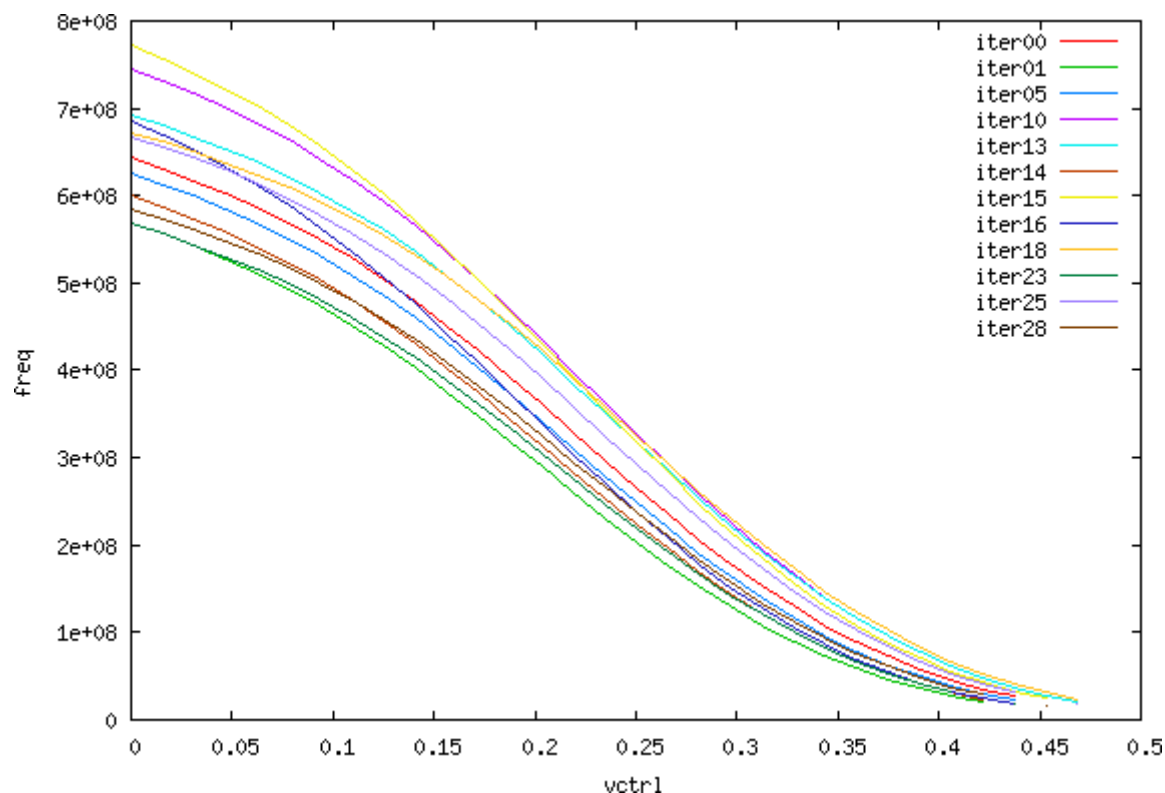


Figura 21 – Alteração da curva de frequência do oscilador causada pelo processo de fabricação.

Cada curva representa o comportamento apresentado por um componente de um *wafer* diferente, na mesma temperatura. Observa-se que, além da variação na frequência máxima, a taxa de variação da frequência em função da variação na tensão de controle também difere de um componente para outro. Por este motivo, não há como relacionar diretamente a variação desejada na frequência que está sendo gerada no momento com a alteração necessária na tensão de controle necessária para obtê-la. Isso dificulta o projeto de um controlador capaz de corrigir rapidamente a frequência.

Além das variações no processo, a temperatura do componente também altera a curva de resposta do circuito, conforme sugere a Figura 22. Nessa figura novamente vemos as curvas da frequência de saída do oscilador em função da tensão de controle utilizada. Desta vez, dois componentes de *wafers* diferentes são simulados em diferentes temperaturas. Percebe-se que, além da grande alteração da taxa de variação da frequência entre um componente e outro, esta também sofre alteração significativa em função da temperatura. Isso dificulta que uma configuração fixa seja adotada pelo controlador de um determinado componente ao longo de seu funcionamento.

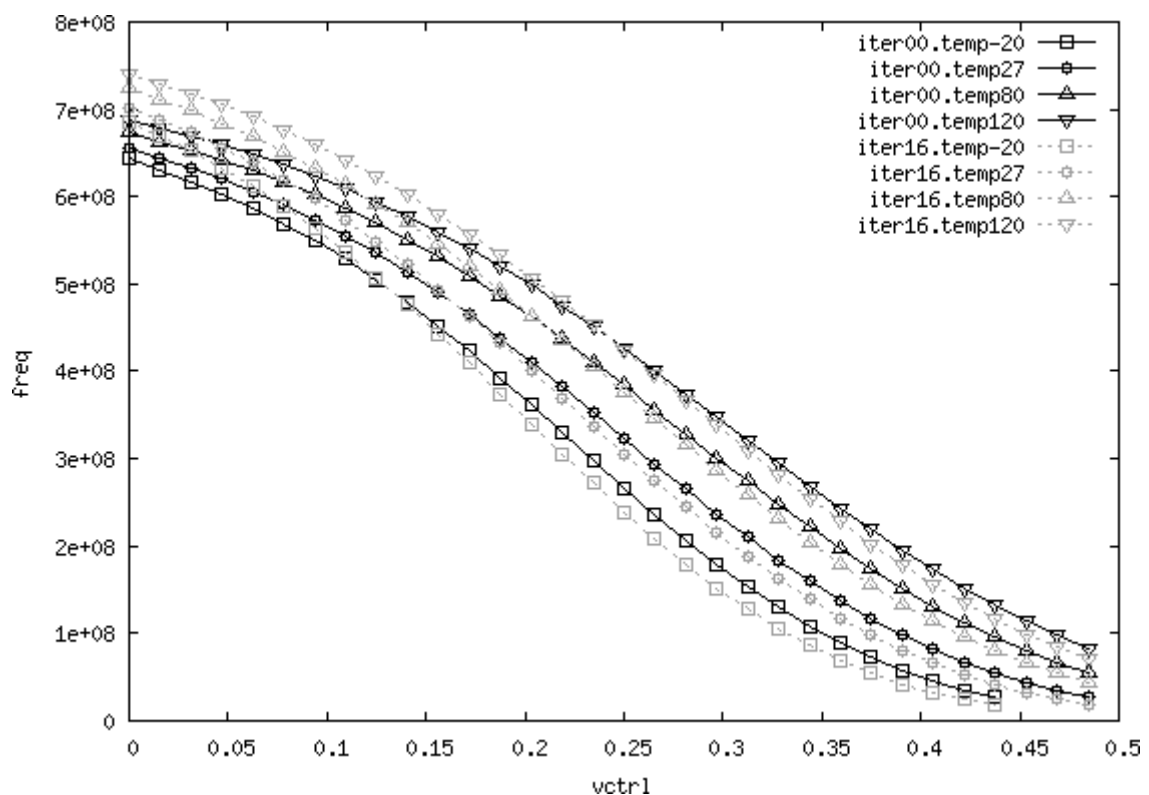


Figura 22 – Alteração na curva de frequência do oscilador causada pela temperatura.

Sistemas de controle analógicos são tradicionalmente usados para corrigir esse tipo de variação, e podem ser implementados com um reduzido número de componentes. Porém, em CMOS, tal sistema de controle sofreria efeitos de variação no funcionamento em função do processo de fabricação e temperatura similares aos efeitos sofridos pelo oscilador. Como um controlador cuja funcionalidade depende de fatores externos não é desejável, este projeto apresenta um controlador digital para tal fim. Outro problema da utilização de um sistema de controle analógico para o oscilador é a dificuldade de medir a frequência atual e comparar com a referência, a fim de calcular o erro e atuar de forma a corrigi-lo. Isso se deve ao tempo mínimo necessário para obtenção da medida de frequência ser diretamente proporcional à frequência sendo medida, o que ocasiona um fenômeno chamado de atraso de transporte, que causa oscilações no sistema de controle e pode, em baixas frequências do oscilador, instabilizar o sistema [OGA97].

Considerados estes fatores, o presente trabalho propõe um controlador digital, com área e consumo de potência reduzidos, e com número de frequências e precisão da frequência de oscilação escaláveis. Esses parâmetros podem ser alterados respectivamente variando-se o número de bits usados para selecionar a frequência e o número de bits da palavra de controle do DAC, além da substituição do DAC. No nível RTL, isso é obtido através da alteração de algumas constantes e mapeamentos genéricos. A alteração desses parâmetros tem impacto direto na área e potência dissipada, e em menor grau no tempo de convergência da frequência real em relação à desejada.

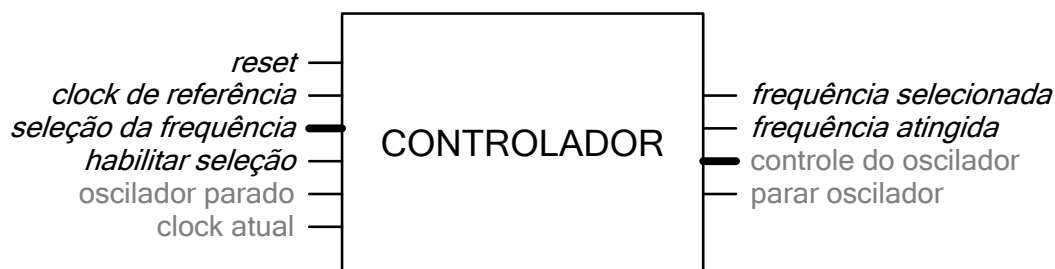


Figura 23 – Interface externa do controlador.

O controlador projetado tem dois sinais de entrada e dois de saída para interface com o oscilador. Os demais sinais são utilizados para sinalização com

o circuito externo ao gerador de relógio. Na Figura 23 estes sinais são identificados pelo nome em *itálico*. Para iniciar a operação do controlador, deve-se dar um pulso no sinal “reset”. Em seguida, a frequência desejada deve ser informada através do barramento “seleção da frequência”, seguida de uma negociação através dos sinais “habilitar seleção” e “frequência selecionada”. A Figura 24 mostra detalhes sobre essa negociação. Os sinais de entrada são mostrados em linha cheia e os de saída em linha pontilhada. Trata-se de manter o sinal “seleção de frequência” estável até o fim da negociação e mudar o nível lógico de “habilitar seleção” para alto. Em seguida, aguarda-se o sinal “frequência selecionada” atingir o nível lógico alto, para então mudar o nível lógico de “habilitar seleção” para baixo. Finaliza-se a negociação assim que “frequência selecionada” voltar para o nível lógico zero. Depois de concluída a negociação, o sinal de seleção de frequência pode ter seu valor alterado. Após alguns ciclos do “relógio de referência”, o sinal “frequência atingida” muda seu nível lógico para alto, indicando que o oscilador está operando na frequência mais próxima possível da “frequência selecionada”, observadas as limitações de resolução do DAC. O número de ciclos necessários para atingir a frequência desejada é diretamente proporcional ao número de bits do “controle do oscilador”.

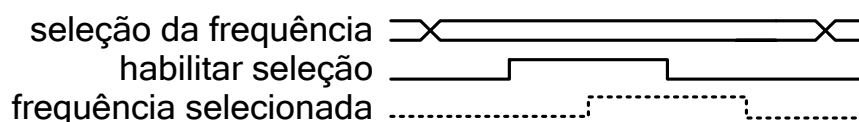


Figura 24 – Negociação da frequência desejada.

A frequência do “relógio atual” é medida através da contagem do número de ciclos de relógio gerados pelo oscilador interno no período de um ciclo do “relógio de referência”. O relógio de referência deve ser fornecido externamente através de um determinado sinal de entrada, e deve ter uma frequência precisa e constante de 1MHz. Recomenda-se utilizar um cristal de quartzo para geração desse sinal. Uma tabela interna define as possíveis frequências de operação do gerador de relógio, a qual é selecionada através de um barramento de entrada com número de bits correspondente ao número de frequências disponíveis. No momento da seleção, o oscilador é parado através do sinal “parar oscilador”. O

filtro de exclusão mútua contido no oscilador garante que o sinal de relógio gerado não seja interrompido durante o ciclo. Ao fim do ciclo, o controlador é sinalizado através do sinal “relógio parado”. Nesse momento, um valor de controle do DAC é selecionado e é alterado o sinal “controle do oscilador” juntamente com o desligamento do sinal “parar relógio”. A partir desse momento, a frequência do oscilador passa a ser medida, ocasionando alterações no sinal de “controle do oscilador”. Após alguns ciclos do relógio de referência, a frequência de oscilação mais próxima do desejado é determinada, ativando o sinal “frequência atingida”.

Um fator determinante no funcionamento do controlador é a forma como este se aproxima da frequência desejada. Visto que a curva da frequência de oscilação em função da tensão de controle não é conhecida, alguma estratégia deve ser determinada a fim de minimizar o tempo que o controlador precisa para atingir a frequência desejada. Uma possível abordagem seria manter uma tabela interna contendo a variação da frequência para cada incremento do valor de controle do DAC. Dessa forma, seria possível em um ciclo do relógio de referência partir da frequência máxima ou mínima e chegar à frequência aproximada, e nos próximos ciclos variar a palavra de controle do DAC em incrementos ou decrementos unitários, até que a frequência desejada fosse atingida. Essa abordagem foi descartada devido à dificuldade na atualização da tabela interna, visto que diversos incrementos da palavra de controle do DAC seriam feitos no mesmo ciclo, sem a possibilidade de medir seu efeito na frequência de oscilação. Isso acarretaria na ocorrência do mesmo erro toda vez que cada frequência fosse selecionada, além do consumo elevado de potência pelas somas ou subtrações sucessivas.

A solução selecionada para o controlador foi a utilização de uma tabela dinâmica relacionando a frequência desejada com o valor da palavra de controle do DAC. Essa tabela é inicializada no momento do reset com os valores típicos. Recomenda-se fazer uma calibração logo após o reset, bastando para isso apenas selecionar todas as frequências possíveis, uma por uma, até que o sinal de “frequência atingida” seja ligado. Esse processo corrige a tabela interna com os valores ideais da palavra de controle do DAC para cada frequência do

componente em uso, na temperatura em que foi calibrado. Durante seu funcionamento, variações na temperatura fazem o valor correto da palavra de controle ser alterado, ou seja, a tensão de controle necessária para que o oscilador atinja a mesma frequência se altera. Na ocasião da seleção da frequência, essa divergência é detectada e corrigida, ativando o sinal de “frequência atingida” após a correção, momento em que a tabela interna é atualizada. O tempo necessário para atingir a frequência desejada aumenta proporcionalmente a precisão do DAC, e conseqüentemente aumenta a precisão da frequência gerada.

O algoritmo implementado para este controle reflete em um baixo custo de área e consumo de potência do circuito. Quando a frequência é selecionada, imediatamente a palavra de controle do DAC é alterada para o valor correspondente àquela frequência contido na tabela interna. A partir do próximo ciclo do relógio de referência já é possível medir a frequência real. Caso esta esteja acima da frequência desejada, a palavra de controle passa a ser incrementada, aumentando a tensão de saída do DAC. Isso aumenta a tensão no gate do transistor PMOS de controle da célula de atraso, reduzindo a corrente máxima da alimentação para a saída, o que aumenta o tempo de propagação na inversão positiva do sinal que circula no anel, resultando em uma redução na frequência gerada. Após cada incremento na palavra de controle do DAC, a frequência gerada é novamente medida. Caso a frequência ainda seja superior à desejada, um novo incremento é feito. Caso contrário é feita a diferença entre frequência anterior e a desejada, sendo o resultado comparado com a diferença entre a frequência atual e a desejada. Com isso é possível avaliar se a frequência anterior ao incremento da palavra de controle do DAC estava mais próxima à frequência desejada, situação na qual a palavra de controle é decrementada. Depois de concluído esse processo, o valor da palavra de controle é atualizado na posição da tabela correspondente à frequência selecionada.

A implementação RTL desse circuito foi validada por simulação. Inicialmente foi feita uma simulação *mixed signal*, a fim de verificar a correta interface entre o módulo digital e o analógico. Em seguida, um modelo comportamental do circuito

analógico do oscilador foi descrito em linguagem RTL, com o propósito de reduzir o tempo de simulação. Após a validação do algoritmo implementado em VHDL, o circuito foi sintetizado utilizando as células padrão da tecnologia utilizada. A síntese foi feita utilizando as ferramentas da Cadence, Encounter RTL Compiler. Com os dados exibidos na Figura 14 é possível calcular a frequência máxima de operação do controlador para que o descarte de componentes na fase de teste seja mínimo. Utilizando três desvios padrão, iremos obter um descarte de 0,13% dos componentes. A frequência de 860MHz está a essa distância da média, sendo a frequência utilizada para síntese. O circuito resultante da síntese lógica é mostrado na Figura 26.

```
create_clock -name clk [get_ports cur_clk_i] -period 1

set_clock_transition -min -rise 0.01 clk
set_clock_transition -max -rise 0.008 clk
set_clock_uncertainty -setup -clock clk 0.04
set_clock_uncertainty -hold -clock clk 0.02
```

Figura 25 – Restrições de timing utilizadas na síntese usando o oscilador em anel projetado.

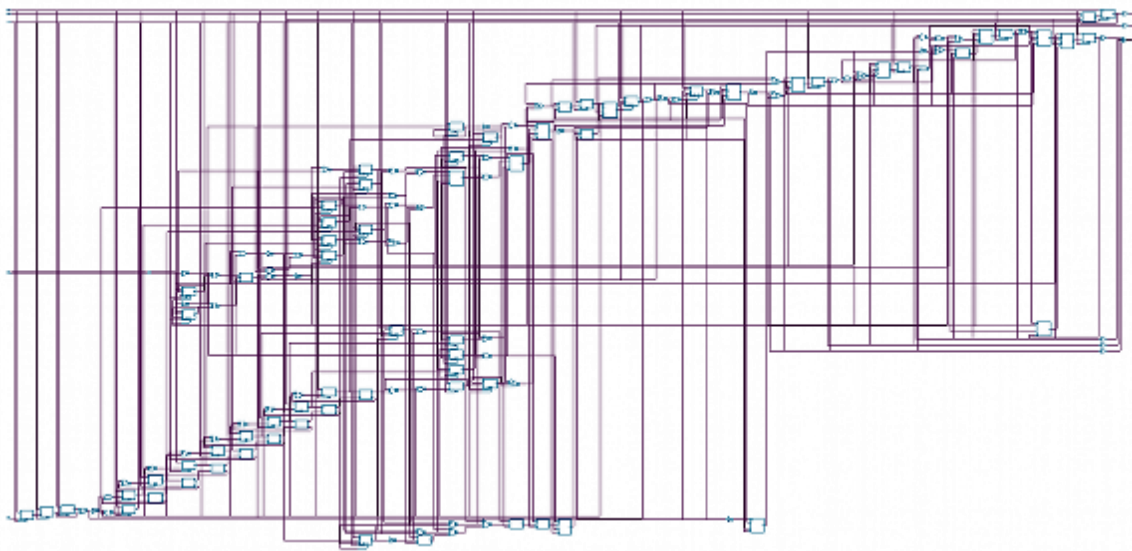


Figura 26 – Circuito sintetizado do controlador.

4 RESULTADOS

Ao longo deste trabalho, diversos resultados foram apresentados. Dentre eles, podemos destacar:

- Dimensionamento de um elemento de atraso de forma a minimizar a dissipação de potência e aumentar a linearidade da curva frequência x tensão de um oscilador em anel.
- Avaliação dos efeitos de variações no processo de fabricação e temperatura sobre a frequência máxima do oscilador em anel, bem como sobre a curva frequência x tensão como um todo.
- Esquemático e leiaute de um oscilador em anel com garantia da faixa de trabalho de 100MHz a 500MHz em temperaturas entre -20°C e 120°C para 99,0% dos componentes fabricados.
- Modelagem RTL de um circuito digital capaz de controlar a frequência de um oscilador, com número parametrizável de frequências disponíveis e precisão parametrizável.

Além disso, foi feita a integração desse gerador de relógio com a Hermes-GLP. A integração foi feita usando os seguintes parâmetros do controlador:

- Número de frequências disponíveis para o usuário: 2 (entrada “seleção de frequência” com 1 bit).
- Número de frequências disponíveis para o controlador: 256 (saída “controle do oscilador” com 8 bits, DAC com 8 bits, precisão média alcançada de aproximadamente 7,5MHz e mínima de 12MHz – dados obtidos através de simulação da resposta da frequência em função da tensão para o caso típico).

Foi feita a síntese física do controlador com os parâmetros descritos acima. Os resultados referentes à área do gerador de relógio em relação à área do roteador são mostrados na Figura 27.

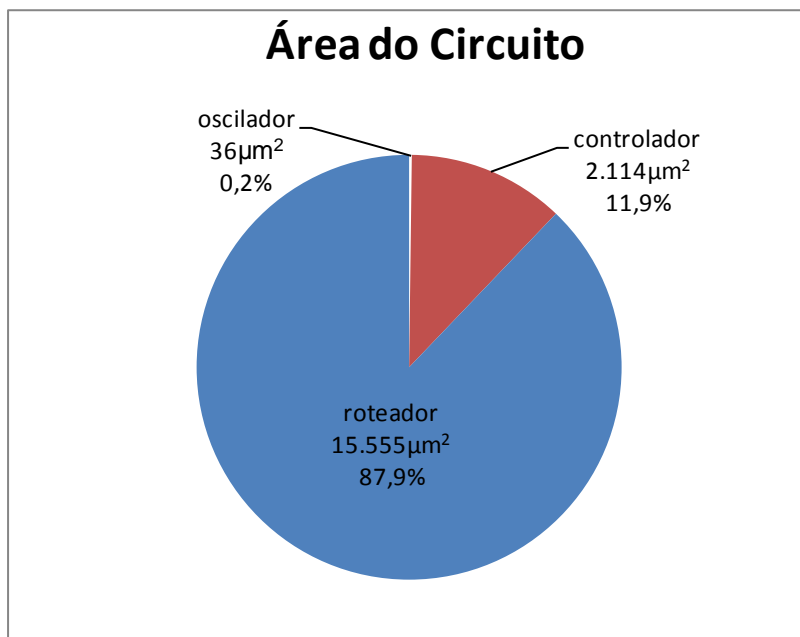


Figura 27 – Comparação entre área do roteador e do gerador de relógio

Para avaliar o consumo de potência do gerador de relógio, foi usado um cenário com alteração constante na frequência desejada, gerando um consumo alto para o controlador e um consumo médio para o oscilador. Este consumo de potência foi comparado com o consumo dos roteadores da NoC com carga elevada, gerando também altos valores de consumo de potência. Esses valores são comparados na Figura 28.

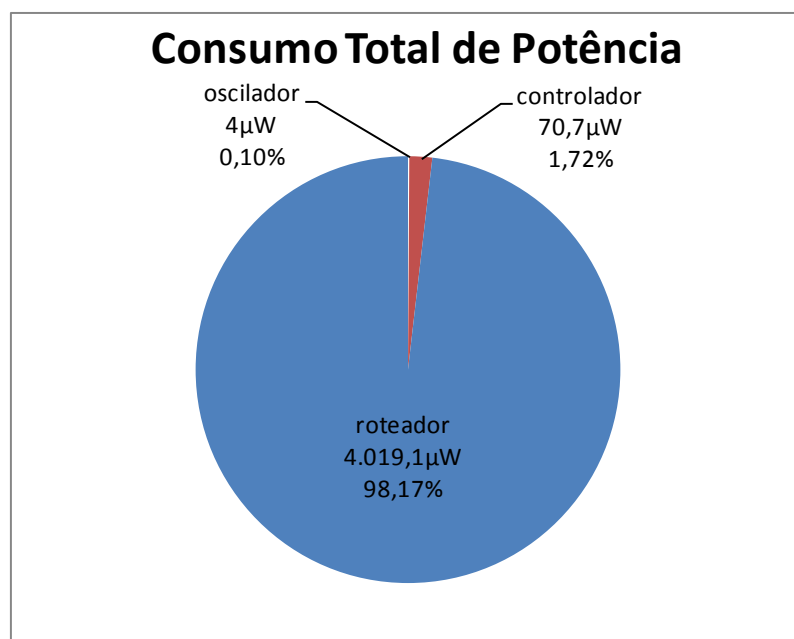


Figura 28 – Comparação entre o consumo de potência do roteador e do gerador de relógio

Até o presente momento, não foram feitas medições comparando o consumo de potência utilizando frequências externas ao consumo de potência utilizando o gerador de relógio aqui proposto. Espera-se obter uma redução no consumo de potência proporcional ao aumento no número de diferentes frequências de comunicação requeridas pela NoC, acompanhado do aumento de frequências disponibilizadas pelo gerador de relógio.

Outros resultados ainda por serem obtidos incluem:

- Uma relação entre o número de bits da palavra de controle (sinal “controle do oscilador”) e o tempo necessário para que a frequência desejada seja atingida.
- Uma relação entre a área do controlador e o número de frequências disponíveis (número de bits do sinal “seleção da frequência”) e sua precisão (número de bits do sinal “controle do oscilador”).

5 TRABALHOS RELACIONADOS

O presente trabalho apresenta um gerador de relógio com frequência dinamicamente ajustável através de uma palavra digital composta por N bits. Inúmeros trabalhos existem na área, cada um servindo um propósito específico [RET02] [NIN07] [SOB07] [SOB08] [RED08] [OKS08]. Devido ao grande número de diferentes soluções para este problema, este trabalho limita-se ao estudo de um pequeno conjunto destas. A seguir são apresentadas algumas soluções para aplicações similares, acompanhadas de uma breve descrição. Ao fim do capítulo, uma tabela comparativa mostra os trabalhos relacionados com suas principais características, juntamente com as características deste trabalho.

O trabalho [RET02] mostra um elemento de atraso utilizando um *transmission gate*, composto por um transistor PMOS e um NMOS em paralelo, nos quais são aplicadas duas tensões de controle complementares. Com isso, baixas frequências são atingidas mesmo com um anel de apenas três estágios. O autor não aborda implementações de controladores para seu oscilador.

Já [RED08] implementa um oscilador de alta frequência para uso em aplicações médicas. O oscilador é composto por um anel de dois estágios, com elemento diferencial de atraso. O elemento conta com um transistor PMOS em série com a alimentação cujo *bulk* é conectado ao *drain*. O autor mostra que isso aumenta a linearidade da relação entre a tensão e a corrente existentes entre *source* e *drain*, permitindo a operação do mesmo em tensões abaixo da tensão de *threshold*, reduzindo assim o consumo de potência. Nenhum estudo é feito a respeito do controle da frequência e compensação das variações do processo de fabricação.

Em [NIN07] é apresentado um circuito para estabilização da frequência de um oscilador controlado por tensão através da estabilização da fonte de tensão e compensação dos efeitos térmicos através dos circuitos analógicos desenvolvidos. É utilizado um elemento diferencial de atraso controlado por tensão, porém o objetivo é manter a frequência estável variando a tensão de controle a fim de compensar os efeitos da variação de temperatura.

Outro trabalho estudado [OKS08] propõe um gerador de relógio resistente a variações de temperatura e processo através de técnicas analógicas como malhas de captura de atraso, ou *delay-locked loop*. O elemento de atraso utilizado é um elemento diferencial, porém pouco enfoque é dado no oscilador em si, dando maior atenção ao processo de controle de frequência e tensão.

Sobczyk et al. realizaram diversos trabalhos na área, dos quais dois são analisados [SOB07] [SOB08]. Em um artigo mais antigo [SOB07] faz uma análise comparativa entre três diferentes elementos de atraso: um inversor convencional; um inversor com excursão do sinal reduzida (*reduced-swing*), obtido através da inserção de transistores PMOS e NMOS em série com a alimentação e a massa respectivamente, ambos com seu *gate* conectado ao *drain*; uma célula de atraso diferencial. Resultados referentes ao consumo de potência e variação da frequência do oscilador são apresentados para diferentes modelos de transistor (modelando as variações no processo de fabricação) e diferentes temperaturas. O controle da frequência não é abordado, havendo um controlador apenas para pausar o relógio. Entretanto o autor sugere que a frequência seja limitada utilizando uma fonte de corrente para alimentar o anel, limitando o impacto das variações de processo e temperatura sobre o consumo de potência. No ano seguinte é publicado [SOB08], já com enfoque em GALS. Nesse artigo, uma solução para o controle da frequência é apresentada, propondo um controlador que altera o número de elementos operantes no anel através de portas NAND e *tri-state buffers*.

A Tabela 2 mostra um comparativo entre os trabalhos acima mencionados. A primeira coluna contém a referência para o trabalho. As colunas seguintes representam respectivamente: modelo de elemento de atraso utilizado, estrutura do oscilador apresentado, tipo de controle de frequência proposto, e a forma como são tratadas as variações no processo de fabricação do circuito e temperatura de trabalho.

Tabela 2 – Tabela comparativa de trabalhos relacionados.

Ref.	Elemento de atraso	Estrutura do oscilador	Controle	Varição do processo e temperatura
RET02	<i>Transmission gate.</i>	Anel de 3 estágios	NA	NA
RED08	Diferencial, <i>bulk-drain.</i>	Anel de 2 estágios.	NA	NA
NIN07	Diferencial.	NA	Analógico	Compensação analógica.
OKS08	Diferencial	NA	Analógico	Compensação analógica da temperatura. Processo.
SOB07	Compara inversor, inversor modificado e diferencial.	Compara anéis de 3, 4, 5 e 7 estágios.	Digital, relógio pausável.	Estudo, resultados.
SOB08	Inversor com atraso fixo.	Número de elementos variável.	Digital, controla número de elementos.	Estudo, resultados.
Este projeto	Inversor modificado	Anel de 13 estágios	Digital, com realimentação	Compensados pela realimentação.

6 CONSIDERAÇÕES FINAIS

O trabalho apresentado apontou diversas colaborações para o grupo de pesquisa do autor as quais podem ser divididas em diretas e indiretas, entre elas pode-se citar:

- Diretas
 - Esquemático e layout do oscilador em anel.
 - Código RTL do controlador digital de frequência.
- Indiretas
 - Ambiente de verificação Montecarlo de variação de processo (global + mismatch). Esse foi o primeiro trabalho do grupo onde a variação de processo foi caracterizada.
 - Ambiente de validação *mixed signal*. Esse foi o primeiro trabalho do grupo onde se validou circuitos dessa categoria.

Os resultados mostram a viabilidade da proposta de uso de osciladores em anel para sistemas GALS com controle dinâmico de frequência em especial em redes intrachip. Os osciladores desenvolvidos fornecem a infraestrutura habilitadora para a implementação de controle dinâmico de tensão e frequência (do inglês Dynamic Voltage and Frequency Scaling ou DVFS) em SoCs.

A continuação desse trabalho prevê:

- O estudo e comparação de outros elementos de atraso.
- O estudo de *self-time rings* para a geração de relógio.
- O estudo e implementação de mecanismos de controle que permitam um tempo menor para alcançar a frequência alvo.

REFERÊNCIAS BIBLIOGRÁFICAS

- [BEI08] Beigné, F.; Clermidy, F.; Miermont, S.; Thonnart, Y.; Valentian, A.; Vivet, P. "A Localized Power Control Mixing Hopping and Super Cut-Off Techniques within a GALS NoC". In: IEEE International Conference on Integrated Circuit Design and Technology and Tutorial (ICICDT'08), pp. 37-42, 2008.
- [CAL08] Calimera, A.; Bahar, R.; Macii, E.; Poncino, M.; "Reducing leakage power by accounting for temperature inversion dependence in dual-Vt synthesized circuits". In: 13th international symposium on Low power electronics and design (ISLPED '08), 2008.
- [DAL01] Dally, W.J.; Towles, B. "Route packets, not wires: on-chip interconnection networks". In: Design Automation Conference (DAC'01), pp. 684-689, 2001.
- [ITR05] International Technology Roadmap for Semiconductors. "ITRS 2005 Edition". Capturado em <http://www.itrs.net/Links/2005ITRS/Home2005.htm>, November 2010.
- [MAR05] Martin, G. "Overview of the MPSoC design challenge". In: Design Automation Conference (DAC'06), pp.274-279, 2006.
- [MOO02] Moore, S.; Taylor, G.; Mullins, R.; Robinson, P. "Point to point GALS interconnect". In: IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC02), pp. 69-75, April 2002.
- [NIN07] Ge Ning, G.; Cong, C; "A Frequency Stabilization Circuit for The Voltage Controlled Ring Oscillator" In: 7th International Conference on ASIC (ASICON'07), pp.333-336, 2007.
- [OGA97] OGATA, Katsuhiko. Modern Control Engineering. 3. ed. Upper Saddle River: Prentice-Hall, 1997.
- [OGR07] Ogras, U.; Marculescu, R.; Choudhary, P.; Marculescu, D. "Voltage-frequency island partitioning for GALS-based networks-on-chip". In: ACM/IEEE Design Automation Conference (DAC07), pp. 110-115, June 2007.
- [OKS08] Ok, S.; Kim, J; Yoon, G; Chu, H; Oh, J; Kim, S; Kim, C; "A DC-DC converter with a dual VCDL-based ADC and a self-calibrated DLL-based clock generator for an energy-aware EISC processor" In: Custom Integrated Circuits Conference (CICC 2008) pp.551-554, 2008.

- [PON07] Pontikakis, B.; Bui, H. T.; Boyer, F.-R.; Savaria, Y., "A Low-Complexity High-Speed Clock Generator for Dynamic Frequency Scaling of FPGA and Standard-Cell Based Designs". In: IEEE International Symposium on Circuits and Systems (ISCAS07), pp. 633-636, May 2007.
- [PON08a] Pontes, J. "Projeto e prototipação de interfaces e redes intrachip não-síncronas em FPGAs" MSc Dissertation, PPGCC - FACIN - PUCRS, Porto Alegre, Brazil, 120 pages, February 2008.
- [PON08b] Pontes, J.; Moreira, M.; Soares, R.; Calazans, N. "Hermes-GLP: A GALS Network on Chip Router with Power Control Techniques," In: IEEE Computer Society Annual Symposium on VLSI (ISVLSI.08), pp.347-352, 2008.
- [RAB03] RABAEY, Jan M. Digital integrated circuits: a design perspective. 2. ed. Upper Saddle River: Pearson Education, 2003.
- [RED08] Reddy, N.; Pattanaik, M.; Rajput, S. "0.4V CMOS based low power voltage controlled ring oscillator for medical applications" In: 2008 IEEE Region 10 Conference (TENCON 2008) pp.1-5, 2008.
- [RET02] Retdian, N.; Takagi, S.; Fujii, N. "Voltage controlled ring oscillator with wide tuning range and fast voltage swing" In: IEEE Asia-Pacific Conference on ASIC (AP-ASIC'02), pp. 201- 204, 2002.
- [SHI08] Shim, T.; Kim, S.; Lee, G.; Kim, K.; Cho, W.; Park, J.; "Dependence of temperature and self-heating on electron mobility in ultrathin body silicon-on-insulator n-metal-oxide-semiconductor field-effect transistors". Journal of Applied Physics, vol.103, no.9, pp.094522-094522-8, 2008.
- [SOB07] Sobczyk, A.; Luczyk, A.W.; Pleskacz, W.A.; , "Analysis of Basic Pausable Local Clock Signal Generator" In: 14th International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES '07) pp.237-242, 2007.
- [SOB08] Sobczyk, A.L.; Luczyk, A.W.; Pleskacz, W.A. "Controllable Local Clock Signal Generator for Deep Submicron GALS Architectures" In: 11th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems (DDECS'08), pp.1-4, 2008.
- [TEE07] Teehan, P.; Greenstreet, M.; Lemieux, G., "A Survey and Taxonomy of GALS Design Styles". IEEE Design & Test of Computers, 24(5), pp.418-428, September-October 2007.

ANEXO A

