

## ANÁLISE MICROFOTOGRAFÍCA DA ARQUITETURA INTERNA DO CONTROLADOR DE ACESSO DIRETO A MEMÓRIA AMD9517

P. J. BIER\* & N. L. V. CALAZANS\*\*

### SUMARIO

Este trabalho descreve a análise da arquitetura interna do circuito controlador de acesso direto a memória (DMA) AMD9517. O processo de obtenção da amostra a ser analisada e descrito brevemente. As estruturas básicas (NAND, NOR, XOR, inversor) utilizadas na concepção do circuito são detalhadas, bem como a metodologia de decodificação aplicada. A arquitetura interna do circuito é descrita a nível de blocos funcionais, sendo alguns destes blocos explicados detalhadamente (a título de exemplo).

### ABSTRACT

This paper describes the analysis of the internal architecture of the direct memory access controller (DMA) AMD9517. The treatment of the sample to be analysed is briefly explained. The basic structures (NAND, NOR, XOR, inverter) used in circuit design are detailed, as well as the applied decoding methodology. The circuit internal architecture is depicted in functional blocks level. Some of these blocks are describe in detail (as examples).

\* Engenheiro eletrônico (UFRGS, 1983), mestrando em Ciência da Computação (PGCC, UFRGS). Área de Interesse: Concepção de Microcircuitos.

\*\*Graduando em Engenharia Eletrônica (UFRGS), auxiliar de pesquisa em Microeletrônica, na Pós-Graduação em Ciência da Computação (UFRGS).

## 1. INTRODUÇÃO

O objetivo deste trabalho é adquirir conhecimentos a respeito de técnicas de concepção de circuitos integrados digitais de tecnologia NMOS a partir do estudo da arquitetura interna de circuitos VLSI disponíveis no mercado, portanto confiáveis, visando com isto reduzir o número de etapas na obtenção de uma tecnologia própria. O circuito escolhido para ser analisado foi o controlador de DMA9517.

## 2. ABERTURA DO CIRCUITO E DEPASSIVAÇÃO

É necessário inicialmente retirar o encapsulamento plástico para obtenção da amostra. As ferramentas utilizadas no desencapsulamento foram um maçarico odontológico, uma pinça e um alicate. Para que seja possível a visualização do circuito é, retirada a camada de óxido protetor mergulhando a pastilha em ácido fluorídrico. Nos casos em que a camada de metal (conexões e alimentação) impedem a visualização de zonas ativas ela e também retirada aumentando o tempo de exposição da pastilha ao ácido.

## 3. FOTOGRAFIAS AO MICROSCÓPIO ÓTICO

O circuito foi totalmente fotografado através de um microscópio óptico a um aumento de duzentas vezes. Posteriormente, as fotografias individuais foram montadas lado a lado, obtendo-se um poster com a reprodução do circuito completo em dimensões que permitem a visualização das suas estruturas elementares a olho nu.

### 3.1. Visualização das Camadas

Após a depassivação, as diversas camadas do circuito (substrato, polisilício, difusão, e metal no caso da tecnologia NMOS em estudo no presente trabalho) apresentam, em geral, colorações diferentes, o que facilita o reconhecimento destas camadas nas fotografias e ao microscópio. As colorações não são fixas, variando de acordo com o grau de tratamento químico a que a pastilha foi submetida e de acordo com a tecnologia. Contudo, a identificação das camadas sempre é possível a partir da observação do "layout" das mesmas e do reconhecimento de estruturas características da tecnologia utilizada. Algumas vezes as camadas superiores (metal) mascaram as estruturas das camadas inferiores (polisilício e difusão), dificultando o seu reconhecimento neste caso é importante a obtenção de pastilhas com diversos graus de depassivação.

No caso do AMD9517 as cores das camadas foram as seguintes: Metal-branco, Polisilício-vermelho, Difusão-vinho, Substrato-marrom claro.

4. RECONHECIMENTO DAS ESTRUTURAS BÁSICAS

No caso da tecnologia NMOS-porta de polisilício existem três tipos principais de dispositivos:

- transistores de carga
- transistores de sinal
- transistores de passagem.

Identificamos ainda outras estruturas como:

- barramentos
- "pads" (elementos de ligação do "chip" com o exterior)
- ligações entre dispositivos
- linhas de alimentação.

Reconhecemos um transistor identificando o cruzamento de uma linha de poli (polisilício) sobre uma zona de difusão. Na verdade, sob a linha de poli não existe difusão mas existe o canal do transistor MOS (figura 1), na construção do "chip", o processo de difusão é realizado posteriormente a implantação das linhas de poli. As linhas de poli funcionam como "máscara" durante o processo de difusão.

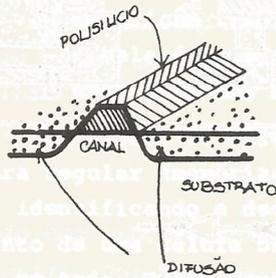


FIGURA 1

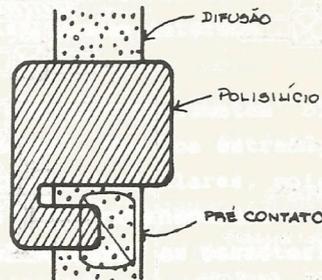
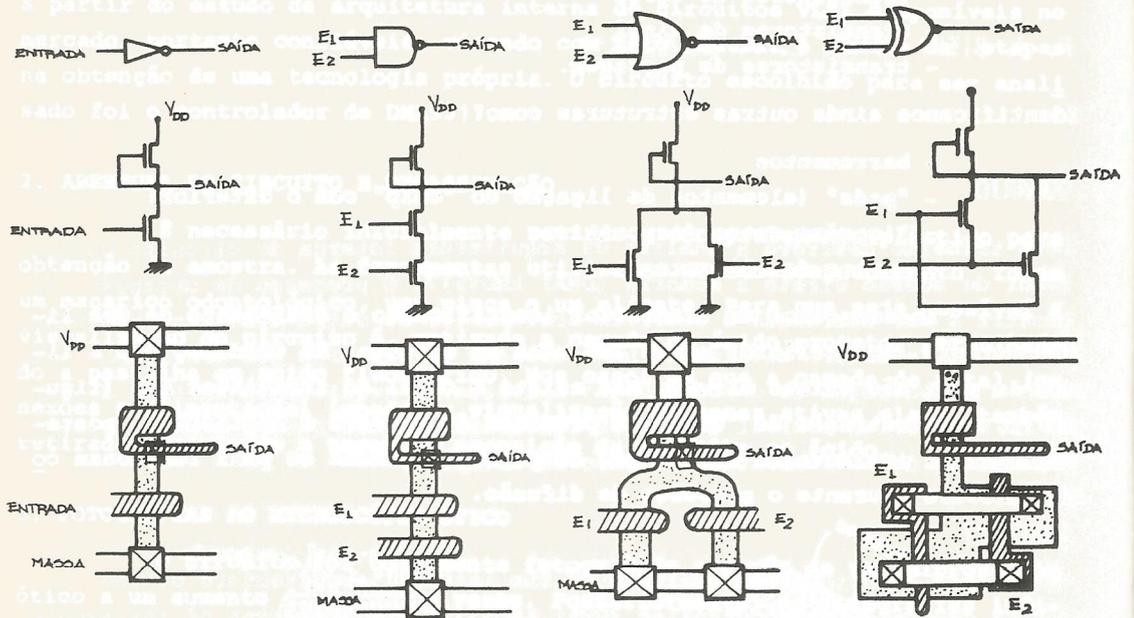


FIGURA 2

- transistor de carga - este dispositivo funciona como um resistor de "pull-up" associado a transistores de sinal e barramentos. Seu "lay-out" básico é mostrado na figura 2. O dreno está sempre ligado a alimentação (Vdd) e possui um pré-contato entre porta e fonte, características que o faz funcionar como resistor. E o ponto chave no reconhecimento de uma porta lógica, pois todas elas possuem um e somente um transistor de carga.

- transistor de sinal - está sempre associado a um transistor de carga formando um inversor ou formando portas lógicas (NOR, NAND, etc) quando existirem outros transistores de sinal associado ao mesmo transistor de carga.

Na figura 3 estão representadas as portas básicas NMOS-porta de silício.



-  METAL
-  DIFUSÃO
-  POLISILÍCIO
-  PRÉ CONTATO
-  CONTATO

FIG 3C

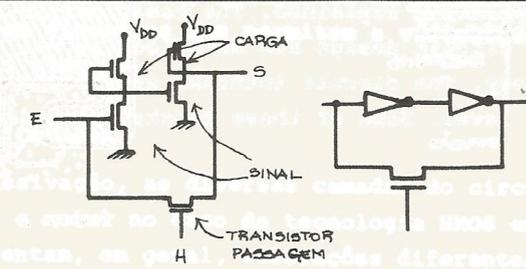


Fig 4

- transistor de passagem - funciona como um elemento de controle de fluxo de sinais entre dispositivos ou entre dispositivo e barramento. A única diferença a nível de reconhecimento visual entre este tipo de transistor e o transistor de sinal é que o primeiro não faz parte de uma porta lógica. Na figura 4, um exemplo de utilização deste transistor:

Outros elementos:

- barramentos - No caso da tecnologia NMOS são linhas normalmente em metal ou polisilício. Geralmente os barramentos são utilizados por vários dispositivos. Neste caso é necessária a existência de um circuito

de controle de acesso ao barramento, para evitar conflitos elétricos gerados por escritas simultâneas efetuadas por mais de um dispositivo.

- ligações entre dispositivos - são condutores físicos que veiculam dados ou sinais de controle de uma fonte até um ou mais destinos. São condutos normalmente em poli ou metal e, alguns casos, em difusão.

- linhas de alimentação - são de condutores encarregados de distribuir a alimentação a todas as regiões do circuito.

#### 4. METODOLOGIA DE DECODIFICAÇÃO

Inicialmente é importante obter-se documentação a respeito do circuito em estudo, pois facilita às vezes, a identificação dos módulos funcionais que serão analisados durante a decodificação. Por exemplo, reconhecimento através de comparação entre as zonas decodificadas e o diagrama de blocos fornecido pelo fabricante. Como exemplo de documentação são úteis podemos citar:

- diagrama de blocos
- foto do "chip" com localização e identificação dos "pads"
- descrição funcional do circuito
- tabela de especificação dos registradores internos
- descrição dos sinais externos.

Em geral, os circuitos integrados digitais apresentam blocos de estrutura regular (memórias, PLAS, registradores). Uma boa estratégia é começar identificando e decodificando as estruturas regulares, pois o reconhecimento de uma célula básica é suficiente para reconhecermos a estrutura como um todo. Neste momento é aconselhável comparar as características da estrutura decodificada com a documentação do fabricante, visando o reconhecimento dos diversos blocos especificados pela descrição funcional. Este procedimento gera novas "pistas" para identificação de outros blocos a partir, por exemplo, da informação de quais blocos se comunicam com o já identificado.

À medida que o circuito vai sendo identificado, deve-se ir elaborando documentação contendo os esquemas lógicos levantados.

Neste trabalho usam-se duas documentações simultâneas:

- uma documentação primária, que apresenta o resultados do trabalho de decodificação, ou seja, apresenta os circuitos identificados, sob a forma de diagramas de portas lógicas. Algumas vezes, quando as portas lógicas não são facilmente visualizadas (devido a topologia das camadas), se desce um nível na diagramação, utilizando esboços apenas de transistores

(de carga, de sinal, de passagem), voltando aos diagramas de portas quando da apreensão da estrutura lógica da parte decodificada. Cada porta lógica é univocamente especificada através de uma letra e um número; a letra indica zona do circuito onde está situada a porta, enquanto que o número serve para distingui-la de qualquer outra porta já decodificada nesta zona. A análise do esquema lógico do circuito conduz a identificação dos blocos funcionais do circuito (informação de nível superior) e funcionamento geral da arquitetura interna.

- uma segunda documentação, destinada a permitir a localização de cada porta sobre o "poster" do circuito. Esta documentação é implementada a partir de folhas de transparência que cobrem toda a superfície do "poster", unidas a este através de fita adesiva em um dos lados apenas, possibilitando acesso ao "poster" sob elas. Usando canetas do tipo hidrocor, cada uma das portas é identificada através de seu código letra-número: a letra pode ser A, B, C ou D, indicando uma das quatro linhas de folhas, com o número especificando a porta univocamente. O conjunto letra-número é escrito exatamente sobre o transistor de carga da porta, já que este elemento sempre está presente, em qualquer porta lógica. Existem ainda marcas de alinhamento entre as transparências e o "poster", já que as folhas possuem um certo grau de liberdade, estando presas ao "poster" por apenas um de seus quatro lados. Este tipo de documentação prova ser de grande auxílio quando deseja-se vincular blocos decodificados separadamente em uma única documentação escrita.

##### 5. ARQUITETURA GERAL DO CIRCUITO

O circuito decodificado é um controlador de acesso direto à memória (AMD 9517). Sua função básica é permitir que dispositivos externos troquem dados com a memória diretamente e de permitir também transferência de dados entre diferentes posições de memória sem interferência do microprocessador.

O AMD 9517 possui quatro canais de acesso direto a memória configuráveis independentemente e que podem ser programados por software pelo usuário.

Na figura 5 é apresentada uma planta baixa do circuito com a identificação dos blocos principais:

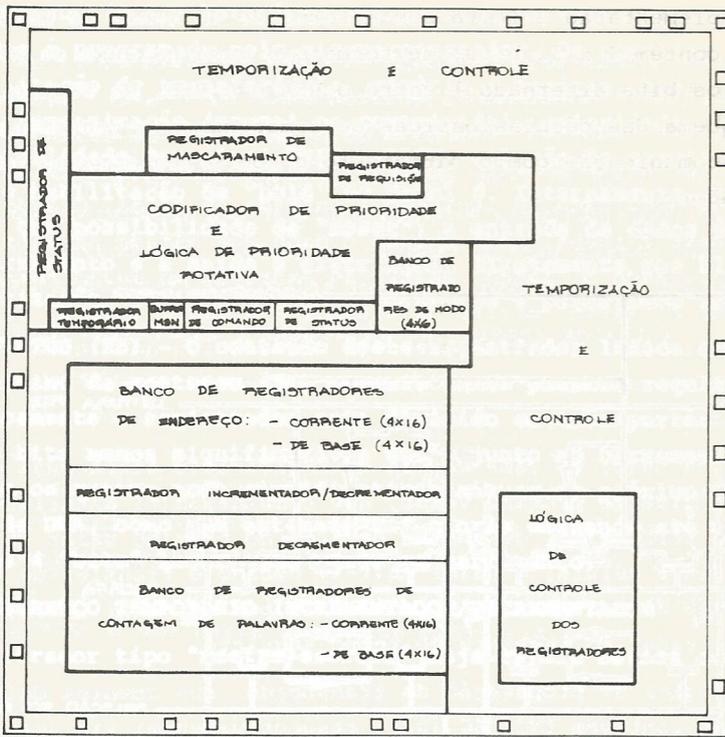


FIG 5

DESCRIÇÃO DOS BLOCOS: Abaixo é feita a descrição dos blocos principais da planta baixa. Por motivos de limitação de espaço deste trabalho, a descrição física detalhada é feita apenas para o banco de registradores de endereço e para o registrador incrementador decrementador. Os outros blocos são descritos apenas funcionalmente. A descrição completa do trabalho é feita na ref. 1.

**BANCO DE REGISTRADORES DE ENDEREÇO**

Reg. de endereço corrente (REC) e Reg de endereço base (REB) - Cada canal possui um par destes registradores.

REC - armazena o valor do endereço usado durante a operação de acesso direto à memória. O endereço é automaticamente incrementado ou decrementado depois de cada operação e os resultados intermediários são armazenados neste registrador durante a transferência.

REB - Armazena o valor original do REC associado. Durante a operação de auto inicialização este valor é utilizado para reescrever o REC.

da carga. A implementação é feita sob a forma de um banco de memória (do tipo RAM) que contém 4 x 32 bits, de forma que cada palavra de 32 bits é dividida (com os bits alternados) entre o REA e o REB. Na figura 6 é apresentado um esquema das células básicas de armazenamento juntamente com as estruturas de comunicação com o barramento e com o registrador incrementador decrementador.

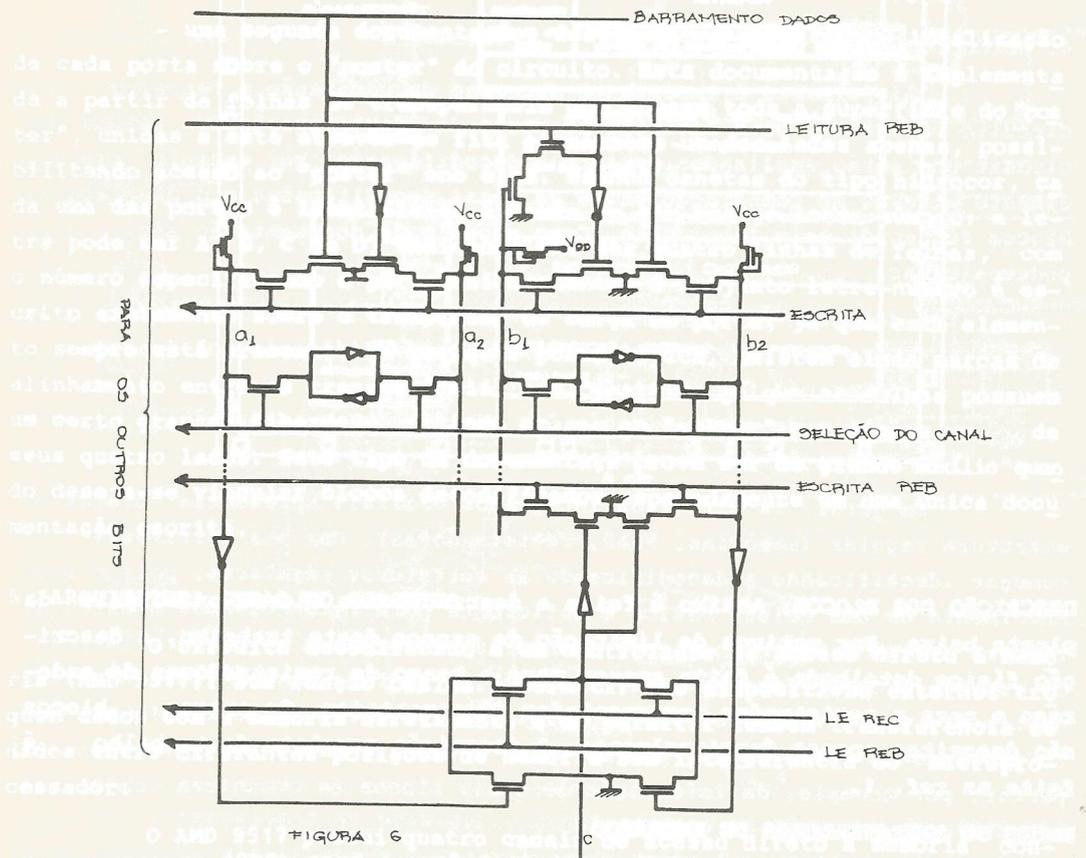


FIGURA 6

No esquema da figura 6, a célula de armazenamento da esquerda pertence ao REB e a da direita ao REC. A comunicação com o barramento de dados é feita de maneira que durante o processo de escrita é ativado o comando ESCRITA, habilitando a transferência do dado do barramento para as linhas a1, a2, b1 e b2. Então o dado, é armazenado simultaneamente nos dois latches através da ativação do comando SELEÇÃO DO CANAL. Existe uma linha SELEÇÃO DO CANAL para cada palavra do banco de memória correspondente ao

REG. DE COMANDO (RC) - Este é o registrador que armazena os comandos do AM9517. Ele é programado pelo microprocessador. Os comandos são os seguintes: habilitação de transferência memória a memória, habilitação do controlador, temporização (normal ou comprimida), prioridade (fixa ou rotativa), sensibilidade dos pinos DREQ e DACK, seleção de escrita (atrasada/estendida) e habilitação de "hold" do canal 0. Internamente, consiste de oito "latches" com possibilidade de "Reset"; a entrada de dados é efetuada a partir do barramento e a saída é distribuída diretamente aos blocos de controle (temporização, codificador de prioridades e prioridade rotativa).

REG. DE STATUS (RS) - O conteúdo deste registrador indica que canais chegaram ao término da contagem (TC) e quais ainda possuem requisições pendentes. Fisicamente o registrador está dividido em três partes no circuito: os quatro bits menos significativos estão junto ao barramento de dados, enquanto que os quatro mais significativos situam-se próximo aos pinos de requisição de DMA, como uma extensão dos sinais chegando até um "buffer" de escrita de 4 "bits" localizado junto ao barramento.

REG. DE ENDEREÇO TEMPORÁRIO INCREMENTADOR/DECREMENTADOR

É um registrador tipo "mestre-escravo" cuja célula básica é mostrada na figura 7.

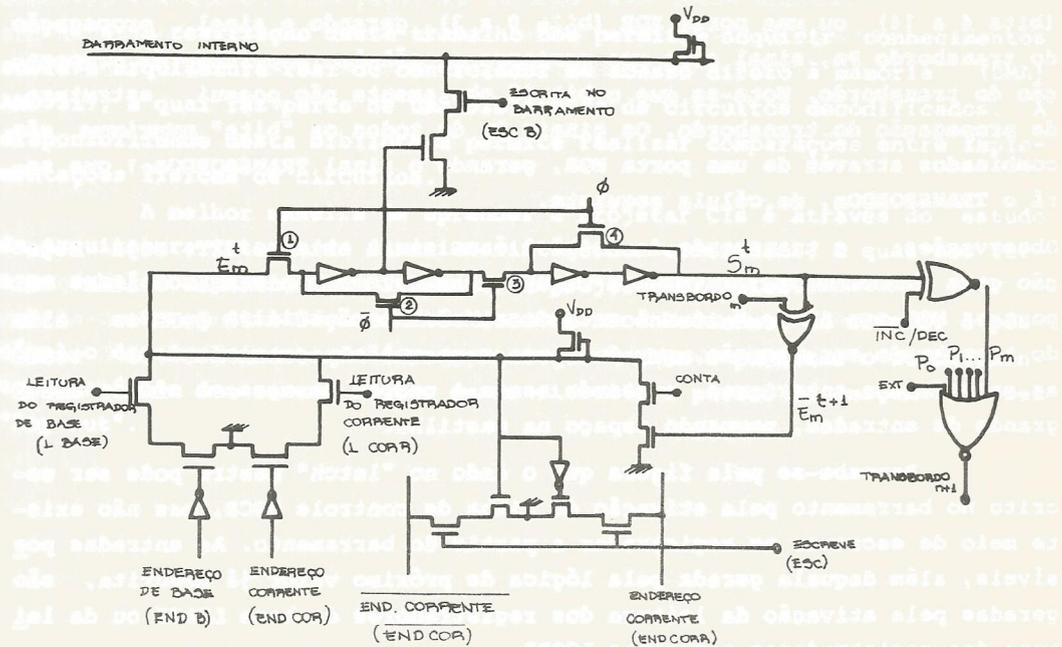


FIG 7

#### ob - Funcionamento -

Durante o intervalo de tempo em que "fi" esta em 1, as chaves 1 e 4 estão fechadas, conectando a entrada  $En(t)$  ao "latch" mestre e fazendo com que o "latch" escravo retenha o dado, mostrado na saída  $Sn(t)$ . As chaves 2 e 3 estão neste momento abertas, fazendo com que o latch mestre possa aceitar um novo dado, e isolando a entrada da saída. Quando "fi" vai para zero, a chave 2 fecha, armazenando o dado que estava na entrada, a chave 3 fecha, conectando o "latch" mestre ao escravo. Ao mesmo tempo a chave 1 abre, isolando o "latch" mestre da entrada e a chave 4 abre, fazendo com que o dado presente no "latch" mestre seja transferido ao "latch" escravo. Quando a fase "fi" retorna a 1, o dado que estava no "latch" mestre é armazenado no "latch" escravo.

A saída  $Sn(t)$  de cada célula do registrador ataca duas outras estruturas: - a lógica de próximo valor, que combina  $Sn(t)$  anteriores (TRANSBORDON) via uma porta NXOR, gerando a negação do próximo valor  $En(t+1)$  a ser carregado nesta célula. O valor  $En(t+1)$  negado e transferido a entrada da célula através de uma porta NAND comandada por um sinal CONTA, sendo carregada no registrador no instante de tempo seguinte.

- a lógica de propagação do transbordo, que combina  $Sn(t)$  com a variável modo de contagem INC/DEC (0/1, respectivamente) via uma porta NXOR (bits 4 a 14) ou uma porta XOR (bits 0 a 3), gerando o sinal propagação do transbordo  $Pn$ , sinal este que percorre as células seguintes de propagação do transbordo. Note-se que o bit 15 obviamente não possui estrutura de propagação do transbordo. Os sinais  $Pn$  de todos os "bits" anteriores são combinados através de uma porta NOR, gerando o sinal TRANSBORDON+1 que será o TRANSBORDON, da célula seguinte.

Observações: - o transbordo do "bit" 0 é um sinal externo EXT, cuja negação gera TRANSBORDO0. Nos "bits" seguintes, os transbordos são saídas de portas, NOR com 1, 2, 3, 4 e 5 entradas. Nos bits 4, 8 e 12 gera-se além do transbordo sua negação, que funciona como um "empacotamento" de todas as entradas  $Pn$  anteriores, evitando assim o uso de portas com número muito grande de entradas, poupando espaço na pastilha.

Percebe-se pela figura que o dado no "latch" mestre pode ser escrito no barramento pela ativação da linha de controle ESCB, mas não existe meio de escrever no registrador a partir do barramento. As entradas possíveis, além daquela gerada pela lógica de próximo valor já descrita, são geradas pela ativação da leitura dos registradores de base LBASE ou da leitura dos registradores correntes LCORR.

## LÓGICA DE CONTROLE DOS REGISTRADORES

Gera as linhas de controle de escrita e leitura dos três bancos de registradores (endereço, contagem, de palavras e modo). Sua implementação no circuito é feita em lógica aleatória.

A geração de um sinal de seleção para um determinado canal é feita por um decodificador 2x4 e é distribuída simultaneamente para os três bancos de registradores. A decisão de qual destes bancos sofrerá a operação de leitura ou escrita é feita em outra região desta mesma lógica.

## CODIFICADOR DE PRIORIDADE E LÓGICA DE PRIORIDADE ROTATIVA

O AMD9517 possui dois tipos de codificação de prioridade disponíveis que podem ser selecionados por software. O primeiro é o de prioridade fixa no qual a ordem de prioridade é baseada no valor do número do canal (o canal 3, tem maior prioridade que o dois e assim por diante) e o segundo é o de prioridade rotativa no qual o último canal que esteve ativo torna-se de menor prioridade. O bloco em questão tem por função fazer o controle destas duas opções de uso. A sua implementação física é feita através de duas PLAs e uma parte de lógica aleatória.

## 7. CONCLUSÕES

A realização deste trabalho nos permitiu adquirir conhecimentos sobre a arquitetura real do controlador de acesso direto à memória (DMA) AMD9517, a qual faz parte de uma biblioteca de circuitos decodificados. A disponibilidade desta biblioteca permite realizar comparações entre implementações físicas de circuitos.

A melhor maneira de aprender a projetar CIs é através do estudo da arquitetura interna de circuitos integrados comerciais, o qual nos fornece subsídios para desenvolvimento de projetos próprios.

Com a utilização de técnicas de reconhecimento de formas, é possível o desenvolvimento de ferramentas que venham a permitir o levantamento automático do esquema lógico de um circuito a partir da imagem de seu "lay-out".