

Introdução à Simulação em VHDL

Ney Laert Vilar Calazans

06/março/2010

Descrição Completa do Somador

```
library IEEE;
use IEEE.Std_Logic_1164.all;

entity halfadd is
port (A, B: in std_logic;
      Sum, Carry: out std_logic);
end halfadd;

architecture comp of halfadd is
begin
    Sum <= A xor B;
    Carry <= A and B;
end comp;
```

Exemplo de Testbench para o Somador

```
library ieee;  
use ieee.std_logic_1164.all;
```

```
entity HA_tb is  
end HA_tb;
```

← **Note: testador não tem pinos externos (ports in ou out)**

```
architecture TB of HA_tb is
```

```
    signal aa, bb, soma, vaium: std_logic;
```

```
begin
```

```
    UUT: entity work.halfadd port map  
    (  
        A => aa, B => bb, Sum => soma, Carry => vaium  
    );
```

Nome do projeto (entidade)

Instanciação do projeto, conectando pinos do projeto aos fios do testador

```
    aa <= '0', '1' after 10 ns, '0' after 20 ns, '1' after 30 ns;
```

```
    bb <= '0', '1' after 20 ns;
```

Geração dos estímulos, dizendo como pinos se comportam

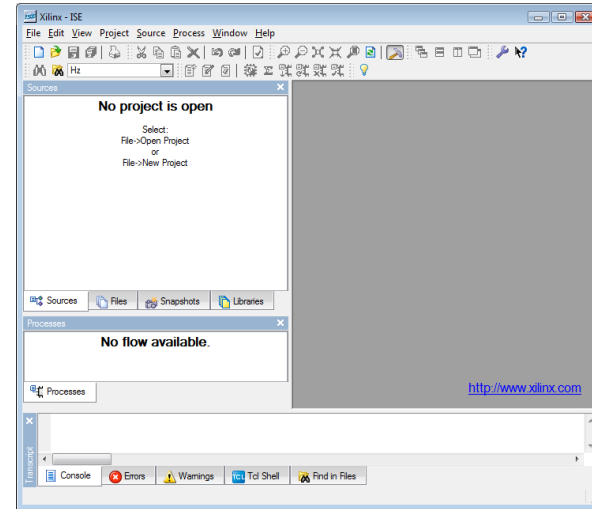
```
end TB;
```

Usando o Simulador do ISE da Xilinx

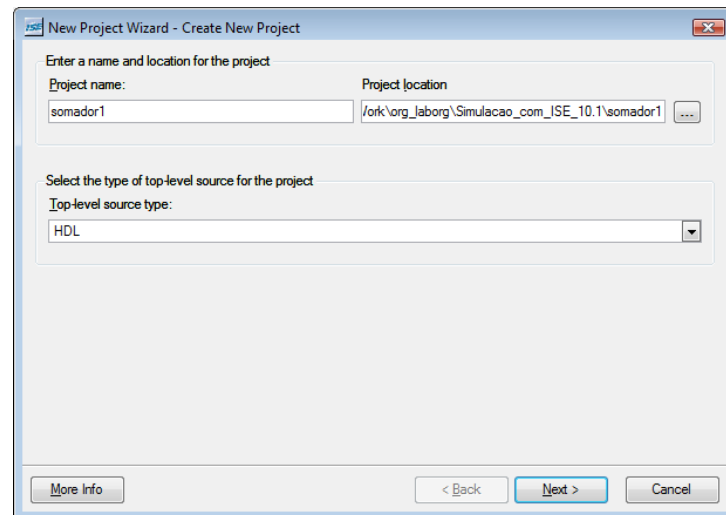
1. Abrir o ambiente ISE da Xilinx



2. Caso algum projeto esteja aberto, feche-o com a opção de menu **File → Close Project**

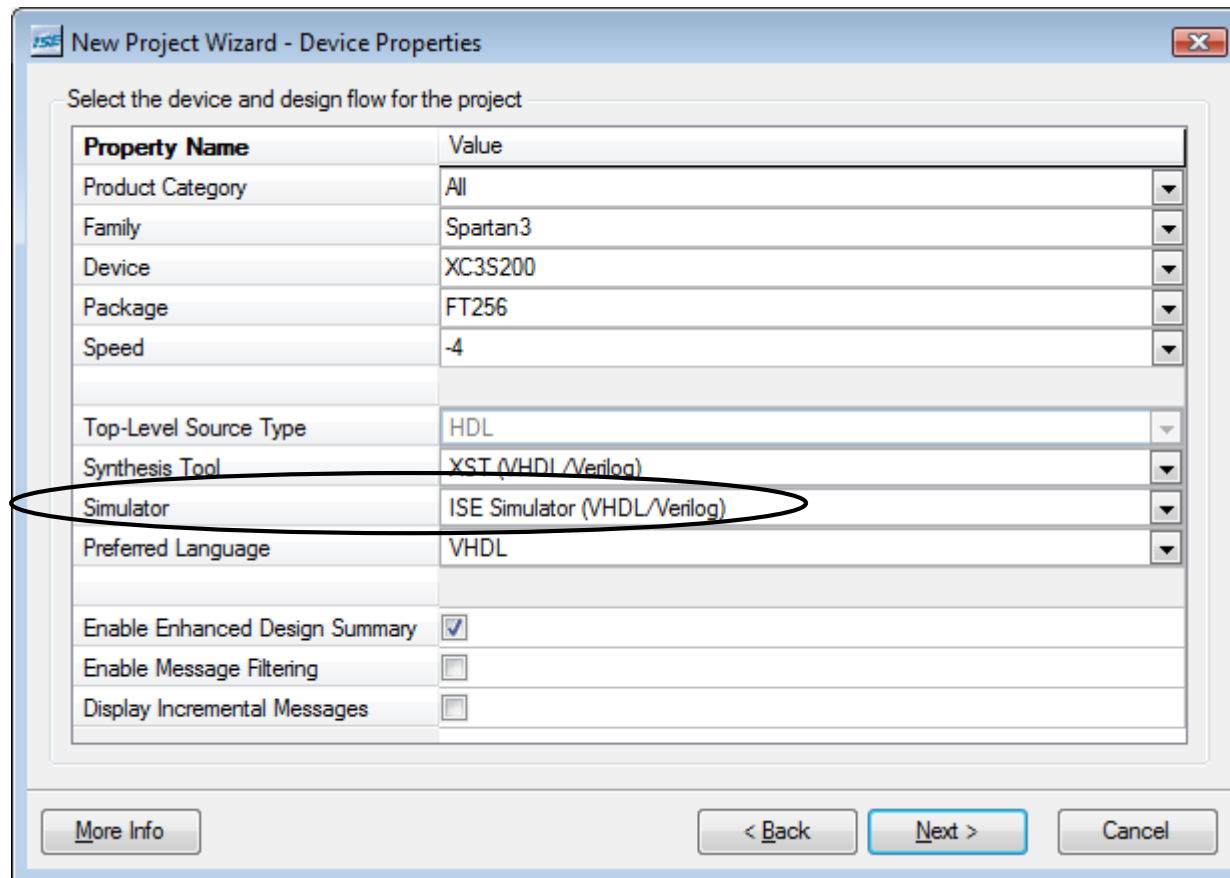


3. Crie um novo projeto de nome somador1 com a opção de menu **File → New Project**. (Lembre: escolha um diretório no qual há direito de escrita)



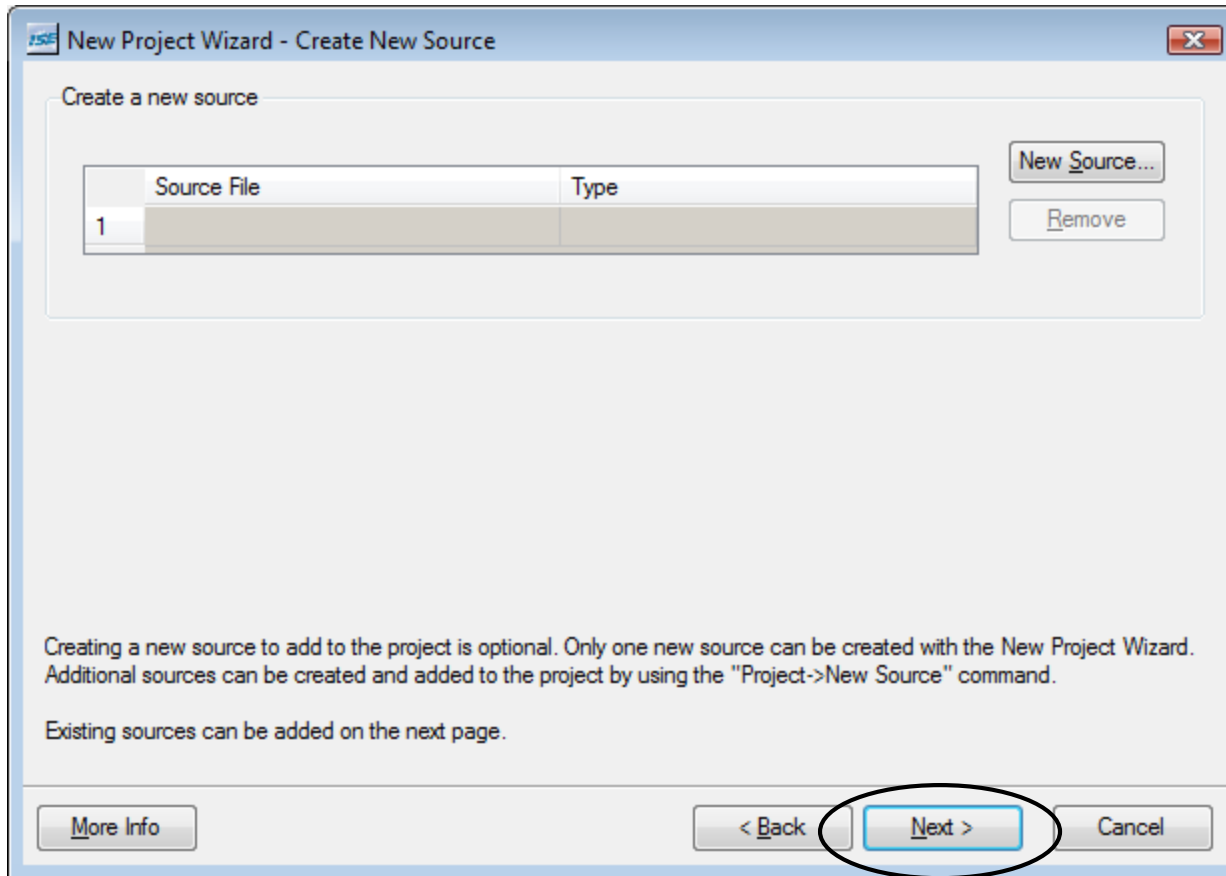
Usando o Simulador do ISE da Xilinx

4. Criar projeto com características abaixo (a única importante no momento é a escolha do **ISE Simulator** na opção **Simulator**)



Usando o Simulador do ISE da Xilinx

5. Na janela de criação de arquivos simplesmente clique **Next >**



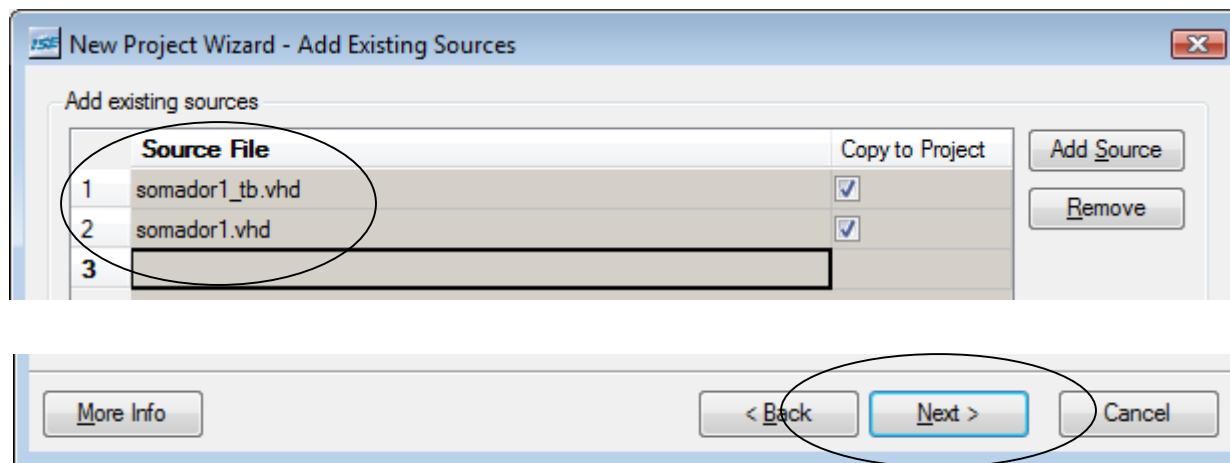
Usando o Simulador do ISE da Xilinx

O próximo passo é colocar inserir os arquivos VHDL que definem o projeto, que são: a descrição do somador (transparência 7) e o testbench (transparência 9).

6. Salve o conteúdo VHDL citado respectivamente como arquivos somador1.vhd e somador1_tb.vhd, dentro do diretório principal do projeto

7. Clique em **Add Source**, ache os dois arquivos e os abra

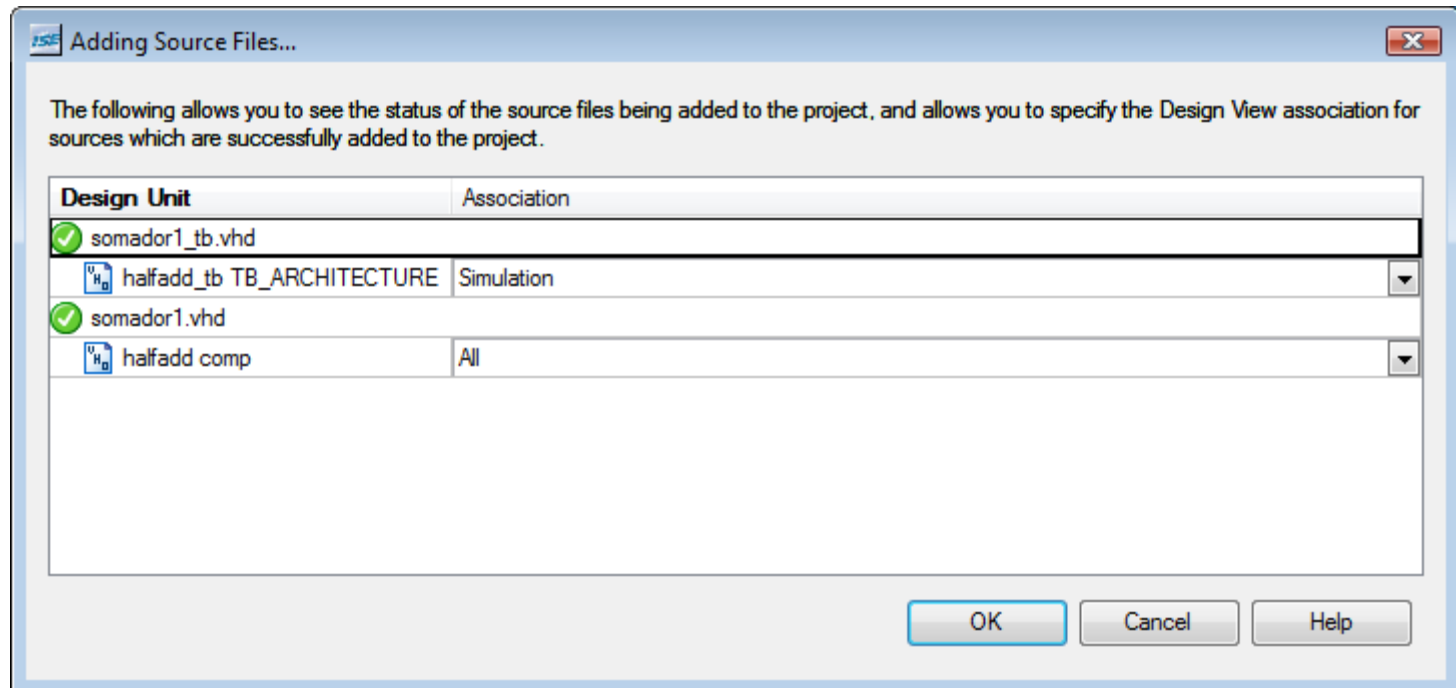
8. A seguir, clique em **Next >**, seguido de **Finish**



Usando o Simulador do ISE da Xilinx

Note na janela seguinte que o ambiente detectou corretamente os arquivos como sendo: um ser usado apenas em simulação (o testbench, classificado como **Simulation**) e o outro como geral (**All**), significando que ele contém VHDL sintetizável

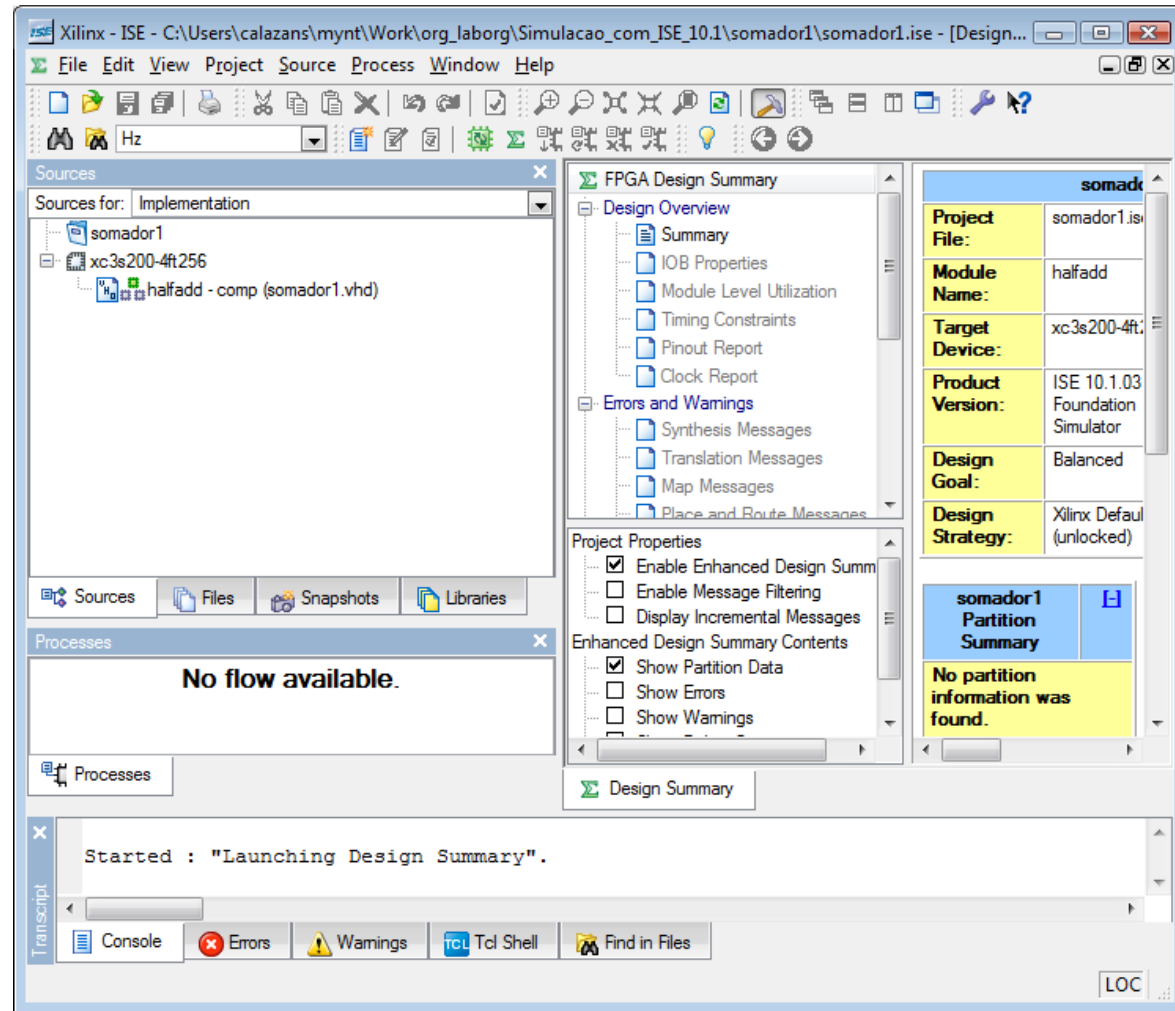
9. A seguir, clique em **OK**



Usando o Simulador do ISE da Xilinx

A janela principal do ambiente mostra agora um projeto com um arquivo de síntese (somador1.vhd), contendo um par entidade-arquitetura (halfadd – comp) .

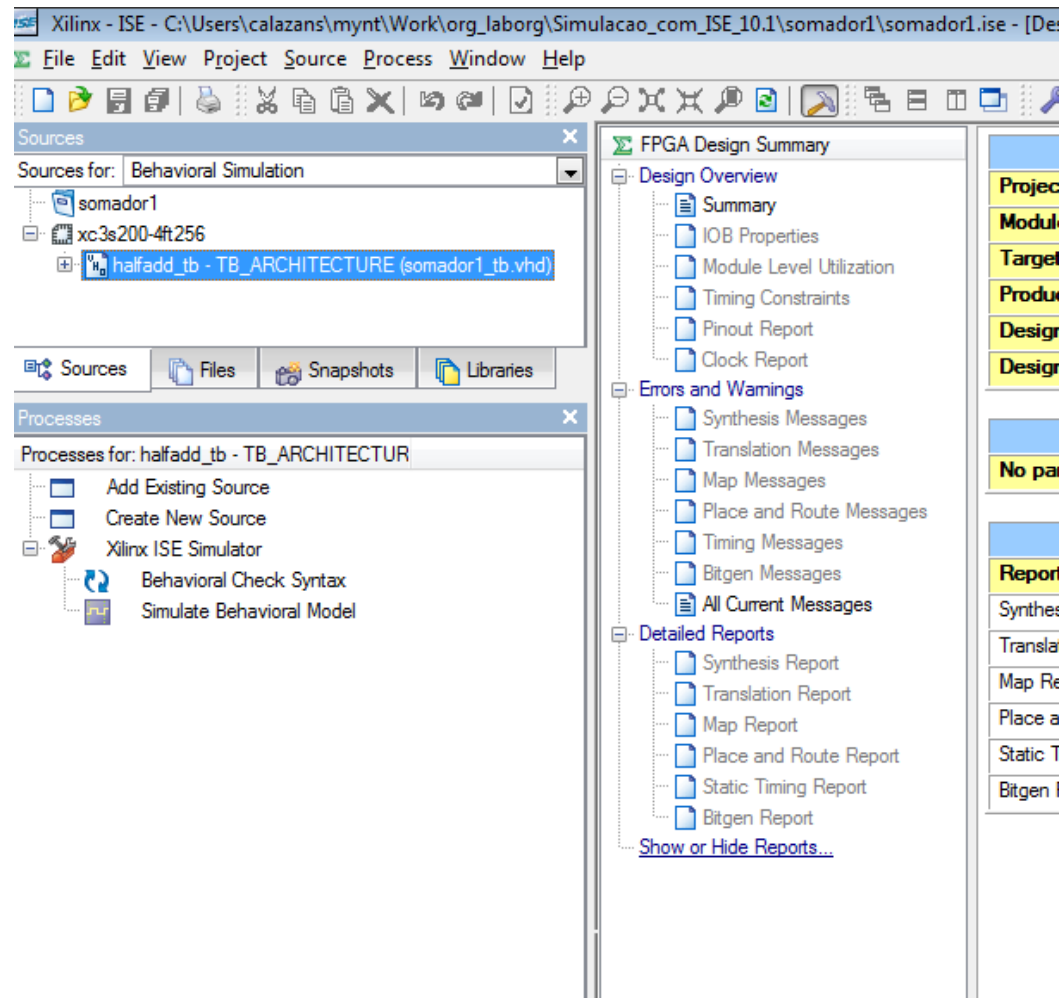
Se se clicar na aba **Files** da janela **Sources**, será possível visualizar os dois arquivos componentes do projeto completo.



Usando o Simulador do ISE da Xilinx

10. Para ter acesso aos recursos do simulador do ISE, no Tab **Sources** da janela **Sources**, escolha a opção **Behavioral Simulation** no campo **Sources for:**.

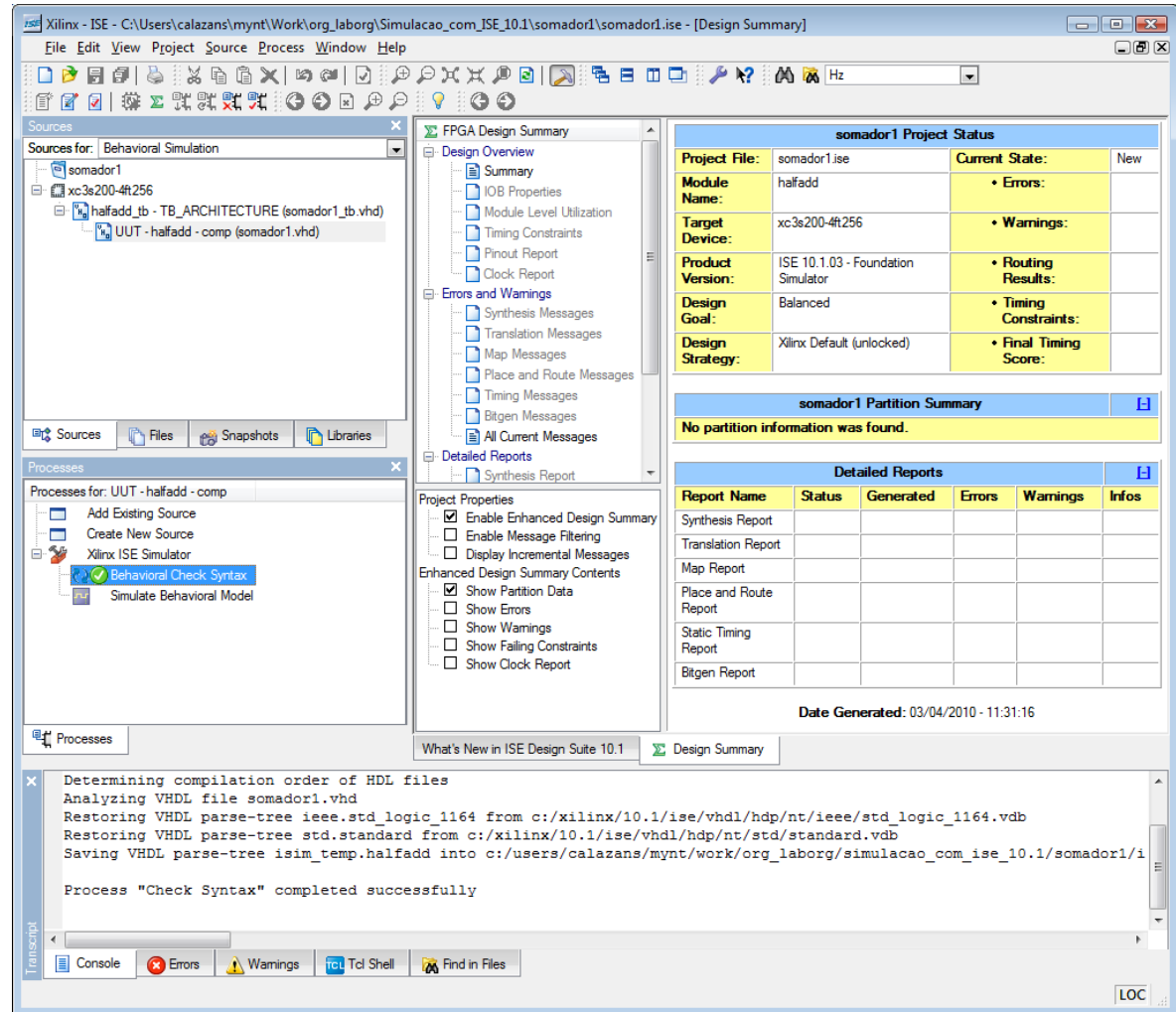
11. Selecione o arquivo **somador1_tb.vhd** na janela **Sources**. A janela do ISE deve ficar como ao lado.



Usando o Simulador do ISE da Xilinx

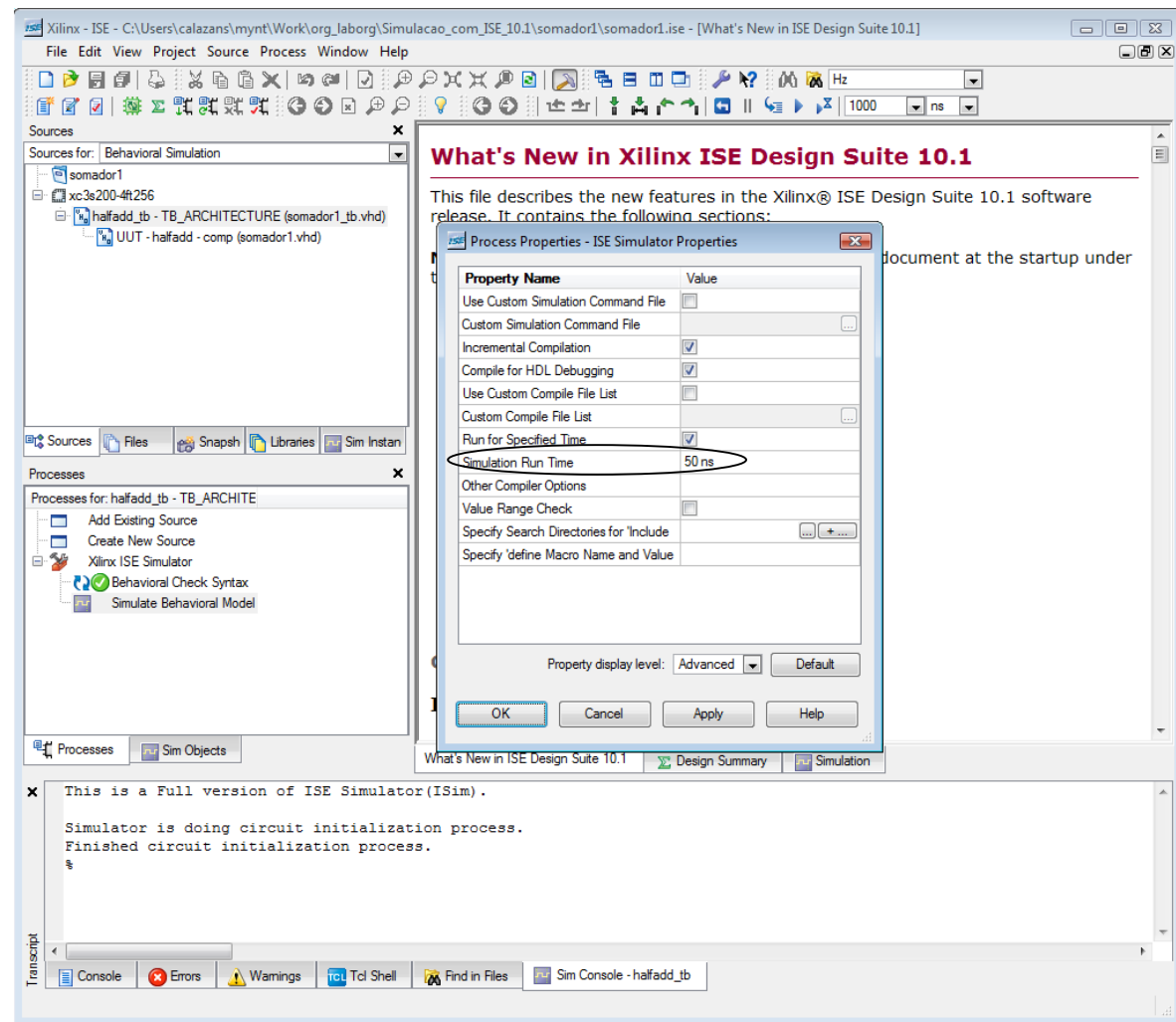
12. Na janela **Processes**, dê duplo clique na opção **Behavioral Check Syntax**, para verificar que o testbench não possui erros de sintaxe.

13. Abra a hierarquia de projeto, clicando no sinal **+** ao lado do arquivo **somador1_tb.vhd** na janela **Sources**.
Selecione o arquivo **somador1.vhd** e repita o processo de verificação sintática.



Usando o Simulador do ISE da Xilinx

14. Para preparar a simulação, selecione de novo o arquivo somador1_tb.vhd (janela **Sources**), e clique com o botão direito do mouse na opção **Simulate Behavioral Model**. Na janela que se abrir, selecione (se já não estiver selecionada) a opção **Advanced** no item **Property Display Level** e mude o **Simulation Run Time** para 50ns.



Usando o Simulador do ISE da Xilinx

15. Para simular, basta fechar a janela **Process Properties** clicando em **OK** e dar um duplo clique na opção **Simulate Behavioral Model** da janela **Processes**. O resultado final aparece ao lado. Note a janela de formas de onda que mostra os 50ns de simulação do circuito. Experimente usar os diversos botões do simulador.

