Introdução à Simulação em VHDL

Ney Laert Vilar Calazans

06/março/2010

Descrição Completa do Somador

```
library IEEE;
use IEEE.Std_Logic_1164.all;
```

```
entity halfadd is
port (A, B: in std_logic;
        Sum, Carry: out std_logic);
end halfadd;
```

architecture comp of halfadd is
begin
Sum <= A xor B;</pre>

```
Carry <= A and B;
```

end comp;

Exemplo de Testbench para o Somador

```
library ieee;
use ieee.std logic 1164.all;
                       Note: testador não tem pinos externos (ports in ou out)
entity HA tb is
end HA tb;
architecture TB of HA tb is
   signal aa, bb, soma, vaium: std logic;
                                  Nome do projeto (entidade)
                                                                 Instanciação do
begin
                                                                 projeto, conectando
                                                                 pinos do projeto aos
    UUT: entity work.halfadd port map
    (
                                                                 fios do testador
        A => aa, B => bb, Sum => soma, Carry => vaium
    );
                                                                      Geração dos
    aa <= '0', '1' after 10 ns, '0' after 20 ns, '1' after 30 ns;
                                                                      estímulos,
                                                                       dizendo como
    bb <= '0', '1' after 20 ns;
                                                                       pinos se
                                                                       comportam
end TB;
```

Ferramenta de simulação

- Xilinx ISE
 - Permite a síntese e a simulação para um dispositivo programável
 - Disponível no ambiente Linux da FACIN
- Lançamento da ferramenta
 - Abrir Terminal
 - Application >> Accessories >> Terminal
 - Carregar parâmetros gerais
 - source /soft64/source_gaph
 - Carregar parâmetros específicos da ferramenta
 - module load ise
 - Lançar a ferramenta
 - ise

1. Abrir o ambiente ISE da Xilinx



- Caso algum projeto esteja aberto, feche-o com a opção de menu File → Close Project
- Crie um novo projeto de nome somador1 com a opção de menu File → New Project. (Lembre: escolha um diretório no qual há direito de escrita)



Iss New Project Wizard - Create New Project	
Enter a name and location for the project	
Project name:	Project location
somador1	/ork\org_laborg\Simulacao_com_ISE_10.1\somador1
Select the type of top-level source for the project	
Top-level source type:	
HDL	
More Info	< Back Next > Cancel

4. Criar projeto com características abaixo (a única importante no momento é a escolha do ISE Simulator na opção Simulator)

AU	_
All	
Spartan3	
XC3S200	
FT256	
-4	•
HDL	-
XST (VHDI /Verilog)	
ISE Simulator (VHDL/Verilog)	
VHDL	•
	Spartan3 XC3S200 FT256 -4 HDL XST (VHDL/Verilog) ISE Simulator (VHDL/Verilog) VHDL

5. Na janela de criação de arquivos simplesmente clique <u>Next ></u>

📧 New Project Wizard - Create	New Source	
Create a new source		
		New Source
Source File	Туре	
1		<u><u>R</u>emove</u>
Creating a new source to add to t Additional sources can be created	he project is optional. Only one new source can be created wi d and added to the project by using the "Project->New Source	th the New Project Wizard. "command.
Existing sources can be added or	the next page.	
More Info	< <u>B</u> ack	kt > Cancel

- O próximo passo é colocar os arquivos VHDL que definem o projeto, que são: a descrição do somador e o testbench.
 - 6. Salve o conteúdo VHDL citado respectivamente como arquivos somador1.vhd e somador1_tb.vhd, dentro do diretório principal do projeto
 - 7. Clique em Add <u>Source</u>, ache os dois arquivos e os abra
 - 8. A seguir, clique em <u>Next</u> >, seguido de Finish



More Info	< <u>B</u> ack <u>N</u> ext >	Cancel

Note na janela seguinte que o ambiente detectou corretamente os arquivos como sendo: um ser usado apenas em simulação (o testbench, classificado como Simulation) e o outro como geral (AII), significando que ele contém VHDL sintetizável

9. A seguir, clique em OK

he following allows you to see the status purces which are successfully added to th	of the source files being added to the project, and allows you to specify the Design View association f ne project.
Design Unit	Association
somador1_tb.vhd	
halfadd_tb TB_ARCHITECTURE	Simulation
🖉 somador1.vhd	
🐘 halfadd comp	All
	OK Cancel Help

A janela principal do ambiente mostra agora um projeto com um arquivo de síntese (somador1.vhd), contendo um par entidade-arquitetura (halfadd – comp).

Se se clicar na aba Files da janela Sources, será possível visualizar os dois arquivos componentes do projeto completo.



- 10. Para ter acesso aos recursos do simulador do ISE, no Tab Sources da janela Sources, escolha a opção Behavioral Simulation no campo Sources for:.
- 11. Selecione o arquivo somador1_tb.vhd na janela Sources. A janela do ISE deve ficar como ao lado.



- 12. Na janela Processes, dê duplo clique na opção Behavioral Check Syntax, para verificar que o testbench não possui erros de sintaxe.
- 13. Abra a hierarquia de projeto, clicando no sinal + ao lado do arquivo somador1_tb.vhd na janela Sources.
 Selecione o arquivo somador1.vhd e repita o processo de verificação sintática.



14. Para preparar a simulação, selecione de novo o arquivo somador1 tb.vhd (janela Sources), e clique com o botão direito do mouse na opção Simulate **Behavioral Model**. Na janela que se abrir, selecione (se já não estiver selecionada) a opção Advanced no item **Property Display Level** e mude o Simulation Run Time para 50ns.

ען פון אין ען אין אין ען אין אין ען אין ען אין ען ען ען פון ען אין אין אין אין אין אין אין אין אין אי	₽₽XX₽8 8 ₽XX₽ <u>* 1 ± ± 60 ¥</u>	□ ⊡ <i> ⊁</i> k? ^ ^ ⊡ 4	00 🐼 Hz ≣ ▶ ▶ ^X 1000	v ns v	
ources X					-
Somador1	what's New In XI	INX ISE D	esign Sui	te 10.1	
= ∰ xc3s200-4ft256	This file describes the new f	features in the	Xilinx® ISE D	esian Suite 10.1 software	
😑 🔚 halfadd_tb - TB_ARCHITECTURE (somador1_tb.vhd)	release. It contains the follo	wina sections:	-	2	
🛄 UUT - halfadd - comp (somador1.vhd)	Process Properties - ISE Simula	ator Properties	— ———————————————————————————————————		
				ocument at the startup under	
	Property Name	Value			
	Use Custom Simulation Command F				
	Custom Simulation Command File				
	Incremental Compilation				
	Compile for HDL Debugging				
	Use Custom Compile File List				
	Custom Compile File List				
urces 👔 Files 🛛 🦽 Snapsh 👔 Libraries 🔤 Sim Instan	Run for Specified Time	V			
ses X	Simulation Run Time	50 ns			
ses for: balfadd_tb - TB_ABCHITE	Other Compiler Options				
Add Existing Source	Value Range Check				
Create New Source	Specify Search Directories for 'Inclu	ıde	+		
Xilinx ISE Simulator	Specify 'define Macro Name and V	alue			
Behavioral Check Syntax					
Simulate Behavioral Model					
	Property display lev	el: Advanced 💌	Derauit		
	OK Cancel	Apply	Help		-
ses Sim Objects	· .		h.	1	
	What's New in ISE Design Suite 10.1	E Design Summary	Simulation		
This is a Full version of ISE Simulat	or(ISim).				-
Simulator is doing circuit initialization proce	tion process.				
s					
					Þ.
Console CErrors 🔥 Warnings 🔂 Tcl Shell	🙀 Find in Files 🔤 Sim Console - half	add_tb			

15. Para simular, basta fechar a janela **Process Properties** clicando em OK e dar um duplo clique na opção Simulate **Behavioral Model da** janela Processes. O resultado final aparece ao lado. Note a janela de formas de onda que mostra os 50ns de simulação do circuito. Experimente usar os diversos botões do simulador.

Xilinx - ISE - C:\Users\calazans\mynt\Work\org_laborg\Simu Eile Edit View Project Source Process Test Bench Sim	nulacao_com_ISE_10.1\somador1\somador1.ise - [Simulation]	
٩, ☑ ♥ ∞ X û d X & 9 6 5 1 २, 4, 4 6 6 1 11 21 21 21 21 10 10 10	◍◸淋淋▯◙ > [®] ⊟ ◻ ◻ <i> </i> / \? /\ \> \	
Sources or: Behavioral Simulation	Current Simulation Time: 50 ns 0 ns 10 ns 20 ns 30 ns 40 ns 50 Image: a a a a a a a a a a a a a a a a a a a	ns A
Bit Sources Files Snapsh Libraries Sim Instan Processes X Processes for: halfadd_tb - TB_ARCHITE Add Existing Source Create New Source Yanna Source Yana Source		
Gimulate Behavioral Model Simulate Behavioral Model Gimulate Behavioral Model Sim Objects	✓ → ✓ → ✓ What's New in ISE Design Suite 10.1 ∑ Design Summary Simulation	
Running ISim simulation engine This is a Full version of ISE Simulator Simulator is doing circuit initialization Finished circuit initialization process	tor(ISim). ation process. ess.	*
Console CErrors Warnings C Tcl Shell	Rind in Files Sim Console - halfadd_tb	•