

ORGANIZAÇÃO E ARQUITETURA DE COMPUTADORES I

Diagramas de Blocos e Descrição VHDL

prof. Dr. César Augusto M. Marcon
prof. Dr. Edson Ifarraguirre Moreno

VHDL → Diagrama de blocos

1. Dada a descrição da entidade e da arquitetura do módulo ModuloTopo. Considerando que os módulos: Incrementador, Armazenador, ControlaSaida e ControlaEntrada estão apenas mapeados na arquitetura do ModuloTopo, faça o diagrama de blocos correspondente.

```
entity InterfaceExterna is
```

```
  port
```

```
  (      entraDado: in std_logic_vector(7 downto 0);  
    c, r: in std_logic;  
    recebe: in std_logic; aceita: out std_logic;  
    ack: in std_logic; envia: out std_logic;  
    saiDado: out std_logic_vector(7 downto 0) );
```

```
end InterfaceExterna;
```

```
architecture InterfaceExterna of InterfaceExterna is
```

```
  signal incrm: std_logic_vector(3 downto 0);  
  signal dadoSaida: std_logic_vector(7 downto 0);
```

```
begin
```

```
  T1: entity Incrementador port map(ck=>c, rst=>r, incrm=>incrm);
```

```
  T2: entity controlaEntrada port map(ck=>c, rst=>r, incrm=>incrm, dl=>entraDado, snd=>envia,  
  ack=>ack);
```

```
  T3: entity Armazenador port map(ck=>c, rst=>r, dadol=>entraDado, dadoO=>dadoSaida);
```

```
  T4: entity controlaSaida port map(ck=>c, rst=>r, incrm=>incrm, rcb=>recebr, ack=>aceita);
```

```
  saiDado<= dadoSaida;
```

```
end InterfaceExterna;
```

VHDL → Diagrama de blocos

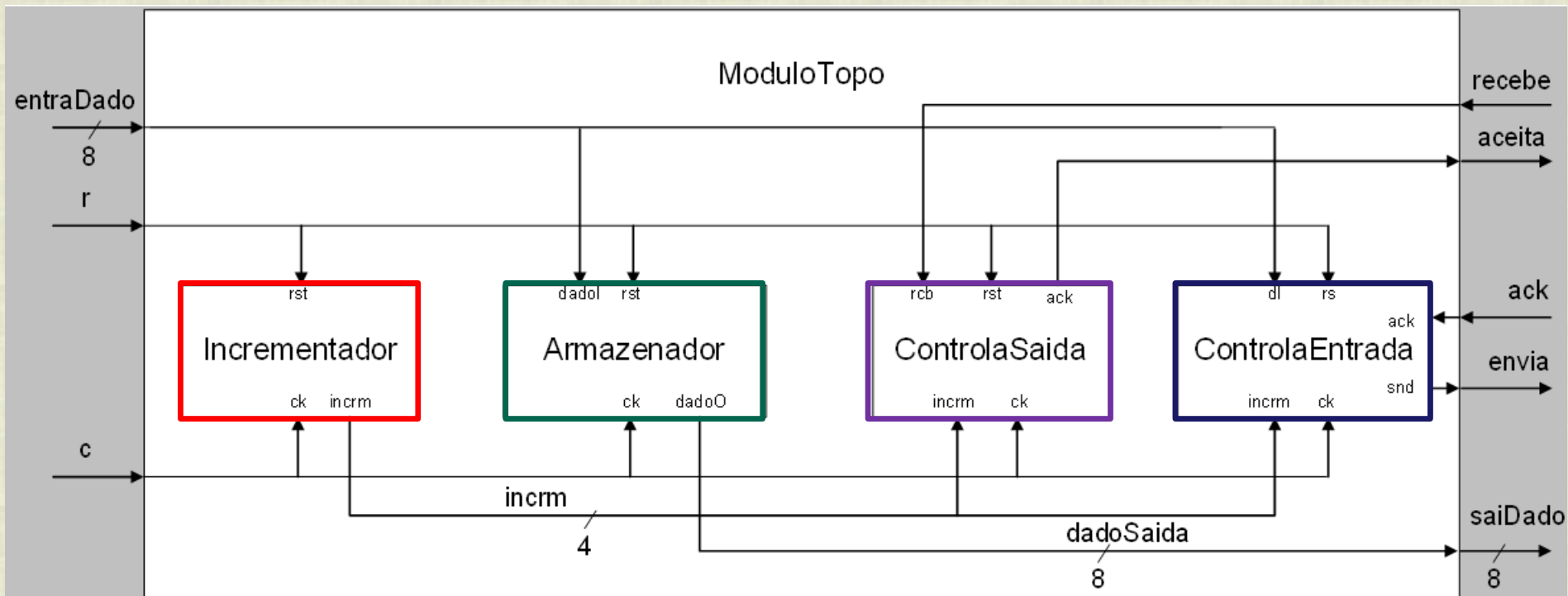
```
entity incrementador is
  port(
    ck: in std_logic;
    rst: in std_logic;
    incrm: out std_logic_vector(3 downto 0)
  );
end incrementador;
```

```
entity controlaEntrada is
  port(
    ck : in std_logic;
    rst : in std_logic;
    ack: in std_logic;
    dl: in std_logic_vector(7 downto 0);
    incrm: in std_logic_vector(3 downto 0);
    snd: out std_logic
  );
end controlaEntrada;
```

```
entity Armazenador is
  port(
    ck: in std_logic;
    rst: in std_logic;
    dadol: in std_logic_vector(7 downto 0);
    dadoO: out std_logic_vector(7 downto 0)
  );
end Armazenador;
```

```
entity controlaSaida is
  port(
    ck : in std_logic;
    rst : in std_logic;
    rcb: in std_logic;
    incrm: in std_logic_vector(3 downto 0);
    ack: out std_logic
  );
end controlaSaida;
```

Solução:



Exercício: Diagrama de Blocos → VHDL

- Dado o diagrama de blocos abaixo, faça a entidade e arquitetura do módulo mais externos e as entidades de módulos internos

