

# Organização e Arquitetura de Computadores

Memória Cache

Exercícios

Edson Moreno

[edson.moreno@pucrs.br](mailto:edson.moreno@pucrs.br)

<http://www.inf.pucrs.br/~emoreno>

# Exercício

(POSCOMP 2005 - 23) Das afirmações a seguir, sobre memória cache, quais são verdadeiras?

- I.** Numa estrutura totalmente associativa, um bloco de memória pode ser mapeado em qualquer slot do cache.
  - II.** O campo tag do endereço é usado para identificar um bloco válido no cache, junto com o campo de índice.
  - III.** Um cache de nível 2 serve para reduzir a penalidade no caso de falta no nível 1.
  - IV.** O esquema de substituição LRU é o mais usado para a estrutura de mapeamento direto.
- a. Somente as afirmações (I), (III) e (IV).
  - b. Somente as afirmações (II), (III) e (IV).
  - c. Somente as afirmações (I) e (II).
  - d. Somente as afirmações (I), (II) e (III).
  - e. Somente as afirmações (II) e (III).

# Exercício

- Uma memória principal precisa de 8 bits para endereçar cada uma das suas posições. Na hierarquia de memória, a estrutura de armazenamento mais próxima é uma cache de mapeamento direto, com 4 linhas, sendo que cada linha possui (a) um bit de validade, (b) um campo de tag e (c) quatro palavras de 1 byte cada.

Dada a sequência de requisições apresentada a seguir:

<i>Acesso</i>	<b>1</b>	<b>2</b>	<b>3</b>	<b>4</b>	<b>5</b>
<i>Endereço (hexa)</i>	<b>97</b>	<b>19</b>	<b>1B</b>	<b>99</b>	<b>17</b>
<i>Endereço (binário)</i>	<b>1001.0111</b>	<b>0001.1001</b>	<b>0001.1011</b>	<b>1001.1001</b>	<b>0001.0111</b>

- a)** Gere a estrutura de cache correspondente
- b)** Preencha a memória cache com os acessos requeridos

# Exercício

- Suponha uma memória principal que endereça 2048 células de 1 byte. Suponha que ela está associada a uma memória cache de mapeamento direto de 32 linhas que armazena 1 única palavra por linha
  - a) Quantos endereços da memória principal podem ser atribuídos em uma mesma linha da cache?
  - b) Como o endereço da memória principal deve ser interpretado/mapeado para operar com a memória cache, ou seja, quantos bits para cada campo?
  - c) Quais campos e número de bits por linha da cache, ou seja, sua estrutura física?
  - d) Qual o tamanho da cache em bits e qual o percentual de dados úteis, que não de controle (i.e. eliminando-se os bits para representar o bit de validade e a tag)?