



## REVISÃO PRÉ PROVA – P2

**Questão 1)** Considere as seguintes afirmações a seguir e avalie como verdadeira (V) ou falsa (F). Em caso de uma afirmativa considerada falsa, justifique sua resposta.

- ( V ) A exploração de hierarquia de memória tem por objetivo prover uma grande capacidade de armazenamento de dados, permitindo a redução do impacto no desempenho dado pelo acesso a memórias mais lentas.
- ( F ) A construção de uma hierarquia de memória explora tecnologias que apresentam dois eixos principais que facilitam seu emprego, quais sejam a capacidade e a velocidade, os quais são diretamente proporcionais.

**R:**

**A capacidade de armazenamento e a velocidade de acesso são grandezas inversamente proporcionais em uma construção de hierarquia de memória.**

- ( F ) Mecanismo comum a todas os tipos de memória cache (direto, associativo, conjunto associativo) é a necessidade de uma política de substituição de dados em cache, que explora, por exemplo, posições da cache que foram menos recentemente usadas, menos frequentemente usada, ou mesmo ainda uma atribuição aleatória.

**R:**

**Caches de mapeamento direto não empregam políticas de substituição tal como memórias cache de mapeamento associativo ou conjunto associativo. Em caches de mapeamento direto, a posição que um dado endereço da memória ocupará será sempre o mesmo. Já em memórias cache associativas, não existe uma relação direta, sendo que uma mesma linha da memória principal pode residir em diferentes linhas da memória cache.**

**Questão 2)** Memórias cache exploraram duas características principais da execução de trechos de código, quais sejam: (i) Localidade temporal e (ii) Localidade espacial. De forma breve, explique e exemplifique cada uma destas características.

**R:**

**Localidade espacial:**

**Refere-se a execução de uma instrução que estão em torno daquela atualmente em execução. Um exemplo de código que leva a este tipo de associação pode ser representado por um trecho de código que sequencialmente.**

**Localidade temporal:**

**Refere-se a reexecução de uma instrução que atualmente está em execução em um futuro próximo. Um exemplo de código que leva a este tipo de associação pode ser representado por um trecho de código que opera em um laço de iteração.**

**Questão 3)** Sabendo-se que da execução de um código obteve-se 70% de taxa de acerto (hit-miss) e que o tempo de acesso quando do acerto (hit-time) é de 40  $\mu$ s, e que o tempo de acesso quando de uma falha (Miss-penalty) é de 10  $\mu$ s, pede-se: Calcule o tempo médio de acesso.

**R:**

**O tempo médio de acesso é dado pelo tempo mínimo necessário para acessar uma dada memória, o que pode ser representado pelo tempo quando ocorre um acerto, ou seja, quando o endereço que é buscado da memória está ali disponível. Toda vez que um dado endereço tenta ser acessado, mas este não se encontra na memória cache, a penalidade deve ser considerada, somando-se a penalidade ao tempo de acerto. No exercício aqui apresentado, não existem valores absolutos que possam ser considerados. Desta forma, o cálculo se baseia**

na operação relativa. A fórmula a seguir deve ser considerada para o cálculo de tempo médio de acesso:

$$TM = HT + P, \text{ onde}$$

TM é o tempo médio de acesso;

HT é o tempo mínimo, alcançado quando ocorre um *hit*;

P é a penalidade, relativa a quantidade de acontecimentos.

Assim,

$TM = 40 + (0,3 * 10) \rightarrow 0,3$  representa os 30% de ocorrências de falhas e 10 é o acréscimo

$$TM = 40 + 3$$

$$TM = 43 \mu s$$

**Questão 4)** Sabendo-se que uma cache de mapeamento direto pode endereçar até 1024 linhas, e que cada linha possui um bloco de 8 palavras de 32 bits e tag 7 bits, pede-se:

1) Qual o tamanho da cache em bits?

**R:**

Cada linha da cache de mapeamento direto é formada pelos campos “bit de validade”, “tag” e “bloco”, este último contendo as palavras que são armazenadas em cada linha. O campo de bit de validade contém somente 1 bit. O campo referente a tag possui 7 bits, conforme o enunciado. O bloco é formado por 8 palavras, cada uma de 32 bits, conforme o enunciado. Sendo assim, o campo bloco possui 256 bits (8palavras de 32 cada). Sendo assim cada linha possui 264 bits (1 + 7 +256). Como a cache possui 1024 linhas, o tamanho da memória cache é 270336 bits ou 264kbits.

2) Qual a estrutura de interpretação do endereço da memória principal?

**R:**

A estrutura de interpretação do endereçamento de memória principal que será aqui considerado está relacionada com a memória cache. Para acessar a memória cache são necessárias três informações, quais sejam: (i) a linha da cache que será acessada, (ii) a palavra que se deseja acessar, visto que o bloco possui 8 palavras, e (iii) a tag que será utilizada para comparação final. Desta forma, o endereço está estruturado em | tag | linha | palavra |. Como dito no enunciado, a tag é representada por 7 bits. O número de bits necessários para representar a linha é tal que se possa endereçar uma das 1024 linhas, ou seja, são necessários 10 bits. Por fim, como existem ao todo 8 palavras no bloco, são necessário 3 bits para definir exatamente qual das 8 palavras será acessada. Desta forma, um total de 20 bits são necessários para endereçar a memória principal, estruturada como segue

Campos		
tag	linha	palavra
7	10	3
Número de bits		

3) Qual o tamanho da memória endereçada pela cache?

**R:**

**Visto que são necessários 20 bits para endereçamento da memória principal e assumindo-se que cada posição da memória principal armazena exatamente uma palavra, tem-se:**

**A quantidade de endereços da memória principal é :  $2^{20}$  ou seja 1Mega posições**

**Como cada posição armazena uma palavra de 32 bits, ou seja, 4 bytes, o tamanho total da memória é de 4MBytes (4bytes de palavra \* 1 Mega endereços)**

**Questão 5)** Um projetista de hardware precisa escolher entre a concepção de uma cache e sabe que ela pode ser construída por mapeamento direto, associativo. Auxilie o projetista diferenciando as mesmas, informando-lhe ao menos uma vantagem e uma desvantagem de cada uma das abordagens.

**R:**

**Caches de mapeamento direto tem como vantagem a sua simplicidade de implementação, visto que a mecânica de substituição de linhas na cache segue a interpretação do endereço. Apesar disto, tais substituições podem não ser desejadas para o bom desempenho do sistema, visto que tais substituições são muito rígidas, podendo levar ao aumento do número de falhas ao buscar um dado ali. É exatamente este ponto que a cache de mapeamento associativo tem vantagem sobre a de mapeamento direto. Sobre esta memória, podem ser aplicadas diferentes políticas de substituição de linhas, que privilegiam a permanência na memória cache de endereços buscados na memória principal, diminuindo assim a quantidade de falhas. A desvantagem é que para garantir tal melhora, o custo de implementação é bem maior quando comparado ao mapeamento direto.**

**Questão 6)** Com relação o emprego de arquitetura paralelas, pede-se:

**R: As respostas para estas questões podem ser encontradas nas apresentações feitas em sala de aula e disponíveis na agenda do professor. Mais precisamente nas aulas sobre (i) introdução a arquitetura paralelas e (ii) medidas de desempenho.**

- 1) Cite e diferencie as classificações de flynn.
- 2) Quanto as classificações por modelo de memória, diferencie UMA de NUMA e NORMA.
- 3) O uso de arquiteturas paralelas pode ter mais objetivos do que simplesmente o aumento de desempenho. Cite pelo menos duas aplicações que podem ser dadas a este tipo de arquitetura.
- 4) Qual o sentido do emprego de métricas tal como Speedup e eficiência e qual o significado destas duas métricas.

***Boa revisão!***